



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월05일
 (11) 등록번호 10-1197787
 (24) 등록일자 2012년10월30일

(51) 국제특허분류(Int. Cl.)
 H01G 4/12 (2006.01) H01G 4/30 (2006.01)
 (21) 출원번호 10-2010-0106877
 (22) 출원일자 2010년10월29일
 심사청구일자 2011년10월18일
 (65) 공개번호 10-2012-0045373
 (43) 공개일자 2012년05월09일
 (56) 선행기술조사문헌
 KR100587006 B1

(73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
 (72) 발명자
 정지훈
 경기도 수원시 영통구 덕영대로1555번길 20, 946
 동 806호 (영통동, 벽적골롯데아파트)
 김두영
 경기도 용인시 기흥구 언남동 초원마을성원상떼빌
 아파트 210-1502
 (뒷면에 계속)
 (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 8 항

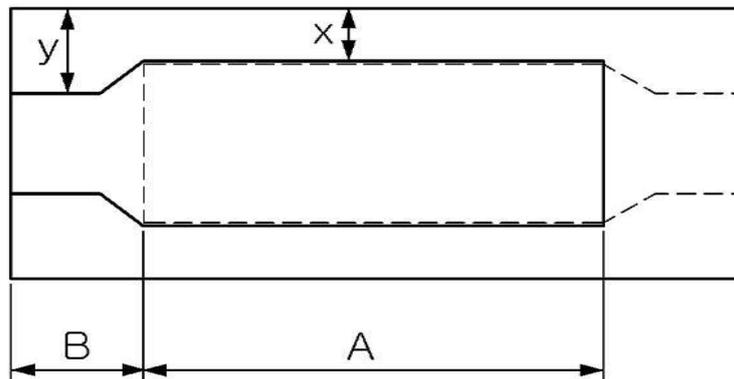
심사관 : 여인홍

(54) 발명의 명칭 **적층형 세라믹 캐패시터 및 이의 제조방법**

(57) 요약

본 발명은 적층형 세라믹 캐패시터 및 이의 제조방법에 관한 것으로, 본 발명에 따른 적층형 세라믹 캐패시터는 복수 개의 유전체 층이 적층되며, 서로 대향하는 제1 및 제2 측면과 상기 제1 및 제2 측면을 연결하는 제3 및 제4 측면을 갖는 세라믹 본체; 및 상기 유전체 층에 형성되고, 상기 제1 측면 또는 제2 측면으로 노출된 전극인출부와 전극 미인출부로 구성되며, 상기 전극 미인출부와 상기 제3 측면 사이의 길이가 100 μm 이하이고, 전극 미인출부와 상기 제3 측면 사이의 길이에 대한 전극 인출부와 상기 제3 측면 사이의 길이의 비율이 1.2 내지 1.7인 내부 전극층;을 포함한다. 본 발명에 따른 적층형 세라믹 캐패시터는 소결 또는 실장공정에서 열충격에 의해 세라믹 적층체에 발생하는 크랙을 억제하여 신뢰성이 향상된다.

대표도 - 도3b



(72) 발명자

장동익

경기도 수원시 영통구 매영로310번길 12,
신나무실5단지아파트 524동 801호 (영통동)

허강현

경기도 성남시 분당구 정자일로213번길 5,
정자I'PARK 301동 701호 (정자동)

김성애

경기도 수원시 영통구 매영로 132, 신원천주공1단지 103동 2001호 (매탄동)

특허청구의 범위

청구항 1

복수 개의 유전체 층이 적층되며, 서로 대향하는 제1 및 제2 측면과 상기 제1 및 제2 측면을 연결하는 제3 및 제4 측면을 갖는 세라믹 본체; 및

상기 유전체 층에 형성되고, 상기 제1 측면 또는 제2 측면으로 노출된 전극인출부와 전극 미인출부로 구성되며, 상기 전극 미인출부와 상기 제3 측면 사이의 길이가 100 μm 이하이고, 상기 전극 미인출부와 상기 제3 측면 사이의 길이에 대한 상기 전극 인출부와 상기 제3 측면 사이의 길이의 비율이 1.2 내지 1.7인 내부 전극층;

을 포함하는 적층형 세라믹 캐패시터.

청구항 2

제1항에 있어서,

상기 유전체 층의 두께는 2 μm 이하인 적층형 세라믹 캐패시터.

청구항 3

제1항에 있어서,

상기 내부 전극층의 두께는 0.3 내지 1.0 μm 인 적층형 세라믹 캐패시터.

청구항 4

제1항에 있어서,

상기 내부 전극층은 상기 전극 미인출부와 상기 제4 측면 사이의 길이가 100 μm 이하이고, 상기 전극 미인출부와 상기 제4 측면 사이의 길이에 대한 상기 전극 인출부와 상기 제4 측면 사이의 길이의 비율이 1.2 내지 1.7인 적층형 세라믹 캐패시터.

청구항 5

서로 대향하는 제1 및 제2 측면과 상기 제1 및 제2 측면과 연결된 제3 및 제4 측면을 갖는 복수 개의 유전체 층을 마련하는 단계;

상기 유전체 층에 상기 제1 측면 또는 제2 측면으로 노출된 전극인출부와 전극 미인출부로 구성되며, 상기 전극 미인출부와 상기 제3 측면 사이의 길이가 100 μm 이하이고, 상기 전극 미인출부와 상기 제3 측면 사이의 길이에 대한 상기 전극 인출부와 상기 제3 측면 사이의 길이의 비율이 1.2 내지 1.7인 내부 전극층을 형성하는 단계; 및

상기 유전체 층을 적층하여 세라믹 본체를 마련하는 단계;

를 포함하는 적층형 세라믹 캐패시터의 제조방법.

청구항 6

제5항에 있어서,

상기 유전체 층의 두께는 2 μm 이하인 적층형 세라믹 캐패시터의 제조방법.

청구항 7

제5항에 있어서,

상기 내부 전극층의 두께는 0.3 내지 1.0 μm 인 적층형 세라믹 캐패시터의 제조방법.

청구항 8

제5항에 있어서,

상기 내부 전극층은 상기 전극 미인출부와 상기 제4 측면 사이의 길이가 100 μm 이하이고, 상기 전극 미인출부와 상기 제4 측면 사이의 길이에 대한 상기 전극 인출부와 상기 제4 측면 사이의 길이의 비율이 1.2 내지 1.7인 적층형 세라믹 캐패시터의 제조방법.

명세서

기술분야

[0001] 본 발명은 적층 세라믹 전자부품 및 이의 제조방법에 관한 것으로, 보다 상세하게는 크랙을 억제하여 신뢰성이 우수한 적층형 세라믹 캐패시터 및 이의 제조방법에 관한 것이다.

배경기술

[0002] 일반적으로 적층형 세라믹 캐패시터(Multi-Layered Ceramic Capacitor: MLCC)는 이동통신 단말기, 노트북, 컴퓨터, 개인 휴대용 단말기(PDA) 등의 여러 전자제품의 인쇄회로기판에 장착되어 전기를 충전 또는 방전시키는 중요한 역할을 하는 칩 형태의 콘덴서이며, 그 사용 용도 및 용량에 따라 다양한 크기 및 적층 형태를 취하고 있다.

[0003] 최근, 전자 제품들의 소형화 추세에 따라, 적층 세라믹 전자 부품 역시 소형화되고, 대용량화될 것이 요구되고 있다. 이에 따라 유전체와 내부전극의 박막화, 다층화가 다양한 방법으로 시도되고 있으며, 근래에는 유전체 층의 두께가 얇아지면서 적층수가 늘어나는 적층 세라믹 전자 부품들이 제조되고 있다.

[0004] 이러한 세라믹 그린시트 및 내부전극을 여러 층 쌓아 올리는 적층체에서 전극 인출부의 밀도는 전극 미인출부의 밀도에 비해 낮으며, 밀도 차이는 적층수가 높아질수록 증가된다.

[0005] 이러한 밀도의 차이는 소결 및 리플로우 솔더링(reflow soldering) 등에 의한 회로기판 실장 공정 등에서 세라믹 적층체에 가해지는 열충격으로 인해 적층체에 크랙(crack)이 발생하는 문제가 있었다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 크랙을 억제하여 신뢰성이 높은 적층형 세라믹 캐패시터 및 이의 제조방법을 제공한다.

과제의 해결 수단

[0007] 본 발명의 일 실시형태는 복수 개의 유전체 층이 적층되며, 서로 대향하는 제1 및 제2 측면과 상기 제1 및 제2 측면을 연결하는 제3 및 제4 측면을 갖는 세라믹 본체; 및 상기 유전체 층에 형성되고, 상기 제1 측면 또는 제2 측면으로 노출된 전극인출부와 전극 미인출부로 구성되며, 상기 전극 미인출부와 상기 제3 측면 사이의 길이가 100 μm 이하이고, 전극 미인출부와 상기 제3 측면 사이의 길이에 대한 전극 인출부와 상기 제3 측면 사이의 길

이의 비율이 1.2 내지 1.7인 내부 전극층;을 포함하는 적층형 세라믹 캐패시터를 제공한다.

[0008] 상기 유전체 층의 두께는 2 μm 이하 인 것으로 형성될 수 있다.

[0009] 또한, 상기 내부 전극층의 두께는 0.3 내지 1.0 μm 인 것으로 형성될 수 있다.

[0010] 상기 내부 전극층은 상기 전극 미인출부와 상기 제4 측면 사이의 길이가 100 μm 이하이고, 상기 전극 미인출부와 상기 제4 측면 사이의 길이에 대한 상기 전극 인출부와 상기 제4 측면 사이의 길이의 비율이 1.2 내지 1.7일 수 있다.

[0011] 한편, 본 발명의 다른 실시형태는 서로 대향하는 제1 및 제2 측면과 상기 제1 및 제2 측면과 연결된 제3 및 제4 측면을 갖는 복수 개의 유전체 층을 마련하는 단계; 상기 유전체 층에 상기 제1 측면 또는 제2 측면으로 노출된 전극인출부와 전극 미인출부로 구성되며, 전극 미인출부와 상기 제3 측면 사이의 길이가 100 μm 이하이고, 전극 미인출부와 상기 제3 측면 사이의 길이에 대한 전극 인출부와 상기 제3 측면 사이의 길이의 비율이 1.2 내지 1.7인 내부 전극층을 형성하는 단계; 및 상기 유전체 층을 적층하여 세라믹 본체를 마련하는 단계;를 포함하는 적층형 세라믹 캐패시터의 제조방법을 제공한다.

[0012] 상기 유전체 층의 두께는 2 μm 이하 인 것으로 형성될 수 있으며, 상기 내부 전극층의 두께는 0.3 내지 1.0 μm 인 것으로 형성될 수 있다.

[0013] 상기 내부 전극층은 상기 전극 미인출부와 상기 제4 측면 사이의 길이가 100 μm 이하이고, 상기 전극 미인출부와 상기 제4 측면 사이의 길이에 대한 상기 전극 인출부와 상기 제4 측면 사이의 길이의 비율이 1.2 내지 1.7일 수 있다.

발명의 효과

[0014] 본 발명에 따른 적층형 세라믹 캐패시터는 소결 또는 실장공정에서 열충격에 의해 세라믹 적층체에 발생하는 크랙을 억제하여 신뢰성이 향상되는 효과가 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일실시예에 따른 적층형 세라믹 캐패시터를 개략적으로 도시한 사시도이다.

도 2는 도 1의 B-B'를 따라 절단한 단면도이다.

도 3a는 본 발명의 일실시예에 따른 내부전극이 인쇄된 유전체층의 사시도이다.

도 3b는 본 발명의 일실시예에 따른 내부전극이 인쇄된 유전체층의 평면도이다.

도 4는 본 발명의 일실시예에 따른 적층형 세라믹 캐패시터의 제조 공정도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

- [0017] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.
- [0018] 도 1은 본 발명의 일실시예에 따른 적층형 세라믹 커패시터를 개략적으로 도시한 사시도이다.
- [0019] 도 2는 도 1의 B-B'를 따라 절단한 단면도이다.
- [0020] 도 3a는 본 발명의 일실시예에 따른 내부전극이 인쇄된 유전체층의 사시도이다.
- [0021] 도 3b는 본 발명의 일실시예에 따른 내부전극이 인쇄된 유전체층의 평면도이다.
- [0022] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 적층형 세라믹 커패시터는, 커패시터 본체(1) 및 외부전극(2)을 포함할 수 있다.
- [0023] 상기 커패시터 본체(1)는 그 내부에 복수의 유전체층(11)이 적층되고, 복수의 상기 유전체층(11)을 사이에 두고 제1 내부전극(12a)과 제2 내부전극(12b)이 서로 대향하도록 교대로 적층될 수 있다.
- [0024] 이때, 유전체층(11)은 티탄산바륨(Ba_2TiO_3)를 이용하여 형성될 수 있으며, 제1 및 제2 내부전극(12a, 12b)은 니켈(Ni), 텅스텐(W), 또는 코발트(Co)등을 이용하여 형성될 수 있다.
- [0025] 상기 외부전극(2)은 상기 커패시터 본체(1)의 양측면에 형성될 수 있다. 상기 외부전극(2)은 상기 커패시터 본체(1)의 외표면에 노출된 제1 및 제2 내부전극(12a, 12b)과 전기적으로 연결되도록 형성됨으로써 외부단자 역할을 할 수 있다.
- [0026] 이때, 상기 외부전극(2)은 구리(Cu)를 이용하여 형성될 수 있다.
- [0027] 본 발명의 일 실시예에 따른 적층형 세라믹 커패시터는 내부에 유전체층(11)과 제1 및 제2 내부전극(12a, 12b)이 교대로 적층된 유효층(20)을 포함할 수 있다.
- [0028] 또한, 상기 유효층(20)의 상면 및 하면에는 유전체 물질층이 적층되어 형성된 보호층(10)을 포함할 수 있다.
- [0029] 상기 보호층(10)은 상기 유효층(20)의 상면 및 하면 중 적어도 한 면, 바람직하게는 상면 및 하면에 동일한 두께가 되도록 복수의 유전체 물질층이 연속으로 적층되어 형성됨으로써 상기 유효층(20)을 외부의 충격 등으로부터 보호할 수 있다.
- [0030] 본 발명은 상기 유효층(20) 내의 내부전극 층에서 용량 발생에 기여하는 전극 미인출부와 용량 발생에 기여하지 않는 전극 인출부의 밀도 차이에 의해 발생하는 진술한 크랙을 억제하여 신뢰성이 높은 적층 세라믹 전자부품 및 이의 제조방법을 제공한다.
- [0031] 본 발명에서 전극의 미인출부는 적층 세라믹 전자부품, 특히 적층형 세라믹 커패시터에 있어서 내부전극 층의 용량 발생에 기여하는 부분을 의미한다.
- [0032] 한편, 전극의 인출부는 내부전극 층의 용량 발생에 기여하지 않는 부분으로서, 복수 개의 유전체 층이 적층되어

형성되며, 서로 대향하는 제1 및 제2 측면과 상기 제1 및 제2 측면과 연결된 제3 및 제4 측면을 갖는 세라믹 본체에서 상기 제1 측면 또는 제2 측면으로 노출된 전극 부위를 의미한다.

[0033] 도 3a와 도 3b를 참조하면, 본 발명의 일 실시형태에 따른 적층형 세라믹 캐패시터는 유전체 층(11)에 형성되고, 전극 미인출부(A)와 제3 측면 사이의 길이(x)가 100 μm 이하이고, 전극 미인출부(A)와 상기 제3 측면 사이의 길이(x)에 대한 전극 인출부(B)와 상기 제3 측면 사이의 길이(y)의 비율(y/x)이 1.2 내지 1.7인 내부 전극층(12a, 12b);을 포함하는 것을 특징으로 한다.

[0034] 전극 미인출부(A)와 상기 제3 측면 사이의 길이(x)에 대한 전극 인출부(B)와 상기 제3 측면 사이의 길이(y)의 비율(y/x)을 구현하기 위해서 상하 유전체 층에 사용되는 세라믹 시트 슬러리 제작시 첨가하는 바인더와 같은 유기물의 종류 및 양을 제어하거나 적층체를 딱딱하게 하는 압착공정에서 사용되는 부자재를 사용하여 상기 비율을 제어 할 수 있다.

[0035] 최근 적층 세라믹 캐패시터는 정전용량 구현을 위해 내부전극의 면적을 최대한 넓히고 전극 미인출부(A)와 전극 인출부(B) 각각과 상기 제3 측면 또는 제4 측면 사이의 길이를 최소화 하고 있으나 이로 인해 세라믹 적층체의 크랙 발생에 취약한 문제점이 있다.

[0036] 전극 인출부(B)는 전극 미인출부(A)에 비해 밀도가 절반이며 그런 세라믹 적층체 압착시 내부전극의 늘어나는 정도는 용량 유효부, 즉 전극 미인출부(A)가 더 크다.

[0037] 이로 인해 전극 인출부(B) 밀도는 전극 미인출부(A)의 밀도에 비해 낮아 소결 또는 실장공정에서 발생하는 열충격으로 인해 세라믹 적층체에 크랙이 발생한다.

[0038] 한편, 상기의 열충격으로 인한 크랙은 전극 미인출부(A)와 전극 인출부(B) 사이의 밀도차가 크면 클수록 더욱 증가한다.

[0039] 본 발명은 전극 미인출부(A)와 상기 제3 측면 사이의 길이(x)가 100 μm 이하이고, 전극 미인출부(A)와 상기 제3 측면 사이의 길이(x)에 대한 전극 인출부(B)와 상기 제3 측면 사이의 길이(y)의 비율(y/x)이 1.2 내지 1.7이 되도록 구현하여, 소결 또는 실장공정에서 열충격으로 인해 세라믹 적층체에 발생하는 크랙을 억제한다.

[0040] 본 발명에서는 전극 미인출부(A)와 상기 제3 측면 사이의 길이(x)가 100 μm 이하로 하는데, 이는 본 발명의 목적을 달성하기 위함이며 100 μm 초과인 경우에는 적층 세라믹 캐패시터의 정전 용량을 구현하는 것이 불가능하기 때문에 상기와 같이 100 μm 이하로 하는 것이다.

[0041] 또한, 본 발명에서는 전극 미인출부(A)와 상기 제3 측면 사이의 길이(x)에 대한 전극 인출부(B)와 상기 제3 측면 사이의 길이(y)의 비율(y/x)이 1.2 내지 1.7이 되도록 구현하는데, 만약 전극 미인출부(A)와 상기 제3 측면 사이의 길이(x)에 대한 전극 인출부(B)와 상기 제3 측면 사이의 길이(y)의 비율(y/x)이 1.2 미만인 되는 경우에는 본 발명의 목적인 열충격에 의한 델라미네이션(Delamination) 및 크랙에 대한 개선 효과가 없다.

[0042] 또한, 상기 비율이 1.7을 초과하는 경우에는 전극 인출부(B)의 내부전극 크기가 너무 작아 외부전극과의 접촉성이 떨어지므로 정전 용량이 감소하는 문제가 있어 상기와 같이 1.2 내지 1.7이 되도록 구현하는 것이다.

- [0043] 상기 유전체 층(11)의 두께는 2 μm 이하 인 것으로 형성될 수 있으며, 상기 전극(12a, 12b)의 두께는 0.3 내지 1.0 μm 인 것으로 형성될 수 있다.
- [0044] 또한, 상기 내부 전극층은 상기 전극 미인출부와 상기 제4 측면 사이의 길이가 100 μm 이하이고, 상기 전극 미인출부와 상기 제4 측면 사이의 길이에 대한 상기 전극 인출부와 상기 제4 측면 사이의 길이의 비율이 1.2 내지 1.7일 수 있다.
- [0045] 한편, 본 발명의 다른 실시형태는 서로 대향하는 제1 및 제2 측면과 상기 제1 및 제2 측면과 연결된 제3 및 제4 측면을 갖는 복수 개의 유전체 층을 마련하는 단계; 상기 유전체 층에 상기 제1 측면 또는 제2 측면으로 노출된 전극 인출부와 전극 미인출부로 구성되며, 전극 미인출부와 상기 제3 측면 사이의 길이가 100 μm 이하이고, 전극 미인출부와 상기 제3 측면 사이의 길이에 대한 전극 인출부와 상기 제3 측면 사이의 길이의 비율이 1.2 내지 1.7인 내부 전극층을 형성하는 단계; 및 상기 유전체 층을 적층하여 세라믹 본체를 마련하는 단계;를 포함하는 적층형 세라믹 캐패시터의 제조방법을 특징으로 한다.
- [0046] 상기 유전체 층(11)의 두께는 2 μm 이하 인 것으로 형성될 수 있으며, 상기 전극(12a, 12b)의 두께는 0.3 내지 1.0 μm 인 것으로 형성될 수 있다.
- [0047] 또한, 상기 내부 전극층은 상기 전극 미인출부와 상기 제4 측면 사이의 길이가 100 μm 이하이고, 상기 전극 미인출부와 상기 제4 측면 사이의 길이에 대한 상기 전극 인출부와 상기 제4 측면 사이의 길이의 비율이 1.2 내지 1.7일 수 있다.
- [0048] 도 4는 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품의 제조 공정도이다.
- [0049] 먼저, 복수 개의 그린시트를 마련하는 단계(a)가 이루어진다.
- [0050] 여기서, 그린시트는 세라믹 그린시트로서 티탄산바륨(BaTiO_3) 등의 파우더를 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제와 배합하여 바스킷 밀(Basket Mill)을 이용하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 수 μm 의 두께로 제조되며 유전체 층을 형성하게 된다.
- [0051] 그리고, 그린시트 상에 도전성 페이스트를 디스펜싱(dispensing)하고, 스퀴지(squeegee)를 일측 방향으로 진행시키면서 도전성 페이스트에 의한 내부전극 층을 형성하게 된다(b).
- [0052] 이때, 도전성 페이스트는 은(Ag), 납(Pb), 백금 등의 귀금속 재료 및 니켈(Ni), 구리(Cu) 중 하나의 물질로 형성되거나 적어도 2개의 물질을 혼합하여 형성될 수 있다.
- [0053] 본 발명의 다른 실시형태에 따라 내부전극 층의 두께는 0.3 내지 1.0 μm 이 되도록 제한한다.
- [0054] 이와 같이 내부전극 층이 형성된 후 그린시트를 캐리어 필름으로부터 분리시킨 후 복수의 그린시트 각각을 서로 겹쳐서 적층하여 적층체를 형성한다(c).

- [0055] 이어 그린시트 적층체를 고온, 고압으로 압착(d)시킨 후, 압착된 시트 적층체를 절단공정(e)을 통해 소정의 크기로 절단하여 캐패시터 본체를 제조하게 된다(f).
- [0056] 이후 가소, 소성, 연마, 외부전극 및 도금 공정 등을 거쳐 적층형 캐패시터가 완성되게 된다.
- [0057] 이하, 비교예 및 실시예를 들어 본 발명을 더욱 상세히 설명하지만, 본 발명이 이에 의해 제한되는 것은 아니다.
- [0058] 비교예 1 과 2 및 실시예 1 내지 4를 하기와 같이 전극 미인출부와 상기 제3 측면 사이의 길이에 대한 전극 인출부와 상기 제3 측면 사이의 길이의 비율을 달리 하여 제조하였다.
- [0059] 전극 미인출부와 상기 제3 측면 사이의 길이에 대한 전극 인출부와 상기 제3 측면 사이의 길이의 비율을 제어하기 위해 전극 미인출부(A)와 상기 제3 측면 사이의 길이가 $100\mu\text{m}$ 이하인 그린 세라믹 적층체를 제작하였다.
- [0060] 스크린(Screen) 또는 그라비아(Gravure) 인쇄공법으로 인쇄막 두께 $0.5\mu\text{m}$ 로 인쇄 한 후 500층을 적층 한 후 압착, 절단, 소성, 외부전극, 도금 등의 공정을 거쳐 적층 세라믹 캐패시터를 제작하였다.
- [0061] 비교예 1 과 2는 다른 조건은 실시예와 동일하며 다만, 전극 미인출부와 상기 제3 측면 사이의 길이에 대한 전극 인출부와 상기 제3 측면 사이의 길이의 비율이 1.7을 초과하도록 제조하였다.
- [0062] 적층 세라믹 캐패시터의 단면을 관찰한 결과 전극 미인출부(A)와 상기 제3 측면 사이의 길이(x)가 $100\mu\text{m}$ 이하였으며, 전극 미인출부와 상기 제3 측면 사이의 길이에 대한 전극 인출부와 상기 제3 측면 사이의 길이의 비율은 1.0 ~ 2.0으로 구현되었다.
- [0063] 이렇게 제작된 적층 세라믹 캐패시터에 대해 계측기를 사용하여 정전용량을 측정하였으며 320°C 의 납조에서 2초 동안 침지 시킨 후 50 ~ 1,000배의 현미경으로 크랙 발생 여부를 평가 하였다.
- [0064] 아래의 표 1은 상기 실시예 1 내지 4 및 비교예 1 과 2 에 대해 정전 용량, 세라믹 적층체의 박리 발생 빈도 및 열충격에 의한 크랙 발생 빈도를 비교한 것이다.
- [0065] y/x 비율이 1.2미만인 경우 공정상 구현하기가 어려우며, 비교예 1 및 2와 같이 y/x 비율이 1.8이상인 경우 전극 인출부의 내부전극 크기가 작아 외부전극과의 접촉성이 떨어져 정전용량이 감소하는 결과를 초래하였다.
- [0066] 이를 통해 크랙 및 정전용량을 고려하였을 때 적절한 y/x 비율은 실시예 1 내지 4와 같이 1.2 ~ 1.7 수준이 바람직함을 알 수 있다.

표 1

No.	y/x 비율	정전용량(μF)	세라믹 적층체 박리 발생빈도	열충격 크랙 발생 빈도
실시예1	1.2	10.4	1/100	0/100
실시예2	1.3	10.3	0/100	1/100
실시예3	1.5	10.2	1/100	0/100
실시예4	1.7	10.1	0/100	1/100
비교예 1	1.8	9.7	1/100	4/100
비교예 2	2.0	9.3	4/100	6/100

[0067]

[0068]

[0069]

본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

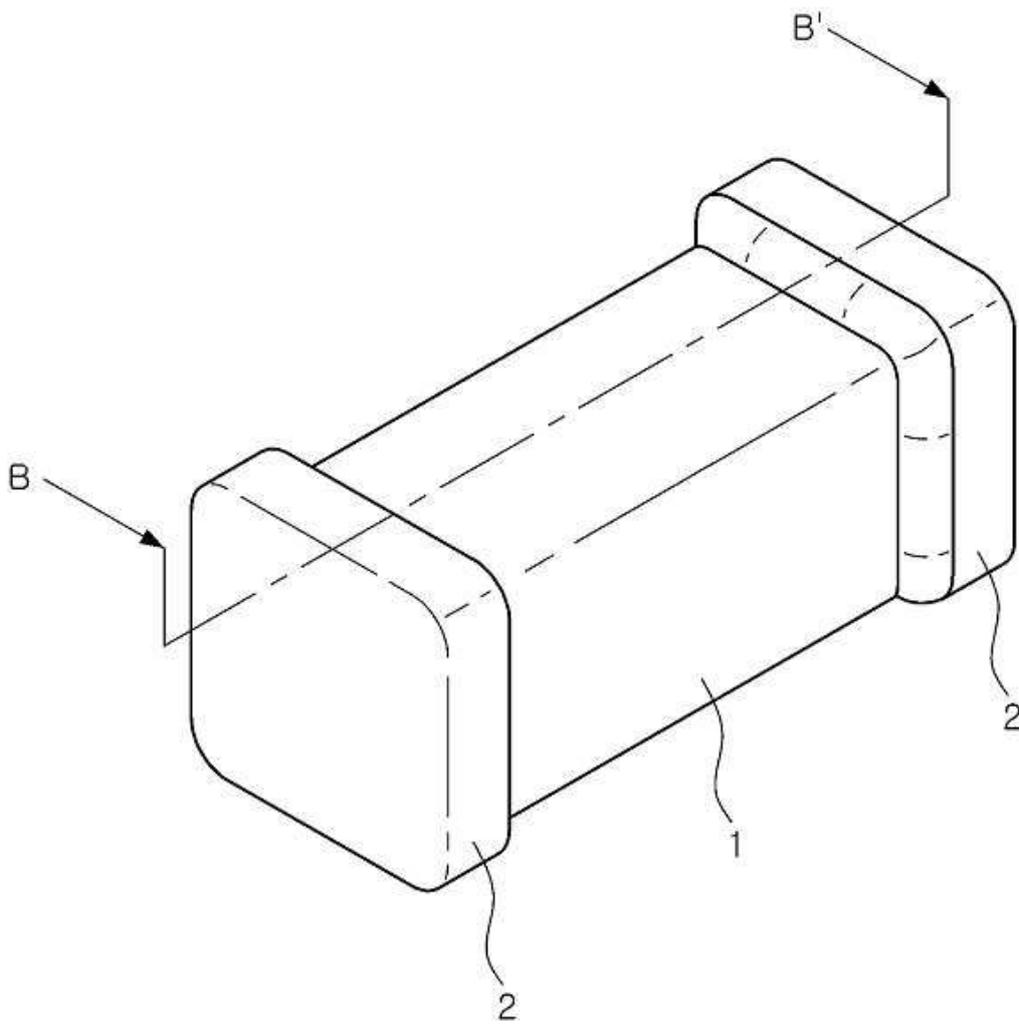
부호의 설명

[0070]

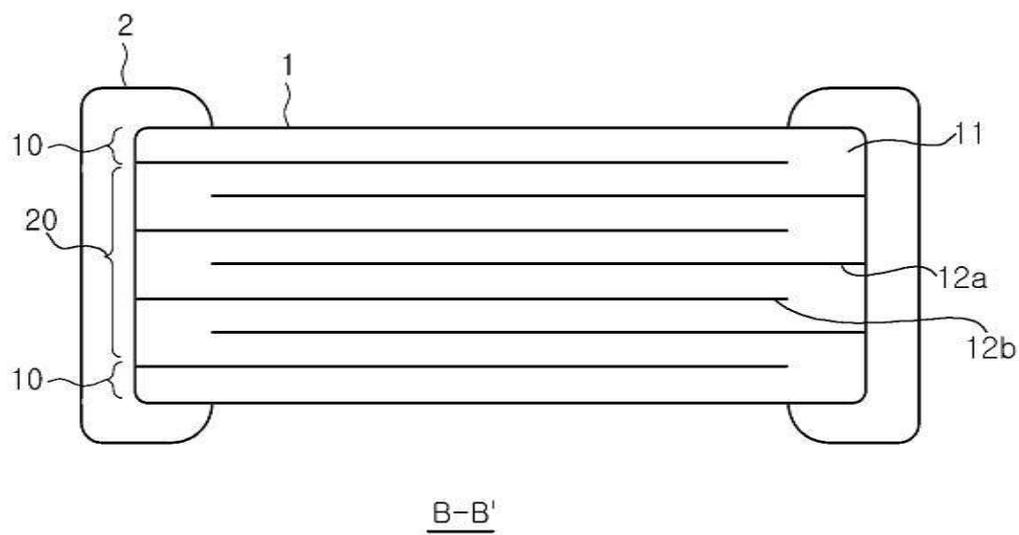
- 1: 캐패시터 본체
- 2: 외부 전극
- 10: 보호층
- 11: 유전체 층
- 12a, 12b: 내부전극 층
- 20: 유효층
- A: 전극 미인출부
- B: 전극 인출부
- x: 전극 미인출부와 유전체층의 제3 또는 제4 측면 사이의 길이
- y: 전극 인출부와 유전체층의 제3 또는 제4 측면 사이의 길이

도면

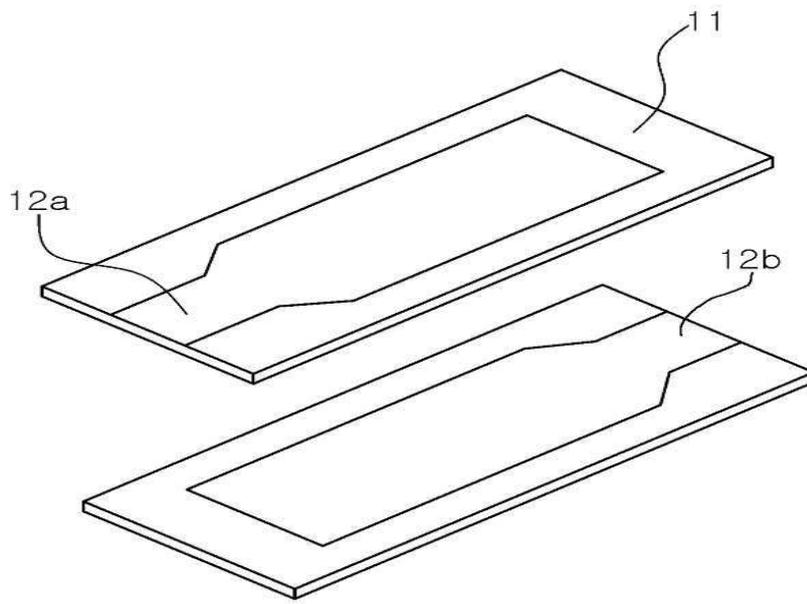
도면1



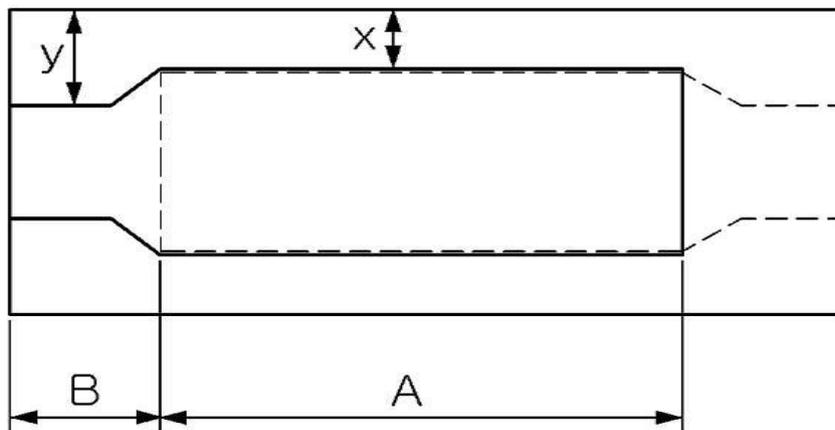
도면2



도면3a



도면3b



도면4

