



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월21일  
(11) 등록번호 10-2193468  
(24) 등록일자 2020년12월15일

(51) 국제특허분류(Int. Cl.)  
G11C 11/413 (2006.01)  
(21) 출원번호 10-2014-0040325  
(22) 출원일자 2014년04월04일  
심사청구일자 2018년10월18일  
(65) 공개번호 10-2015-0115382  
(43) 공개일자 2015년10월14일  
(56) 선행기술조사문헌  
US20120081976 A1\*  
US20120117402 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
이종필  
경기도 수원시 영통구 영통로290번길 26, 806동  
1703호 (영통동, 벽적골주공휴먼시아8  
단지아파트)  
윤수현  
서울특별시 성북구 오패산로 46, 120동 1101호  
(하월곡동, 월곡두산위브아파트)  
(뒷면에 계속)  
(74) 대리인  
박영우

전체 청구항 수 : 총 15 항

심사관 : 손윤식

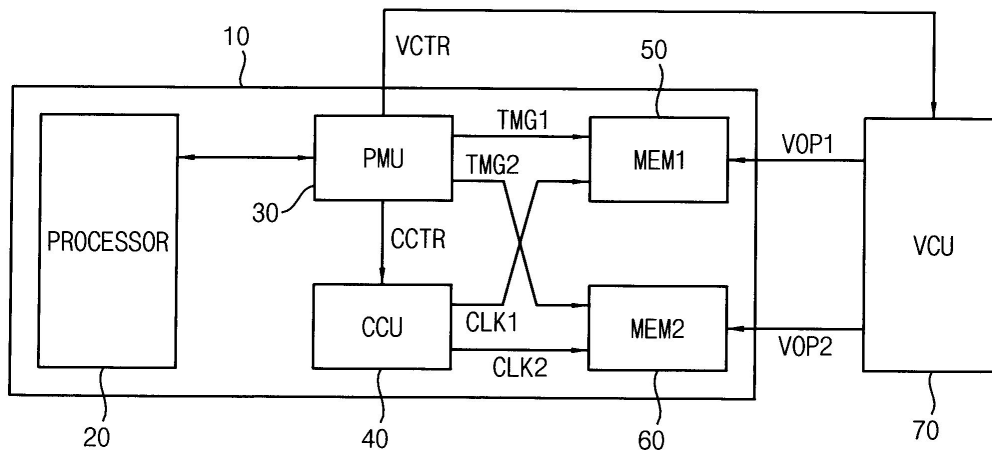
(54) 발명의 명칭 타이밍 마진을 적응적으로 보정하는 메모리 장치 및 이를 포함하는 집적 회로

(57) 요약

집적 회로는, 전력 관리부 및 하나 이상의 메모리 장치들을 포함한다. 상기 전력 관리부는 동작 상태를 모니터링하여 복수의 전력 레벨들 중에서 현재의 동작 상태에 상응하는 동작 전력 레벨을 결정하고, 상기 결정된 동작 전력 레벨의 타이밍 마진을 나타내는 복수의 그레이 비트 신호들로 이루어진 그레이 코드 신호를 제공한다. 상기 메모리 장치들은 상기 그레이 코드 신호에 기초하여 동작 타이밍을 조절한다. 그레이 코드를 이용하여 타이밍 마진을 제공함으로써 타이밍 마진의 변경시 발생할 수 있는 에러를 방지하면서도 동작을 중지함이 없이 효율적으로 메모리 장치의 타이밍 마진을 보정할 수 있다.

대표도

100



(72) 발명자

**최재승**

경기도 수원시 영통구 봉영로1517번길 30, 611동  
1204호 (영통동, 극동.풍림 아파트)

**허정훈**

경기도 수원시 권선구 동수원로145번길 74, 103동  
801호 (권선동, 수원아이파크시티1단지)

---

## 명세서

### 청구범위

#### 청구항 1

동작 상태를 모니터링하여 복수의 전력 레벨들 중에서 현재의 동작 상태에 상응하는 동작 전력 레벨을 결정하고, 상기 결정된 동작 전력 레벨의 타이밍 마진을 나타내는 복수의 그레이 비트 신호들로 이루어진 그레이 코드 신호를 제공하는 전력 관리부; 및

상기 그레이 코드 신호에 기초하여 동작 타이밍을 조절하는 하나 이상의 메모리 장치들을 포함하고,

상기 전력 관리부는 상기 동작 전력 레벨에 상응하는 타이밍 마진을 나타내는 이진 코드 비트들을 배타적 논리합 연산하여 상기 그레이 코드 신호를 제공하는 집적 회로.

#### 청구항 2

제1 항에 있어서,

상기 메모리 장치들의 각각의 전단 또는 내부에 배치되고, 상기 전력 관리부로부터 제공되는 상기 그레이 코드 신호를 이진 코드 신호로 각각 변환하는 하나 이상의 디코더들을 더 포함하는 것을 특징으로 하는 집적 회로.

#### 청구항 3

제2 항에 있어서,

상기 디코더들의 각각의 전단에 배치되고, 각각의 동작 클럭 신호에 응답하여 상기 전력 관리부로부터 제공되는 상기 그레이 코드 신호를 동기화하여 동기화된 그레이 코드 신호를 상기 디코더들로 각각 제공하는 하나 이상의 동기화 회로들을 더 포함하는 것을 특징으로 하는 집적 회로.

#### 청구항 4

제1 항에 있어서, 상기 전력 관리부는,

상기 전력 레벨들에 각각 상응하는 타이밍 마진들을 이진 코드들의 형태로 저장하는 저장부;

상기 저장부로부터 상기 동작 전력 레벨에 상응하는 타이밍 마진을 나타내는 이진 코드를 수신하고 상기 수신된 이진 코드를 그레이 코드로 변환하는 인코더; 및

상기 인코더로부터 제공되는 그레이 코드에 기초하여 상기 그레이 코드 신호를 출력하는 레지스터를 포함하는 것을 특징으로 하는 집적 회로.

#### 청구항 5

제1 항에 있어서, 상기 전력 관리부는,

상기 전력 레벨들에 각각 상응하는 타이밍 마진들을 그레이 코드들의 형태로 저장하는 저장부; 및

상기 저장부로부터 제공되고 상기 동작 전력 레벨에 상응하는 타이밍 마진을 나타내는 그레이 코드에 기초하여 상기 그레이 코드 신호를 출력하는 레지스터를 포함하는 것을 특징으로 하는 집적 회로.

#### 청구항 6

제1 항에 있어서,

상기 전력 관리부는 상기 동작 전력 레벨이 변경되는 경우, 동작 전압과 동작 주파수 중에서 적어도 하나를 변경하는 것을 특징으로 하는 집적 회로.

#### 청구항 7

제1 항에 있어서,

상기 전력 관리부는 상기 동작 전력 레벨을 상승하는 경우, 동작 전압을 증가한 후에 상기 타이밍 마진을 감소하고, 상기 타이밍 마진을 감소한 후에 동작 주파수를 증가하는 것을 특징으로 하는 집적 회로.

**청구항 8**

제1 항에 있어서,

상기 전력 관리부는 상기 동작 전력 레벨을 하강하는 경우, 동작 주파수를 감소한 후에 상기 타이밍 마진을 증가하고, 상기 타이밍 마진을 증가한 후에 동작 전압을 감소하는 것을 특징으로 하는 집적 회로.

**청구항 9**

제1 항에 있어서,

상기 타이밍 마진은 상기 메모리 장치에 포함되는 센스 증폭기가 독출 동작에서 활성화되는 시점을 나타내는 것을 특징으로 하는 집적 회로.

**청구항 10**

삭제

**청구항 11**

제1 항에 있어서,

상기 전력 관리부는 상기 동작 전력 레벨이 변경되는 경우 상기 그레이 코드 신호에 포함된 상기 그레이 비트 신호들 중에서 하나의 논리 레벨만이 변경되도록 상기 동작 전력 레벨을 한 레벨씩 점진적으로 상승하거나 하강하는 것을 특징으로 하는 집적 회로.

**청구항 12**

메모리 셀 어레이와 주변 회로를 포함하는 메모리 코아; 및

현재의 동작 상태에 상응하는 동작 전력 레벨의 타이밍 마진을 나타내는 복수의 그레이 비트 신호들로 이루어진 그레이 코드 신호를 수신하고, 상기 그레이 코드 신호에 기초하여 상기 메모리 코아의 동작 타이밍을 제어하기 위한 적어도 하나의 제어 신호를 발생하는 제어부를 포함하고,

상기 그레이 코드 신호는 상기 동작 전력 레벨에 상응하는 타이밍 마진을 나타내는 이진 코드 비트들을 배타적 논리합 연산하여 제공되는 메모리 장치.

**청구항 13**

제12 항에 있어서,

상기 그레이 코드 신호를 이진 코드 신호로 변환하는 디코더를 더 포함하는 것을 특징으로 하는 메모리 장치.

**청구항 14**

제13 항에 있어서, 상기 제어부는

상기 이진 코드 신호에 응답하여 내부 신호를 상기 타이밍 마진에 상응하는 지연 시간만큼 지연하여 상기 제어 신호를 출력하는 지연부를 포함하는 것을 특징으로 하는 메모리 장치.

**청구항 15**

제12 항에 있어서,

상기 메모리 장치는 시스템 온 칩 내에 집적된 내장 에스램 장치인 것을 특징으로 하는 메모리 장치.

**청구항 16**

적어도 하나의 프로세서;

상기 프로세서의 동작 상태를 모니터링하여 복수의 전력 레벨들 중에서 현재의 동작 상태에 상응하는 동작 전력

레벨을 결정하고, 상기 결정된 동작 전력 레벨의 타이밍 마진을 나타내는 복수의 그레이 비트 신호들로 이루어진 그레이 코드 신호를 제공하는 전력 관리부; 및

상기 그레이 코드 신호에 기초하여 동작 타이밍을 조절하는 하나 이상의 메모리 장치들을 포함하고,

상기 전력 관리부는 상기 동작 전력 레벨에 상응하는 타이밍 마진을 나타내는 이진 코드 비트들을 배타적 논리합 연산하여 상기 그레이 코드 신호를 제공하는 시스템 온 칩.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 집적 회로에 관한 것으로서, 더욱 상세하게는 타이밍 마진을 적응적으로 보정하는 메모리 장치 및 이를 포함하는 집적 회로에 관한 것이다.

**배경 기술**

[0002] 최근 대부분의 집적 회로(integrated circuit)는 저전력 동작을 위하여 DVFS(Dynamic Voltage Frequency Scaling) 기법을 채용하고 있다. 집적 회로에 포함된 에스램(SRAM: static random access memory)과 같은 내장 메모리(embedded memory)의 최적의 성능을 위해서는 구동 전압의 변동에 따라 내장 메모리의 동작 타이밍이 조절되어야 한다. 기존에는 구동 전압이 변경되는 동안에 동기화를 위한 회로가 없기 때문에 클럭 신호를 중지하는 등의 방법이 사용되었으나 이는 집적 회로의 클럭 도메인들 또는 파워 도메인들이 단순하여 클럭 신호의 개수가 제한적일 때나 사용 가능하다. 이러한 종래의 방법들은 클럭 구조가 간단한 집적 회로의 일시적인 성능저하를 초래하며, 클럭 신호의 개수가 많은 복잡한 클럭 도메인들을 포함하는 집적 회로에는 사용이 불가능하다. 특히 특정 IP가 칩의 동작 시나리오에 따라 여러 주파수의 이중 클럭을 사용하는 구조를 갖게 될 경우 해당 조건에 사용하는 클럭이 사용되거나 그렇지 않을 경우 클럭을 중지해야 하므로 복잡한 제어가 필요하고 이는 소프트웨어를 포함하여 다양한 문제점을 야기할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은, 전력 레벨의 변경시 동작을 중지함이 없이 메모리 장치의 타이밍 마진을 적응적으로 보정할 수 있는 집적 회로를 제공하는 것이다.

[0004] 또한 본 발명의 일 목적은, 전력 레벨의 변경시 동작을 중지함이 없이 타이밍 마진을 적응적으로 보정할 수 있는 메모리 장치를 제공하는 것이다.

[0005] 또한 본 발명의 일 목적은, 전력 레벨의 변경시 동작을 중지함이 없이 타이밍 마진을 적응적으로 보정할 수 있는 시스템 온 칩을 제공하는 것이다.

**과제의 해결 수단**

[0006] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 집적 회로는, 전력 관리부 및 하나 이상의 메모리 장치들을 포함한다.

[0007] 상기 전력 관리부는 동작 상태를 모니터링하여 복수의 전력 레벨들 중에서 현재의 동작 상태에 상응하는 동작 전력 레벨을 결정하고, 상기 결정된 동작 전력 레벨의 타이밍 마진을 나타내는 복수의 그레이 비트 신호들로 이루어진 그레이 코드 신호를 제공한다. 상기 메모리 장치들은 상기 그레이 코드 신호에 기초하여 동작 타이밍을 조절한다.

[0008] 상기 집적 회로는, 상기 메모리 장치들의 각각의 전단 또는 내부에 배치되고, 상기 전력 관리부로부터 제공되는 상기 그레이 코드 신호를 이진 코드 신호로 각각 변환하는 하나 이상의 디코더들을 더 포함할 수 있다.

[0009] 상기 집적 회로는, 상기 디코더들의 각각의 전단에 배치되고, 각각의 동작 클럭 신호에 응답하여 상기 전력 관리부로부터 제공되는 상기 그레이 코드 신호를 동기화하여 동기화된 그레이 코드 신호를 상기 디코더들로 각각 제공하는 하나 이상의 동기화 회로들을 더 포함할 수 있다.

[0010] 일 실시예에서, 상기 전력 관리부는, 상기 전력 레벨들에 각각 상응하는 타이밍 마진들을 이진 코드들의 형태로

저장하는 저장부; 상기 저장부로부터 상기 동작 전력 레벨에 상응하는 타이밍 마진을 나타내는 이진 코드를 수신하고 상기 수신된 이진 코드를 그레이 코드로 변환하는 인코더; 및 상기 인코더로부터 제공되는 그레이 코드에 기초하여 상기 그레이 코드 신호를 출력하는 레지스터를 포함할 수 있다.

- [0011] 다른 실시예에서, 상기 전력 관리부는, 상기 전력 레벨들에 각각 상응하는 타이밍 마진들을 그레이 코드들의 형태로 저장하는 저장부; 및 상기 저장부로부터 제공되고 상기 동작 전력 레벨에 상응하는 타이밍 마진을 나타내는 그레이 코드에 기초하여 상기 그레이 코드 신호를 출력하는 레지스터를 포함할 수 있다.
- [0012] 상기 전력 관리부는 상기 동작 전력 레벨이 변경되는 경우, 동작 전압과 동작 주파수 중에서 적어도 하나를 변경할 수 있다.
- [0013] 상기 전력 관리부는 상기 동작 전력 레벨을 상승하는 경우, 동작 전압을 증가한 후에 상기 타이밍 마진을 감소하고, 상기 타이밍 마진을 감소한 후에 동작 주파수를 증가할 수 있다.
- [0014] 상기 전력 관리부는 상기 동작 전력 레벨을 하강하는 경우, 동작 주파수를 감소한 후에 상기 타이밍 마진을 증가하고, 상기 타이밍 마진을 증가한 후에 동작 전압을 감소할 수 있다.
- [0015] 상기 타이밍 마진은 상기 메모리 장치에 포함되는 센스 증폭기가 독출 동작에서 활성화되는 시점을 나타낼 수 있다.
- [0016] 상기 전력 관리부는 상기 동작 전력 레벨에 상응하는 타이밍 마진을 나타내는 이진 코드 비트들을 배타적 논리합 연산하여 상기 그레이 코드 신호를 제공할 수 있다.
- [0017] 상기 전력 관리부는 상기 동작 전력 레벨이 변경되는 경우 상기 그레이 코드 신호에 포함된 상기 그레이 비트 신호들 중에서 하나의 논리 레벨만이 변경되도록 상기 동작 전력 레벨을 한 레벨씩 점진적으로 상승하거나 하강할 수 있다.
- [0018] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 메모리 장치는, 메모리 코아 및 제어부를 포함한다. 상기 메모리 코아는 메모리 셀 어레이와 주변 회로를 포함한다. 상기 제어부는 현재의 동작 상태에 상응하는 동작 전력 레벨의 타이밍 마진을 나타내는 복수의 그레이 비트 신호들로 이루어진 그레이 코드 신호를 수신하고, 상기 그레이 코드 신호에 기초하여 상기 메모리 코아의 동작 타이밍을 제어하기 위한 적어도 하나의 제어 신호를 발생한다.
- [0019] 상기 메모리 장치는, 상기 그레이 코드 신호를 이진 코드 신호로 변환하는 디코더를 더 포함할 수 있다.
- [0020] 상기 제어부는, 상기 이진 코드 신호에 응답하여 내부 신호를 상기 타이밍 마진에 상응하는 지연 시간만큼 지연하여 상기 제어 신호를 출력하는 지연부를 포함할 수 있다.
- [0021] 상기 메모리 장치는 시스템 온 칩 내에 집적된 내장 에스램 장치일 수 있다.
- [0022] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 시스템 온 칩은 적어도 하나의 프로세서, 전력 관리부 및 하나 이상의 메모리 장치들을 포함한다. 상기 전력 관리부는 상기 프로세서의 동작 상태를 모니터링하여 복수의 전력 레벨들 중에서 현재의 동작 상태에 상응하는 동작 전력 레벨을 결정하고, 상기 결정된 동작 전력 레벨의 타이밍 마진을 나타내는 복수의 그레이 비트 신호들로 이루어진 그레이 코드 신호를 제공한다. 상기 메모리 장치들은 상기 그레이 코드 신호에 기초하여 동작 타이밍을 조절한다.

**발명의 효과**

- [0023] 본 발명의 실시예들에 따른 메모리 장치 및 이를 포함하는 집적 회로는, 그레이 코드를 이용하여 타이밍 마진을 제공함으로써 타이밍 마진의 변경시 발생할 수 있는 에러를 방지하면서도 동작을 중지함이 없이 효율적으로 메모리 장치의 타이밍 마진을 보정할 수 있다.

**도면의 간단한 설명**

- [0024] 도 1은 본 발명의 실시예들에 따른 시스템을 나타내는 블록도이다.
- 도 2는 도 1의 집적 회로에 포함되는 전력 관리부의 일 예를 나타내는 블록도이다.
- 도 3은 도 2의 전력 관리부에 포함되는 룩업 테이블의 일 예를 나타내는 도면이다.
- 도 4는 이진 코드와 그레이 코드의 관계를 나타내는 도면이다.

- 도 5는 이진 코드 신호를 수신하는 메모리 장치를 포함하는 집적 회로의 일 예를 나타내는 블록도이다.
- 도 6은 이진 코드 신호를 수신하는 메모리 장치의 동작을 나타내는 타이밍도이다.
- 도 7은 본 발명의 일 실시예에 따른 그레이 코드 신호를 수신하는 메모리 장치를 포함하는 집적 회로를 나타내는 블록도이다.
- 도 8a 및 8b는 그레이 코드 신호를 수신하는 메모리 장치의 동작을 나타내는 타이밍도들이다.
- 도 9는 본 발명의 일 실시예에 따른 그레이 코드 신호를 출력하는 전력 관리부를 나타내는 블록도이다.
- 도 10은 본 발명의 다른 실시예에 따른 그레이 코드 신호를 출력하는 전력 관리부를 나타내는 블록도이다.
- 도 11은 본 발명의 다른 실시예에 따른 그레이 코드 신호를 수신하는 메모리 장치를 포함하는 집적 회로를 나타내는 블록도이다.
- 도 12는 이진 코드 신호를 그레이 코드 신호로 변환하는 인코더의 일 예를 나타내는 회로도이다.
- 도 13은 그레이 코드 신호를 이진 코드 신호로 변환하는 디코더의 일 예를 나타내는 회로도이다.
- 도 14는 본 발명의 실시예들에 따른 메모리 장치를 나타내는 블록도이다.
- 도 15는 본 발명의 일 실시예에 따른 에스램 장치를 나타내는 회로도이다.
- 도 16은 도 15의 에스램 장치의 동작을 나타내는 타이밍도이다.
- 도 17은 본 발명의 일 실시예에 따른 전력 레벨 상승 시퀀스를 나타내는 타이밍도이다.
- 도 18은 본 발명의 일 실시예에 따른 전력 레벨 하강 시퀀스를 나타내는 타이밍도이다.
- 도 19는 본 발명의 일 실시예에 따른 전력 관리 방법을 나타내는 흐름도이다.
- 도 20은 본 발명의 실시예들에 따른 시스템 온 칩을 나타내는 블록도이다.
- 도 21은 본 발명의 실시예들에 따른 모바일 기기를 나타내는 블록도이다.
- 도 22는 도 19의 모바일 기기가 스마트폰으로 구현되는 일 예를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0025] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되지 않는다.
- [0026] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0027] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.
- [0028] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0029] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는

이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0030] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0032] 도 1은 본 발명의 실시예들에 따른 시스템을 나타내는 블록도이다.
- [0033] 도 1을 참조하면, 시스템(100)은 집적 회로(10) 및 전압 제어부(70)를 포함할 수 있다.
- [0034] 집적 회로(10)는 적어도 하나의 프로세서(20), 전력 관리부(PMU: power management unit)(30), 클록 제어부(CCU: clock control unit)(40), 및 하나 이상의 메모리 장치들(MEM1, MEM2)(50, 60)을 포함할 수 있다.
- [0035] 집적 회로(10)는 다양한 구성 요소들이 하나의 칩에 집적된 시스템 온 칩(SOC: system on chip)일 수 있다. 집적 회로(10)는 전압 제어부(70)로부터 필요한 전력을 공급받을 수 있다. 전압 제어부(70)는 적어도 하나의 전압 레귤레이터를 포함할 수 있고, 파워 서플라이 또는 전력 관리 집적 회로(PMIC: power management integrated circuit)로 지칭될 수도 있다. 실시예에 따라서, 전압 제어부(70)는 집적 회로(10)와는 별개의 칩으로 구현될 수도 있고, 전압 제어부(70)의 적어도 일부 구성 요소는 집적 회로(10)에 포함될 수도 있다.
- [0036] 도 1에는 하나의 프로세서(20)만을 도시하였으나, 집적 회로(10)는 하나 이상의 프로세서 또는 프로세싱 유닛을 더 포함할 수 있다. 프로세서(20)는 집적 회로(10)의 주요 기능을 수행하는 CPU(central processing unit)일 수 있고, 프로그램 명령들(instructions) 특히 운영 체제(OS: operating system)를 수행하도록 구현될 수 있다.
- [0037] 전력 관리부(30)는 집적 회로(10)의 동작 상태를 모니터링하여 도 3에 예시된 바와 같은 복수의 전력 레벨들 중에서 현재의 동작 상태에 상응하는 동작 전력 레벨을 결정할 수 있다. 전력 관리부(30)는 상기 결정된 동작 전력 레벨의 타이밍 마진을 나타내는 복수의 그레이 비트 신호들로 각각 이루어진 그레이 코드 신호들(TMGI, TMG2)을 제공할 수 있다. 각각의 메모리 장치들(50, 60)에 제공되는 그레이 코드 신호들(TMGI, TMG2)은 동일한 신호일 수도 있고, 서로 독립적으로 변경될 수 있도록 상이한 신호들일 수도 있다. 예를 들어, 메모리 장치들(50, 60)이 동일한 파워 도메인에 속하는 때에는 그레이 코드 신호들(TMGI, TMG2)은 동일할 수 있다. 반면에 메모리 장치들(50, 60)이 서로 다른 파워 도메인에 속하는 때에는 그레이 코드 신호들(TMGI, TMG2)은 상이한 타이밍 마진들을 나타낼 수 있고 서로 독립적으로 변경될 수 있다.
- [0038] 메모리 장치들(50, 60)은 전력 관리부(23)로부터 제공되는 그레이 코드 신호(TMGI, TMG2)에 기초하여 동작 타이밍을 조절할 수 있다. 그레이 코드를 이용하여 타이밍 마진을 제공함으로써 에러를 방지하면서도 동작을 중지함이 없이 효율적으로 메모리 장치들(50, 60)의 타이밍 마진을 보정할 수 있다.
- [0039] 도 3을 참조하여 후술하는 바와 같이, 본 명세서에서 사용되는 전력 레벨은 동작 전압과 동작 주파수 중 적어도 하나로서 표현될 수 있다. 즉 동작 전압과 동작 주파수 중 적어도 하나를 변경함으로써 전력 레벨을 변경할 수 있다. 동작 전압은 전원 전압일 수 있고 동작 주파수는 클록 신호의 주파수일 수 있다.
- [0040] 전력 관리부(30)는 집적 회로(10)의 작업부하(workload), 동작 온도와 같은 동작 상태(operating state or operating condition)를 모니터링하여 현재의 동작 상태에 상응하는 동작 전력 레벨을 결정할 수 있다. 예를 들어, 집적 회로(10)의 작업부하가 증가하면, 전력 관리부(30)는 집적 회로(10)의 동작 전압 및/또는 동작 주파수가 증가하도록 동작 전력 레벨을 상승시킬 수 있다. 반면에 집적 회로(10)의 작업 부하가 감소하면, 전력 관리부(30)는 집적 회로(10)의 동작 전압 및/또는 동작 주파수가 감소하도록 동작 전력 레벨을 하강시킬 수 있다. 또한 적정 동작 온도 범위를 초과하여 온도 상승으로 인한 정상 동작이 문제가 될 경우 집적 회로의 동작 전압 및 또는 동작 주파수가 감소하도록 동작 전력 레벨을 하강시킬 수 있다. 전력 레벨을 상승시켜 성능 저하를 방지하고, 전력 레벨을 하강시켜 불필요한 전력 소모를 방지할 수 있다. 일 실시예에서, 전력 관리부(30)는 프로세서(10)의 작업부하를 모니터링하여 동작 전력 레벨을 결정할 수 있다. 다른 실시예에서, 프로세서(10)가 자신의 작업부하를 모니터링하고 그 결과에 기초하여 동작 전력 레벨의 변경을 전력 관리부(30)에 요청할 수도 있다.



- [0041] 전력 관리부(30)는 전압 제어 신호(VCTR) 및 클럭 제어 신호(CCTR)를 발생하여 동작 전력 레벨에 상응하는 동작 전압 및 동작 주파수를 제공하도록 전압 제어부(70) 및 클럭 제어부(40)를 제어할 수 있다. 전력 레벨의 변경은 동작 전압 및 동작 주파수 중 적어도 하나를 변경하는 것일 수 있다. 한편 전력 관리부(30)는 집적 회로(10)의 일부분의 전력 레벨을 다른 부분들과 독립적으로 제어할 수 있다. 예를 들어, 제1 메모리 장치(50)와 제2 메모리 장치(60)가 서로 다른 파워 도메인들에 각각 속하는 경우에는 제1 메모리 장치(50)에 제공되는 제1 동작 전압(VOP1)과 제2 메모리 장치(60)에 제공되는 제2 동작 전압(VOP2)은 서로 독립적으로 제어될 수 있다. 또한 제1 메모리 장치(50)와 제2 메모리 장치(60)가 서로 다른 클럭 도메인들에 각각 속하는 경우에는 제1 메모리 장치(50)에 제공되는 제1 클럭 신호(CLK1)와 제2 메모리 장치(60)에 제공되는 제2 클럭 신호(CLK2)는 서로 독립적으로 제어될 수 있다.
- [0042] 클럭 제어부(40)는 위상 고정 루프(PLL: phase-locked), 지연 고정 루프(DLL: delay-locked loop), 클럭 체배기(clock multiplier), 클럭 분배기(clock divider), 또는 이들의 조합으로 구현될 수 있다.
- [0043] 도 1에는 편의상 프로세서(20) 및 전력 관리부(30)에 제공되는 동작 전압과 클럭 신호는 생략되어 있으며 메모리 장치들의 개수는 다양하게 변경될 수 있다. 메모리 장치들(50, 60) 중 하나는 프로세서(10)와 동일한 파워 도메인에 속할 수 있으며, 프로세서(10) 내에 포함될 수도 있다.
- [0044] 본 명세서에 언급하는 타이밍 마진은 메모리 장치의 독출 동작 또는 기입 동작에서의 액세스 시간(access time) 또는 사이클 시간(cycle time)을 나타낼 수 있다. 예를 들어, 메모리 장치의 동작 타이밍과 관련된 펄스 신호에 대해서 상기 펄스 신호의 활성화 타이밍을 조절하여 상기 액세스 시간을 조절할 수 있고, 상기 펄스 신호의 펄스 폭을 조절하여 상기 사이클 시간을 조절할 수 있다.
- [0045] 메모리 장치들(50, 60)에 공급되는 동작 전압들(VOP1, VOP2)의 변경은 메모리 장치들(50, 60)의 동작에 영향을 미칠 수 있다. 예를 들어, 독출 동작은 동작 전압이 높은 경우보다 동작 전압이 낮은 경우에 더 많은 시간을 필요로 할 수 있다. 특히 메모리 셀이 비트라인과 연결되어 메모리 셀에 저장된 데이터가 비트라인으로 전개되기 위하여 일정한 디벨롭 시간이 요구되고, 독출 오류를 방지하기 위하여 비트라인의 전압을 감지하는 센스 증폭기는 필요한 디벨롭 시간이 경과한 후에 인에이블될 필요가 있다. 필요한 디벨롭 시간(develop time)은 동작 전압에 따라 변화할 수 있다. 즉 동작 전압이 증가할수록 더 작은 디벨롭 시간이 요구되고 동작 전압이 감소할수록 더 큰 디벨롭 시간이 요구될 수 있다. 도 16을 참조하여 후술하는 바와 같이, 그레이 코드 신호들(TMG1, TMG2)로 표현되는 타이밍 마진은 상기 메모리 장치에 포함되는 센스 증폭기가 독출 동작에서 활성화되는 시점을 나타낼 수 있다.
- [0046] 도 2는 도 1의 집적 회로에 포함되는 전력 관리부의 일 예를 나타내는 블록도이고, 도 3은 도 2의 전력 관리부에 포함되는 룩업 테이블의 일 예를 나타내는 도면이다.
- [0047] 도 2를 참조하면, 전력 관리부(31)는 전력 레벨 결정부(DET)(32) 및 저장부(LUT)(33)를 포함할 수 있다. 저장부(33)는 도 3에 예시된 바와 같이 각각의 전력 레벨들(PL1, PL2, PL3)에 대하여 동작 전압, 동작 주파수 및 타이밍 마진이 매핑된 룩업 테이블 형태로 구현될 수 있다. 전력 레벨 결정부(32)는 동작 상태를 모니터링하여 복수의 전력 레벨들(PL1, PL2, PL3) 중에서 현재의 동작 상태에 상응하는 동작 전력 레벨을 결정할 수 있다. 전술한 바와 같이, 도 1의 프로세서(20)로부터 작업부하 등이 동작 상태 정보(OSI)로서 제공될 수 있다. 전력 레벨 결정부(32)는 룩업 테이블(33)을 참조하여 동작 전력 레벨에 상응하는 전압 제어 신호(VCTR), 클럭 제어 신호(CCTR) 및 그레이 코드 신호(TMG)를 발생할 수 있다.
- [0048] 룩업 테이블(33)에 포함된 타이밍 마진은 다양한 방법으로 결정될 수 있다. 일 실시예에서, 타이밍 마진은 집적 회로(10)의 제품으로서의 출하 전에 테스트 과정 등을 통하여 결정될 수 있다. 다른 실시예에서, 타이밍 마진은 집적 회로(10) 내에 구비된 셀프 테스트 회로(미도시)를 이용하여 제품 출하 후에 결정될 수도 있다. 결정된 타이밍 마진은 동작 전압 및 동작 주파수와 함께 룩업 테이블의 형태로 비휘발성 저장 수단에 저장될 수 있다. 도 3에는 타이밍 마진을 편의상 십진 값(decimal value)으로 표시하였으나, 타이밍 마진은 이진 코드(binary code) 또는 그레이 코드(gray code)의 형태로 저장될 수 있다.
- [0049] 도 4는 이진 코드와 그레이 코드의 관계를 나타내는 도면이다.
- [0050] 도 4에는 0부터 15까지의 십진 값들에 상응하는 이진 코드와 그레이 코드가 도시되어 있다. 그레이 코드는 이진 코드와 같이 각 비트에 대한 가중치가 없는 코드이기 때문에 가감승제와 같은 연산에는 부적절하다. 그러나, 그레이 코드는 연속하는 그레이 코드들 간에 하나의 비트만이 변경되는 특징이 있다. 예를 들어, 3에서 4로 값이 1이 증가되는 경우, 이진 코드는 하위 세 개의 비트들이 모두 변경되지만 그레이 코드는 세 번째 하위 비트만이

변경된다.

- [0051] 이와 같은 그레이 코드를 이용하여 타이밍 마진을 제공함으로써 타이밍 마진의 변경시 발생할 수 있는 에러를 방지하면서도 동작을 중지함이 없이 효율적으로 메모리 장치의 타이밍 마진을 보정할 수 있다. 전력 관리부(20)는 동작 전력 레벨이 변경되는 경우 그레이 코드 신호(TM<sub>G</sub>)에 포함된 상기 그레이 비트 신호들 중에서 하나의 논리 레벨만이 변경되도록 상기 동작 전력 레벨을 한 레벨씩 점진적으로 상승하거나 하강하도록 구현될 수 있다.
- [0052] 도 5는 이진 코드 신호를 수신하는 메모리 장치를 포함하는 집적 회로의 일 예를 나타내는 블록도이고, 도 6은 이진 코드 신호를 수신하는 메모리 장치의 동작을 나타내는 타이밍도이다.
- [0053] 도 5를 참조하면, 집적 회로(110)는 전력 관리부(PMU), 클록 제어부(CCU), 제1 메모리 장치(MEM1) 및 제2 메모리 장치(MEM2)를 포함한다.
- [0054] 전력 관리부(PMU)는 현재의 동작 상태에 상응하는 동작 전력 레벨을 결정하고 상기 결정된 동작 전력 레벨에 상응하는 클록 제어 신호(CCTR) 및 타이밍 마진을 나타내는 이진 코드 신호(TMB)를 발생한다. 클록 제어부(CCU)는 클록 제어 신호(CCTR)에 기초하여 메모리 장치들(MEM1, MEM2)에 제공되는 클록 신호들(CLK1, CLK2)을 제어한다.
- [0055] 전력 관리부(PMU)에서 제공되는 이진 코드 신호(TMB)는 제1 메모리 장치(MEM1)가 수신하는 제1 이진 코드 신호(TMB1)와 제2 메모리 장치(MEM2)가 수신하는 제2 이진 코드 신호(TMB2)를 포함할 수 있다. 실시예에 따라서, 제1 이진 코드 신호(TMB1)와 제2 이진 코드 신호(TMB2)는 동일한 신호일 수도 있고, 서로 독립적으로 변경되는 상이한 신호들일 수도 있다.
- [0056] 메모리 장치가 낮은 전력 레벨, 즉 저전압/저속으로 동작할 때는 높은 타이밍 마진으로 동작하고, 높은 고전압/고속으로 동작할 때는 낮은 타이밍 마진으로 동작한다. 즉 전력 레벨이 상승하는 경우 클록 속도가 증가하기 때문에 타이밍 마진이 감소되고, 전력 레벨이 하강하는 경우는 클록 속도가 줄어들기 때문에 타이밍 마진은 증가한다. 도 6에는 전력 레벨이 하강할 때, 복수의 이진 비트 신호들(B0, B1, B2)을 포함하는 이진 코드 신호(TM<sub>B</sub>)를 이용하여 타이밍 마진을 3에서 4로 증가시키는 경우를 도시하고 있다. 이 때 메모리 장치가 수신하는 이진 비트 신호들(B0, B1, B2) 사이에는 도 6에 도시된 바와 같은 스큐가 발생할 수 있고, 메모리 장치는 시간 t1과 t3 사이에서 잘못된 타이밍 마진을 수신하여 동작 오류가 발생할 수 있다. 이진 비트 신호들(B0, B1, B2)의 각 전송 경로상의 특성 차이(예를 들어, 전송 지연의 차이)로 인하여 이진 비트 신호들(B0, B1, B2)의 천이 시점들이 도 6에 예시된 바와 같이 서로 다를 수 있고, 이러한 천이 시점들의 차이가 상기 스큐에 해당한다. 일반적으로 메모리 장치는 동작 클록의 에지(edge)에 동기하여 샘플링 동작을 수행함으로써 신호를 수신한다. 메모리 장치가 이진 비트 신호들(B0, B1, B2)을 시간 t1과 t2 사이에서 수신(샘플링)하는 경우에는 타이밍 마진이 7인 것으로 잘못 인식할 수 있고, 시간 t2와 t3 사이에서 수신(샘플링)하는 경우에는 타이밍 마진이 6인 것으로 잘못 인식할 수 있다. 이러한 잘못된 타이밍 마진의 샘플링에 의한 동작 오류를 방지하기 위하여 복수의 이진 비트 신호들(B0, B1, B2)의 천이 시점들을 동기화하여 메모리 장치에 전달하기 위한 별도의 동기화 회로가 필요하며, 종래에는 동기화 회로를 구비함이 없이 타이밍 마진이 변경되는 구간에 클록 신호를 잠시 멈추는 방법이 사용되었다.
- [0057] 하나의 프로세서와 같이 클록 신호의 개수가 작은 단순한 구조에서는 일시적인 성능 저하를 감수하고도 클록 스톱의 방법을 사용할 수 있으나, 한 개의 지능 소자(IP)가 칩의 동작 시나리오(operating scenario)에 따라 여러 주파수의 서로 다른 클록 소스(clock source) 중의 한가지를 선택하여 구동되는 복잡한 클록 구조를 경우에는 타이밍 마진을 변경하려는 시점에서 각각의 메모리 장치가 어떤 클록 소스에 의해 구동되어야 하는지를 관별하여, 해당하는 클록 소스를 일일이 온/오프 해 주어야 하기 때문에 여러 가지 부가적인 문제를 초래한다.
- [0058] 최근의 모바일 애플리케이션 프로세서(mobile application processor)와 같이 저전력 동작이 중요한 반도체 제품에서는 DVFS의 범위를 증가시켜 소비전력을 감소하여야 하지만, 대개의 경우 내장된 에스램(SRAM) 장치의 동작 특성 때문에 동작 전압을 일정 수준 이하로 낮추지 못하는 문제로 인하여 전력 소모를 줄이지 못하는 한계가 있다. 본 발명의 실시예들에 따라서 동기화 문제를 해결함으로써 시스템의 저전력 동작을 가능하게 하여 전력 소모를 감소할 수 있다.
- [0059] 도 7은 본 발명의 일 실시예에 따른 그레이 코드 신호를 수신하는 메모리 장치를 포함하는 집적 회로를 나타내는 블록도이고, 도 8a 및 8b는 그레이 코드 신호를 수신하는 메모리 장치의 동작을 나타내는 타이밍도들이다.
- [0060] 도 7을 참조하면, 집적 회로(120)는 전력 관리부(PMU), 클록 제어부(CCU), 제1 디코더(DEC1), 제2 디코더

(DEC2), 제1 메모리 장치(MEM1) 및 제2 메모리 장치(MEM2)를 포함한다.

- [0061] 전력 관리부(PMU)는 현재의 동작 상태에 상응하는 동작 전력 레벨을 결정하고 상기 결정된 동작 전력 레벨에 상응하는 클록 제어 신호(CCTR) 및 타이밍 마진을 나타내는 그레이 코드 신호(TMG)를 발생한다. 클록 제어부(CCU)는 클록 제어 신호(CCTR)에 기초하여 메모리 장치들(MEM1, MEM2)에 제공되는 클록 신호들(CLK1, CLK2)을 제어한다.
- [0062] 도 7에 도시된 바와 같이, 디코더들(DEC1, DEC2)은 메모리 장치들(MEM1, MEM2)의 각각의 전단에 배치될 수도 있고, 메모리 장치들(MEM1, MEM2)의 내부에 배치될 수도 있다. 디코더들(DEC1, DEC2)은 전력 관리부(PMU)로부터 제공되는 그레이 코드 신호(TMG1, TMG2)를 이진 코드 신호들(TMB1, TMB2)로 각각 변환한다. 디코더에 대해서는 도 13을 참조하여 후술한다. 전력 관리부(PMU)에서 제공되는 그레이 코드 신호(TMG)는 제1 디코더(DEC1)가 수신하는 제1 그레이 코드 신호(TMG1)와 제2 디코더(DEC2)가 수신하는 제2 그레이 코드 신호(TMG2)를 포함할 수 있다. 실시예에 따라서, 제1 그레이 코드 신호(TMG1)와 제2 그레이 코드 신호(TMG2)는 동일한 신호일 수도 있고, 서로 독립적으로 변경되는 상이한 신호들일 수도 있다.
- [0063] 도 8a에는 전력 레벨이 하강할 때, 복수의 그레이 비트 신호들(G0, G1, G2)을 포함하는 그레이 코드 신호(TMG)를 이용하여 타이밍 마진을 3에서 4로 증가시키는 경우를 도시하고 있다. 이 때 메모리 장치가 수신하는 그레이 비트 신호들(G0, G1, G2) 중에서 하나의 신호(G2)만이 시간 t0에서 천이한다. 결과적으로 그레이 비트 신호들(G0, G1, G2)의 각 전송 경로들의 특성 차이가 존재하더라도 도 6에 도시된 바와 같은 이진 비트 신호들(B0, B1, B2) 사이에서 발생할 수 있는 천이 시점들의 차이, 즉 스큐가 발생하지 않고, 따라서 타이밍 마진의 변경시 발생할 수 있는 동작 오류가 방지될 수 있다.
- [0064] 그레이 코드를 이용하여 타이밍 마진을 제공하는 경우에는 복수 비트의 신호에 대하여 값이 2이상 변경되지 않으면, 즉 값이 1만큼만 변경되면 복수 비트들 사이에서 동기화 문제가 발생하지 않는다. 타이밍 마진을 변경해야 하는 이유가 대개 DVFS가 적용되기 때문이고, DVFS에 의해서는 일반적으로 동작 전압이 점진적으로 증가 혹은 감소하며, 메모리 장치의 타이밍 마진도 점진적으로 증가 또는 감소할 것이 예상된다. 또한, 타이밍 마진이 2이상의 증가/감소가 요구되는 경우에는 여러 번의 증가/감소를 통하여 복수 비트들의 동기화 문제에 따른 동작 오류를 방지할 수 있다. 예를 들어, 타이밍 마진을 3에서 6으로 증가시켜야 하는 경우, 3->4, 4->5, 5->6의 세 번의 타이밍 마진의 변경을 통하여 동작 오류를 방지할 수 있다.
- [0065] 예를 들어, 타이밍 마진을 3에서 5로 증가시키는 경우, 도 8b에 예시된 바와 같이 시간 t0에서 3에서 4로 타이밍 마진을 변경하고 시간 t1에서 타이밍 마진을 4에서 5로 타이밍 마진을 다시 변경할 수 있다. 타이밍 마진이 최종적으로 변경되기 전의 시간 t0와 t1 사이에서 메모리 장치가 그레이 비트 신호들(G0, G1, G2)을 샘플링하는 경우가 발생하더라도, 변경 전의 값인 3과 최종 변경된 값인 5 사이의 값에 해당하는 4의 값을 샘플링하게 되므로 잘못된 타이밍 마진에 의한 동작 오류를 방지할 수 있다.
- [0066] 도 9 및 10은 본 발명의 일 실시예에 따른 그레이 코드 신호를 출력하는 전력 관리부를 나타내는 블록도이다.
- [0067] 도 9에는 편의상 도시를 생략하였으나, 전력 관리부(35)는 동작 전력 레벨의 결정과 동작 전압, 동작 주파수 및 /또는 동작 온도를 제어하기 위한 구성 요소들을 더 포함할 수 있다.
- [0068] 도 9를 참조하면, 전력 관리부(35)는 저장부(LUT), 인코더(ENC) 및 레지스터(REG)를 포함할 수 있다. 저장부(LUT)는 도 3의 전력 레벨들(PL1, PL2, PL3)에 각각 상응하는 타이밍 마진들을 이진 코드들의 형태로 저장할 수 있다. 인코더(ENC)는 저장부(LUT)로부터 동작 전력 레벨에 상응하는 타이밍 마진을 나타내는 이진 코드를 수신하고 상기 수신된 이진 코드를 그레이 코드로 변환할 수 있다. 인코더(ENC)에 대해서는 도 12를 참조하여 후술한다. 레지스터(REG)는 출력 버퍼로서의 기능을 수행할 수 있으며, 인코더(ENC)로부터 제공되는 그레이 코드에 기초하여 그레이 코드 신호(TMG)를 출력할 수 있다.
- [0069] 도 10을 참조하면, 전력 관리부(36)는 저장부(LUT) 및 레지스터(REG)를 포함할 수 있다. 저장부(LUT)는 도 3의 전력 레벨들(PL1, PL2, PL3)에 각각 상응하는 타이밍 마진들을 그레이 코드들의 형태로 저장할 수 있다. 레지스터(REG)는 출력 버퍼로서의 기능을 수행할 수 있으며, 저장부(LUT)로부터 제공되고 동작 전력 레벨에 상응하는 타이밍 마진을 나타내는 그레이 코드에 기초하여 그레이 코드 신호(TMG)를 출력할 수 있다.
- [0070] 이와 같이, 전력 관리부(35, 36)는 그레이 코드를 이용하여 타이밍 마진을 제공함으로써 타이밍 마진의 변경시 발생할 수 있는 에러를 방지하면서도 동작을 중지함이 없이 효율적으로 메모리 장치의 타이밍 마진을 보정할 수 있다.

- [0071] 도 11은 본 발명의 다른 실시예에 따른 그레이 코드 신호를 수신하는 메모리 장치를 포함하는 집적 회로를 나타내는 블록도이다.
- [0072] 도 11을 참조하면, 집적 회로(130)는 전력 관리부(PMU), 클록 제어부(CCU), 제1 동기화 회로(SYN1), 제2 동기화 회로(SYN2), 제1 디코더(DEC1), 제2 디코더(DEC2), 제1 메모리 장치(MEM1) 및 제2 메모리 장치(MEM2)를 포함한다.
- [0073] 전력 관리부(PMU)는 현재의 동작 상태에 상응하는 동작 전력 레벨을 결정하고 상기 결정된 동작 전력 레벨에 상응하는 클록 제어 신호(CCTR) 및 타이밍 마진을 나타내는 그레이 코드 신호(TMГ)를 발생한다. 클록 제어부(CCU)는 클록 제어 신호(CCTR)에 기초하여 메모리 장치들(MEM1, MEM2)에 제공되는 클록 신호들(CLK1, CLK2)을 제어한다.
- [0074] 도 7의 실시예와 비교하여, 도 11의 집적 회로(130)는 디코더들(DEC1, DEC2)의 각각의 전단에 배치된 동기화 회로들(SYN1, SYN2)을 더 포함한다. 동기화 회로들(SYN1, SYN2)은 각각의 동작 클록 신호(CLK1, CLK2)에 응답하여 전력 관리부(PMU)로부터 제공되는 그레이 코드 신호(TMГ1, TMГ2)를 동기화하여 동기화된 그레이 코드 신호를 디코더들(DEC1, DEC2)로 각각 제공한다. 동기화 회로들(SYN1, SYN2)은 디코더들(DEC1, DEC2)과 함께 메모리 장치들(MEM1, MEM2) 내에 각각 포함될 수 있다. 디코더들(DEC1, DEC2)은 동기화 회로들(SYN1, SYN2)로부터 제공되는 동기화된 그레이 코드 신호(TMГ1, TMГ2)를 이진 코드 신호들(TMB1, TMB2)로 각각 변환한다. 전력 관리부(PMU)에서 제공되는 그레이 코드 신호(TMГ)는 제1 디코더(DEC1)가 수신하는 제1 그레이 코드 신호(TMГ1)와 제2 디코더(DEC2)가 수신하는 제2 그레이 코드 신호(TMГ2)를 포함할 수 있다. 실시예에 따라서, 제1 그레이 코드 신호(TMГ1)와 제2 그레이 코드 신호(TMГ2)는 동일한 신호일 수도 있고, 서로 독립적으로 변경되는 상이한 신호들일 수도 있다.
- [0075] 도 8a 및 8b를 참조하여 설명한 바와 같이, 메모리 장치가 수신하는 이진 비트 신호들(B0, B1, B2) 사이에는 도 6에 도시된 바와 같은 스큐가 발생하지 않고, 따라서 타이밍 마진의 변경시 발생할 수 있는 동작 오류가 방지될 수 있다.
- [0076] 도 12는 이진 코드 신호를 그레이 코드 신호로 변환하는 인코더의 일 예를 나타내는 회로도이다.
- [0077] 도 12를 참조하면, 인코더(ENC)는 복수의 이진 비트 신호들(B0, B1, B2, B3)을 포함하는 이진 코드 신호(TMB)를 복수의 그레이 비트 신호들(G0, G1, G2, G3)을 포함하는 그레이 코드 신호(TMГ)로 변환하기 위한 하나 이상의 배타적 논리합(XOR) 게이트들(XG1, XG2, XG3)을 포함하여 구현될 수 있다.
- [0078] 최상위 비트인 제4 이진 비트 신호(B3)는 그대로 제4 그레이 비트 신호(G3)가 된다. 제3 XOR 게이트(XG3)는 제4 이진 비트 신호(B3)와 제3 이진 비트 신호(B2)를 연산하여 제3 그레이 비트 신호(G2)를 출력한다. 제2 XOR 게이트(XG2)는 제3 이진 비트 신호(B2)와 제2 이진 비트 신호(B1)를 연산하여 제2 그레이 비트 신호(G1)를 출력한다. 제1 XOR 게이트(XG1)는 제2 이진 비트 신호(B1)와 제1 이진 비트 신호(B0)를 연산하여 최하위 비트인 제1 그레이 비트 신호(G0)를 출력한다.
- [0079] 이와 같이, 전술한 전력 관리부(PMU)는 결정된 동작 전력 레벨에 상응하는 타이밍 마진을 나타내는 이진 코드 비트들을 배타적 논리합 연산하여 그레이 코드 신호(TMГ)를 제공할 수 있다.
- [0080] 도 13은 그레이 코드 신호를 이진 코드 신호로 변환하는 디코더의 일 예를 나타내는 회로도이다.
- [0081] 도 13을 참조하면, 디코더(DEC)는 복수의 그레이 비트 신호들(G0, G1, G2, G3)을 포함하는 그레이 코드 신호(TMГ)를 복수의 이진 비트 신호들(B0, B1, B2, B3)을 포함하는 이진 코드 신호(TMB)로 변환하기 위한 하나 이상의 배타적 논리합(XOR) 게이트들(XG1, XG2, XG3)을 포함하여 구현될 수 있다.
- [0082] 최상위 비트인 제4 그레이 비트 신호(G3)는 그대로 제4 이진 비트 신호(B3)가 된다. 제3 XOR 게이트(XG3)는 제4 그레이 비트 신호(G3)와 제3 그레이 비트 신호(G2)를 연산하여 제3 이진 비트 신호(B2)를 출력한다. 제2 XOR 게이트(XG2)는 제3 XOR 게이트(XG3)의 출력과 제2 그레이 비트 신호(G1)를 연산하여 제2 이진 비트 신호(B1)를 출력한다. 제1 XOR 게이트(XG1)는 제2 XOR 게이트(XG2)의 출력과 제1 그레이 비트 신호(G0)를 연산하여 최하위 비트인 제1 이진 비트 신호(B0)를 출력한다.
- [0083] 도 14는 본 발명의 실시예들에 따른 메모리 장치를 나타내는 블록도이다.
- [0084] 도 14를 참조하면, 메모리 장치(300)는 메모리 코아 및 제어부(350)를 포함할 수 있다. 메모리 코아는 메모리 셀 어레이(310)와 행 선택부(RSEL)(320), 열 선택부(CSEL)(330), 센스 앰프 및 라이트 드라이버 블록(SA-

WD)(340)과 같은 주변 회로를 포함할 수 있다. 도 14에 도시된 타이밍 마진 제어부(TMC)(360) 및 디코더(DEC)는 제어부(350)에 포함될 수도 있고, 메모리 장치(300)의 전단에 배치될 수도 있다.

- [0085] 메모리 셀 어레이(310)는 복수의 워드라인들과 복수의 비트라인들에 연결되어 매트릭스 형태로 배치되는 복수의 메모리 셀들(MC)을 포함한다. 메모리 셀들(MC) 각각은 도 15에 도시된 바와 같은 SRAM(Static Random Access Memory) 셀일 수 있다.
- [0086] 센스 앰프 및 라이트 드라이버 블록(SA-WD)(340)은 도 15에 도시된 바와 같은 복수의 센스 증폭기(342)들을 포함할 수 있다. 복수의 감지 증폭기들(342) 각각은 타이밍 마진 제어부(360)로부터 제공되는 센스 앰프 인에이블 신호(SAE)에 응답하여 비트라인 상의 데이터 비트를 래치하는 센싱 동작을 수행할 수 있다.
- [0087] 전술한 바와 같이, 디코더(370)는 전력 관리부(PMU)로부터 제공되는 그레이 코드 신호(TMG)를 이진 코드 신호(TMB)로 변환할 수 있다. 타이밍 마진 제어부(360)는 이진 코드 신호(TMB)가 나타내는 타이밍 마진에 기초하여 센스 앰프 인에이블 신호(SAE)의 활성화 타이밍을 결정할 수 있다. 일 실시예에서, 타이밍 마진 제어부(360)는 이진 코드 신호(TMB)에 응답하여 제어부(350)로부터 제공되는 내부 신호(ISAE)를 상기 타이밍 마진에 상응하는 지연 시간만큼 지연하여 센스 앰프 인에이블 신호(SAE)를 출력하는 지연부를 포함할 수 있다. 도 14에는 타이밍 마진 제어부(360)는 제어부(350)와 구별되는 것으로 도시되어 있으나, 타이밍 마진 제어부(360)는 제어부(350)에 포함될 수 있다.
- [0088] 제어부(350)는 외부로부터 수신되는 커맨드 신호(CMD) 및 어드레스 신호(ADD)에 기초하여 메모리 장치(300)의 전반적인 동작을 제어한다. 행 선택부(320)와 열 선택부(330)는 제어부(350)로부터 제공되는 제어 신호와 내부 어드레스 신호에 기초하여 메모리 셀들을 액세스하기 위한 동작을 수행한다.
- [0089] 도 15는 본 발명의 일 실시예에 따른 에스램 장치를 나타내는 회로도이다.
- [0090] 도 15를 참조하면, 에스램 장치는 메모리 셀(MC), 프리차지/등화 회로(341) 및 센스 증폭기(342)를 포함한다. 예를 들어, 메모리 셀(MC)은 4개의 트랜지스터로 구성된 1-포트 에스램 셀이 될 수 있다. 메모리 셀(MC)은 PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)로 이루어지는 제 1 인버터 및 PMOS 트랜지스터(P2)와 NMOS 트랜지스터(N2)로 구성되는 제 2 인버터를 포함한다. 제 1 인버터의 출력단은 제 2 인버터의 입력단에 연결되고, 제 2 인버터의 출력단은 제 1 인버터의 입력단에 연결된다. 그리고 메모리 셀(MC)은 패스 트랜지스터들(PT1, PT2)에 의해서 비트 라인쌍(BL, BLB)에 연결된다. 패스 트랜지스터들(PT1, PT2)의 게이트는 워드 라인(WL)에 연결된다. 워드 라인(WL)에 선택 전압이 인가되면, 패스 트랜지스터들(PT1, PT2)이 턴온되고, 제 1 인버터와 제 2 인버터로 구성되는 메모리 셀(MC)은 비트 라인쌍(BL, BLB)에 연결된다. 비트 라인쌍(BL, BLB)에는 동일한 열에 속하는 복수의 메모리 셀들이 연결될 수 있으나, 도 15에는 하나의 메모리 셀(MC)만을 도시하였다. 도 15에는 메모리 셀(MC)의 구동 전압과 프리차지/등화 회로(341)와 센스 증폭기(342)와 같은 주변 회로의 구동 전압이 동일한 전원 전압(VDD)인 것으로 도시되어 있으나, 메모리 셀(MC)과 주변 회로는 서로 다른 구동 전압을 가질 수 있다.
- [0091] 프리차지/등화 회로(341)는 프리차지 제어 신호(PCHG)에 응답하여 비트 라인쌍(BL, BLB)을 프리차지 및 등화(Equalize) 시킨다. 프리차지/등화 회로(341)는 전원 전압(VDD)을 비트 라인쌍(BL, BLB)에 전달한다. 이러한 기능은 PMOS 트랜지스터들(P3, P4)에 의해서 수행된다. 더불어, 프리차지/등화 회로(341)는 비트 라인쌍(BL, BLB)의 레벨을 동일한 전압으로 등화시킨다. PMOS 트랜지스터(P5)가 비트 라인쌍(BL, BLB)을 상호 연결하여 등화 작용을 수행한다.
- [0092] 센스 증폭기(342)는 비트 라인쌍(BL, BLB)의 전압 변화를 감지하여 메모리 셀(MC)에 저장된 데이터를 센싱한다. 센스 증폭기(342)는 PMOS 트랜지스터들(P11, P12)과 NMOS 트랜지스터들(N11, N12)을 포함한다. 그리고 PMOS 트랜지스터(P11)의 드레인 또는 NMOS 트랜지스터(N11)의 드레인에는 센스 증폭기(342)의 출력단을 구성하는 인버터(INV)가 연결될 수 있다. PMOS 트랜지스터들(P11, P12)의 공통 게이트는 PMOS 트랜지스터(P12)의 드레인 또는 NMOS 트랜지스터(N12)의 드레인에 연결된다. 그리고 NMOS 트랜지스터들(N11, N12)의 공통 소스는 센스 증폭기(342)를 활성화하기 위한 선택 트랜지스터(N13)에 의해서 선택적으로 접지된다. 센스 앰프 인에이블 신호(SAE)가 활성화되면, NMOS 트랜지스터들(N11, N12)의 공통 소스가 접지되고, 센스 증폭기(342)의 센싱 동작이 가능하게 된다.
- [0093] 도 16은 도 15의 에스램 장치의 동작을 나타내는 타이밍도이다.
- [0094] 도 15 및 16을 참조하면, T0 시점에서, 비트 라인에 대한 프리차지 동작이 시작된다. 프리차지 제어 신호(PCHG)가 로우 레벨(L)로 활성화되면, 프리차지/등화 회로(341)의 PMOS 트랜지스터들(P3, P4, P5)이 턴온되고, 비트

라인쌍(BL, BLB)은 전원 전압(VDD)으로 프리차지 및 등화된다.

- [0095] T1 시점에서, 프리차지 제어 신호(PCHG)는 하이 레벨(H)로 비활성화되고, 선택된 워드 라인(WL)은 하이 레벨(H)로 활성화된다. 그러면, 프리차지/등화 회로(341)의 PMOS 트랜지스터들(P3, P4, P5)이 턴오프되고, 동시에, 선택된 메모리 셀(MC)과 비트 라인쌍(BL, BLB)을 연결하는 패스 트랜지스터들(PT1, PT2)이 턴온된다. 패스 트랜지스터들(PT1, PT2)에 의해서 메모리 셀에 저장된 데이터는 비트 라인쌍(BL, BLB)으로 디벨롭 또는 전달된다.
- [0096] 예를 들어, 비트 라인 디벨롭(BL\_DEV)에 의해서 하나의 비트 라인(BL)의 전압(VBL)은 감소하고, 상보 비트 라인(BLB)의 전압(VBLB)은 크게 변화하지 않는다.
- [0097] T2 시점에서, 센스 앰프 인에이블 신호(SAE)가 하이 레벨(H)로 활성화된다. 그러면, 센스 증폭기(342)가 인에이블됨에 따라 센싱 동작이 시작된다. 센스 증폭기(342)의 센싱 동작은 비트 라인쌍(BL, BLB)의 전위차의 검출에 의거하여 수행된다. 비트 라인쌍(BL, BLB)이 전원 전압(VDD)으로 충전된 상태에서 비트 라인 디벨롭(BL\_DEV)이 시작되는 시점부터 센싱 동작이 시작되는 시점까지의 시간이 타이밍 마진에 해당할 수 있다. 상기 타이밍 마진은 도 14를 참조하여 전술한 바와 같이, 타이밍 마진 제어부(360)에 의한 센스 앰프 인에이블 신호(SAE)의 지연 시간으로 표현될 수 있다.
- [0098] 만약 동작 상태가 변화하여 전원 전압(VDD)이 감소하는 경우에는, 제1 타이밍 마진(TM1)에 의해서는 비트 라인쌍(BL, BLB)의 전위차가 충분하지 않기 때문에 제2 타이밍 마진(TM2)으로 값을 증가 시켜야 한다. 이러한 타이밍 마진의 변경은 본 발명의 실시예에 따라서 그레이 코드를 이용하여 메모리 장치로 제공될 수 있으며, 이로써 타이밍 마진의 변경시 발생할 수 있는 에러를 방지하면서도 동작을 중지함이 없이 효율적으로 메모리 장치의 타이밍 마진을 보정할 수 있다.
- [0099] T4 시점에서, 프리차지 제어 신호(PCHG)가 로우 레벨(L)로 활성화되고, 워드 라인(WL)의 레벨은 로우 레벨(L)로 비활성화된다. 그리고 센스 앰프 인에이블 신호(SAE)도 로우 레벨(L)로 비활성화된다. 패스 트랜지스터들(PT1, PT2)이 턴오프되고, 비트 라인쌍(BL, BLB)의 프리차지 동작이 재개된다.
- [0100] 도 17은 본 발명의 일 실시예에 따른 전력 레벨 상승 시퀀스를 나타내는 타이밍도이고, 도 18은 본 발명의 일 실시예에 따른 전력 레벨 하강 시퀀스를 나타내는 타이밍도이다.
- [0101] 도 17을 참조하면, 전력 관리부(PMU)는 동작 전력 레벨을 상승하는 경우, 동작 전압(VOP)을 (예를 들어, V2에서 V1로) 증가한 후에 타이밍 마진(TM)을 (예를 들어, 4에서 3으로) 감소하고, 타이밍 마진(TM)을 감소한 후에 클럭 신호(CLK)의 동작 주파수를 증가할 수 있다. 한편, 도 18을 참조하면, 전력 관리부(PMU)는 동작 전력 레벨을 하강하는 경우, 클럭 신호(CLK)의 동작 주파수를 감소한 후에 타이밍 마진(TM)을 (예를 들어, 3에서 4로) 증가하고, 타이밍 마진(TM)을 증가한 후에 동작 전압(VOP)을 (예를 들어, V1에서 V2로) 감소할 수 있다.
- [0102] 도 6을 참조하여 전술한 바와 같이, 동작 전압 및 동작 주파수에 대응하는 메모리 장치의 타이밍 마진으로서 순간적으로 잘못된 값이 사용되는 경우 오동작을 일으킬 수 있다. 예를 들어, 전원 전압을 증가하여 전력 레벨을 상승하는 경우, 타이밍 마진은 동작 전압을 높인 이후, 동작 주파수를 높이기 전에 변경하여야 한다. 만약, 타이밍 마진을 변경하기 전에 동작 주파수를 높이면, 동작 주파수를 높이는 순간에 메모리 장치는 여전히 저속에 상응하는 타이밍 마진으로 동작하고 있는 상태이기 때문에 한 클럭 주기 내에 데이터 처리가 불가능한 상태인 셋업 시간 위반(setup timing violation)이 발생할 수 있다. 동작 전압/동작 주파수를 낮출 때도 유사한 이유로 도 18에 도시된 바와 같이 동작 주파수를 감소하고, 타이밍 마진을 증가하고, 동작 전압을 감소한다.
- [0103] 도 19는 본 발명의 일 실시예에 따른 전력 관리 방법을 나타내는 흐름도이다.
- [0104] 도 19를 참조하면, 전력 관리부(PMU)는 동작 상태를 모니터링한다(S10). 전력 레벨의 변경이 요구되는 경우(S20: YES), 전력 관리부(PMU)는 전력 레벨 제어값을 추출한다(S30). 예를 들어 전력 레벨 값은 메모리 장치의 타이밍 마진, 동작 전압 및 동작 주파수를 포함할 수 있다. 전력 레벨을 상승하는 경우에는, 도 17을 참조하여 전술한 바와 같이 동작 전압의 증가(S41), 타이밍 마진의 감소(S42), 동작 주파수의 증가(S43)의 시퀀스가 수행된다. 전력 레벨을 하강하는 경우에는, 도 18을 참조하여 전술한 바와 같이 동작 주파수의 감소(S51), 타이밍 마진의 증가(S52), 동작 전압의 감소(S53)의 시퀀스가 수행된다.
- [0105] 본 발명의 실시예들에 따라서, 타이밍 마진은 그레이 코드를 이용하여 전력 관리부(PMU)로부터 메모리 장치로 제공될 수 있다. 이 경우 타이밍 마진을 증가하거나 감소(S42, S430)할 때 발생할 수 있는 에러를 방지하면서도 동작을 중지함이 없이 효율적으로 메모리 장치의 타이밍 마진을 보정할 수 있다.

- [0106] 도 20은 본 발명의 실시예들에 따른 시스템 온 칩을 나타내는 블록도이다.
- [0107] 도 20을 참조하면, 시스템 온 칩(SOC)은 상호접속 장치(INT)와 이에 연결된 복수의 지능 소자들(또는 기능 블록들)을 포함하는 애플리케이션 프로세서(AP: application processor) 시스템 온 칩(SOC)일 수 있다.
- [0108] 예를 들어, 상기 지능 소자들은 전력 관리부(power management unit)(PMU), 메모리 컨트롤러(memory controller)(MC), 중앙 처리부(central processing unit), 디스플레이 컨트롤러(display controller)(DIS), 파일 시스템 블록(file system block)(FSYS), 그래픽 처리부(graphic processing unit)(GPU), 이미지 신호 프로세서(image signal processor)(ISP), 멀티 포맷 코덱 블록(multi-format codec block)(MFC) 등을 포함할 수 있다.
- [0109] 도 20에는 도시를 생략하였으나, 하나 이상의 지능 소자들 또는 기능 블록들은 에스램과 같은 내장 메모리들을 각각 포함할 수 있다. 전술한 바와 같이 전력 관리부(PMU)는 본 발명의 실시예들에 따라서 내장 메모리들의 타이밍 마진을 그레이 코드를 이용하여 제공할 수 있다. 해당 기술 분야의 숙련된 당업자는 전력 관리부(PMU)의 적어도 일부는 컴퓨터로 판독 가능한 매체에 저장된 컴퓨터로 판독 가능한 프로그램 코드의 형태로 구현될 수 있음을 이해할 것이다. 상기 컴퓨터로 판독 가능한 프로그램 코드는 예를 들어 중앙 처리부(CPU)로 제공되어 수행될 수 있다.
- [0110] 도 21은 본 발명의 실시예들에 따른 모바일 기기를 나타내는 블록도이고, 도 22는 도 19의 모바일 기기가 스마트폰으로 구현되는 일 예를 나타내는 도면이다.
- [0111] 도 21 및 도 22를 참조하면, 모바일 기기(500)는 시스템 온 칩(510), 메모리 장치(520), 스토리지 장치(530), 복수의 기능 모듈들(540, 550, 560, 570) 및 시스템 온 칩(510), 메모리 장치(520), 스토리지 장치(530) 및 기능 모듈들(540, 550, 560, 570)에 각각 동작 전압을 제공하는 전력 관리 집적 회로(580)를 포함할 수 있다. 한편, 도 22에 도시된 바와 같이, 모바일 기기(500)는 스마트폰으로 구현될 수 있고, 시스템 온 칩(510)은 어플리케이션 프로세서일 수 있다. 이하, 시스템 온 칩(510)은 어플리케이션 프로세서인 것으로 가정하여 설명하기로 한다. 또한, 도 21에서는 전력 관리 집적 회로(580)가 시스템 온 칩(510)의 외부에 구현되어 있으나, 실시예에 따라, 전력 관리 집적 회로(580)는 시스템 온 칩(510)의 내부에 구현될 수도 있다.
- [0112] 어플리케이션 프로세서(510)는 모바일 기기(500)의 전반적인 동작을 제어할 수 있다. 즉, 어플리케이션 프로세서(510)는 메모리 장치(520), 스토리지 장치(530) 및 복수의 기능 모듈들(540, 550, 560, 570)을 제어할 수 있다. 한편, 어플리케이션 프로세서(510)는 내부에 구비된 중앙 처리 유닛의 동작 상태를 예측하고, 중앙 처리 유닛의 예측된 동작 상태에 기초하여 중앙 처리 유닛의 동작 주파수를 증가, 감소 또는 유지시키는 동적 전압 주파수 스케일링(DVFS)을 하드웨어적 또는 소프트웨어적으로 수행할 수 있다.
- [0113] 메모리 장치(520) 및 스토리지 장치(530)는 모바일 기기(500)의 동작에 필요한 데이터들을 저장할 수 있다. 실시예에 따라, 메모리 장치(520) 및 스토리지 장치(530)는 어플리케이션 프로세서(510) 내에 구비될 수도 있다. 예를 들어, 메모리 장치(520)는 DRAM(dynamic random access memory) 장치, SRAM(static random access memory) 장치, 모바일 DRAM 장치 등과 같은 휘발성 메모리 장치에 상응할 수 있고, 스토리지 장치(530)는 EPROM(erasable programmable read-only memory) 장치, EEPROM(electrically erasable programmable read-only memory) 장치, 플래시 메모리(flash memory) 장치, PRAM(phase change random access memory) 장치, RRAM(resistance random access memory) 장치, NFGM(nano floating gate memory) 장치, PoRAM(polymer random access memory) 장치, MRAM(magnetic random access memory) 장치, FRAM(ferroelectric random access memory) 장치 등과 같은 비휘발성 메모리 장치에 상응할 수 있다. 실시예에 따라, 스토리지 장치(530)는 솔리드 스테이트 드라이브(solid state drive; SSD), 하드 디스크 드라이브(hard disk drive; HDD), 씨디롬(CD-ROM) 등을 더 포함할 수도 있다. 다만, 이것은 예시적인 것으로서, 메모리 장치(520)의 종류와 스토리지 장치(530)의 종류는 이에 한정되지 않는다.
- [0114] 복수의 기능 모듈들(540, 550, 560, 570)은 모바일 기기(500)의 다양한 기능들을 각각 수행할 수 있다. 예를 들어, 모바일 기기(500)는 통신 기능을 수행하기 위한 통신 모듈(540)(예를 들어, CDMA(code division multiple access) 모듈, LTE(long term evolution) 모듈, RF(radio frequency) 모듈, UWB(ultra wideband) 모듈, WLAN(wireless local area network) 모듈, WIMAX(worldwide interoperability for microwave access) 모듈 등), 카메라 기능을 수행하기 위한 카메라 모듈(550), 표시 기능을 수행하기 위한 표시 모듈(560), 터치 입력 기능을 수행하기 위한 터치 패널 모듈(570) 등을 포함할 수 있다. 실시예에 따라, 모바일 기기(500)는 GPS(global positioning system) 모듈, 마이크 모듈, 스피커 모듈, 다양한 센서 모듈(예를 들어, 자이로스코프

(gyroscope) 센서, 지자기 센서, 가속도 센서, 중력 센서, 광(조도) 센서, 근접 센서, 디지털 나침반 등) 등을 더 포함할 수 있다. 다만, 모바일 기기(500)에 구비되는 기능 모듈들(540, 550, 560, 570)의 종류는 그에 한정되지 않음은 자명하다.

[0115] 도 21에 도시된 구성요소들의 적어도 일부는 다양한 형태들의 패키지로 구현될 수 있다. 예를 들어, 적어도 일부의 구성들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 패키지들을 이용하여 실장될 수 있다.

[0116] 이상, 도 21 및 도 22에서는 본 발명의 실시예들에 따른 시스템 온 칩(510)이 모바일 기기(500)의 어플리케이션 프로세서로 구현되는 것을 설명하였으나, 본 발명의 실시예들에 따른 시스템 온 칩(510)은 모바일 기기(500)의 어플리케이션 프로세서에 한정되지 아니하고, 적어도 하나의 시스템 온 칩을 포함하는 모든 장치 및 시스템으로 해석되어야 할 것이다.

### 산업상 이용가능성

[0117] 본 발명의 실시예들에 따른 메모리 장치 및 집적 회로는 전력 소모를 감소하고 시스템의 성능을 향상하기 위하여 유용하게 이용될 수 있다. 특히 고용량의 메모리 장치를 구비하고 전력 감소가 요구되는 메모리 카드, 솔리드 스테이트 드라이브(Solid State Drive; SSD), 컴퓨터(computer), 노트북(laptop), 핸드폰(cellular), 스마트폰(smart phone), MP3 플레이어, 피디에이(Personal Digital Assistants; PDA), 피엠펜(Portable Multimedia Player; PMP), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console) 등과 같은 전자 기기에 적용될 수 있다.

[0118] 상기에서는 본 발명이 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

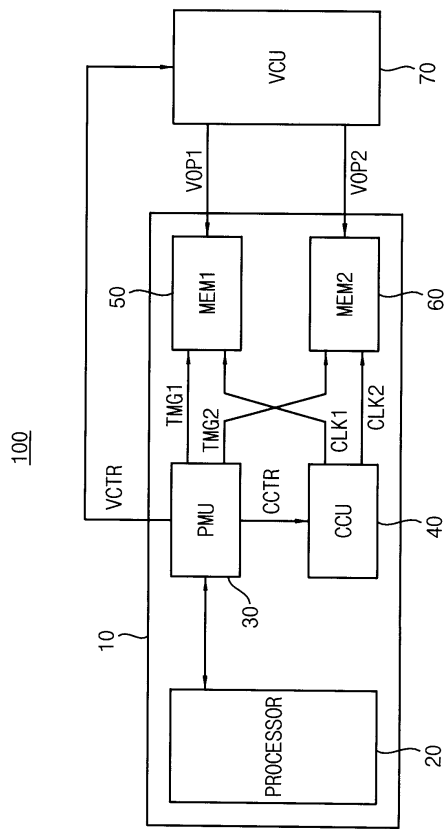
### 부호의 설명

[0119] PMU: 전력 관리부  
 TMG: 그레이 코드 신호  
 ENC: 이진-그레이 인코더  
 DEC: 그레이-이진 디코더

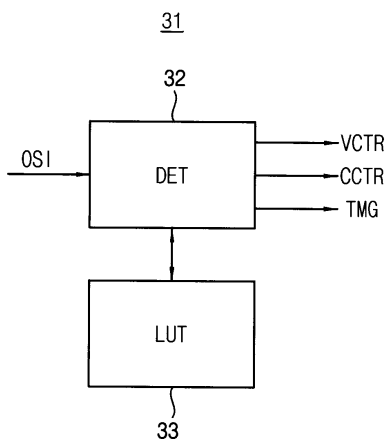


도면

도면1



도면2



도면3

33

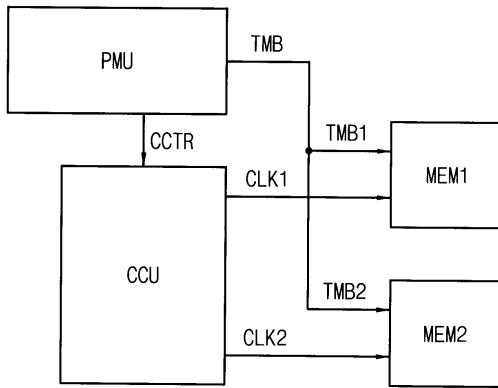
POWER LEVEL	VOLTAGE	FREQUENCY	TIMING MARGIN
PL1	1.2V	2GHz	1
PL2	1.0V	1GHz	2
PL3	0.8V	500MHz	3
⋮	⋮	⋮	⋮

도면4

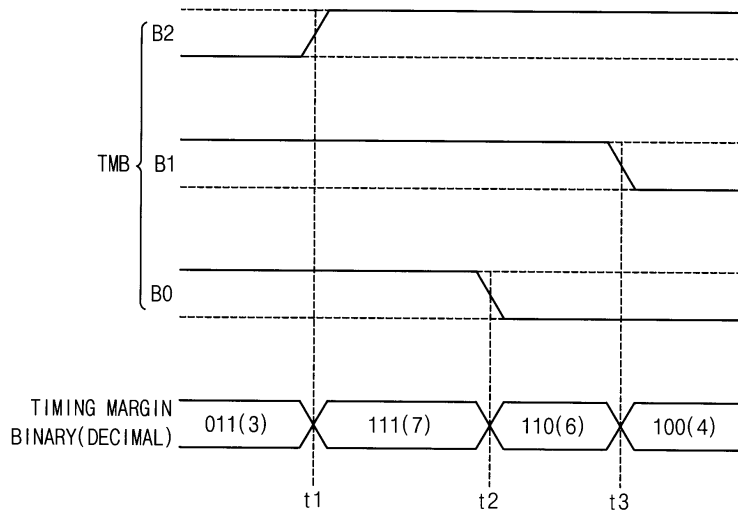
DECIMAL	BINARY	GRAY
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

도면5

110

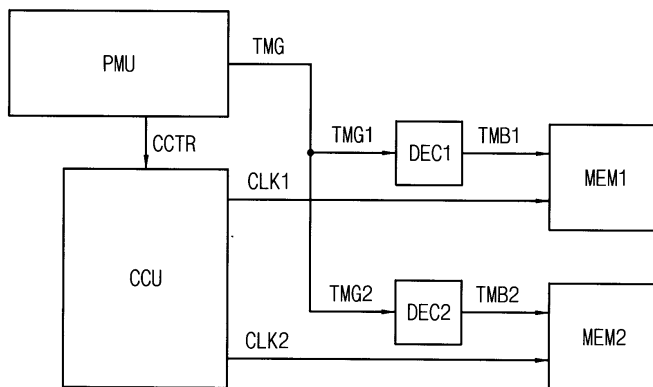


도면6

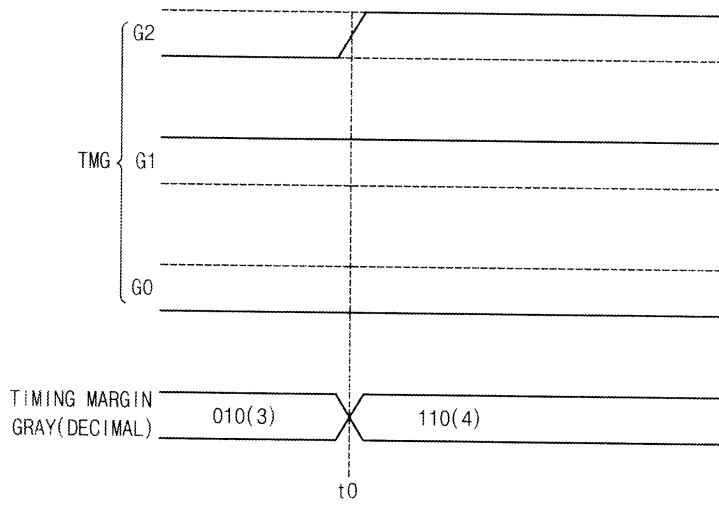


도면7

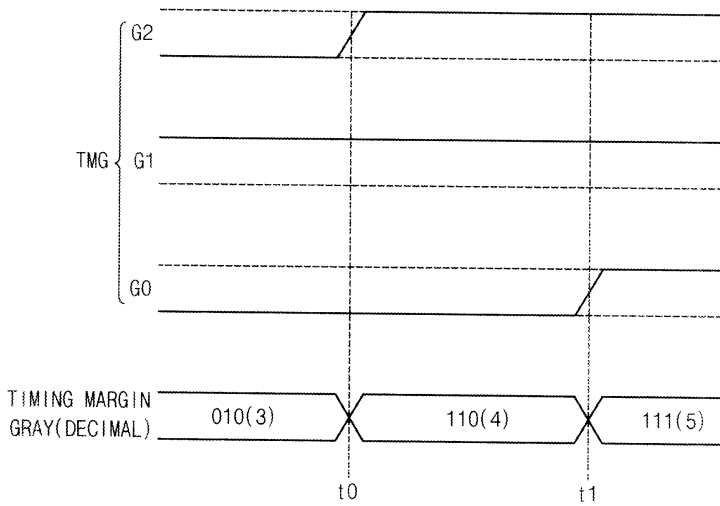
120



도면8a

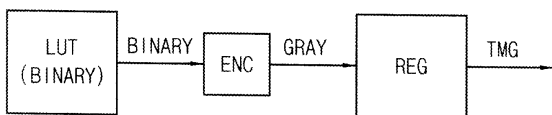


도면8b



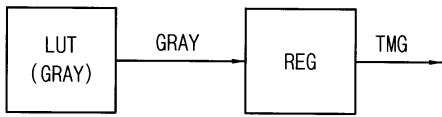
도면9

35



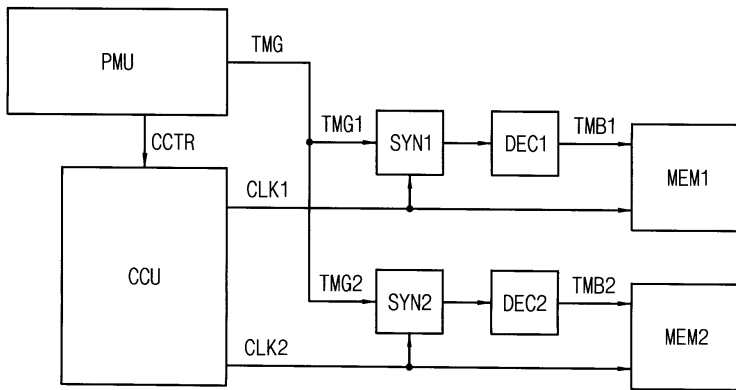
도면10

36



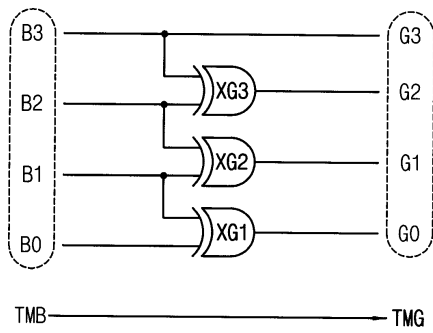
도면11

130

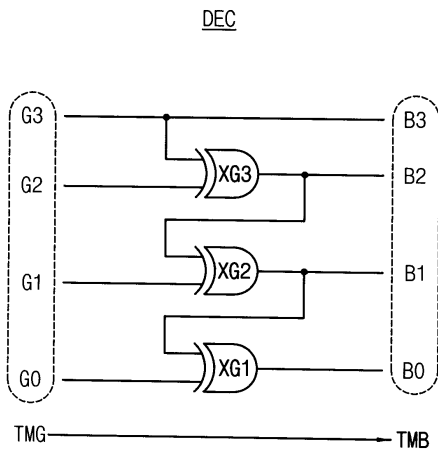


도면12

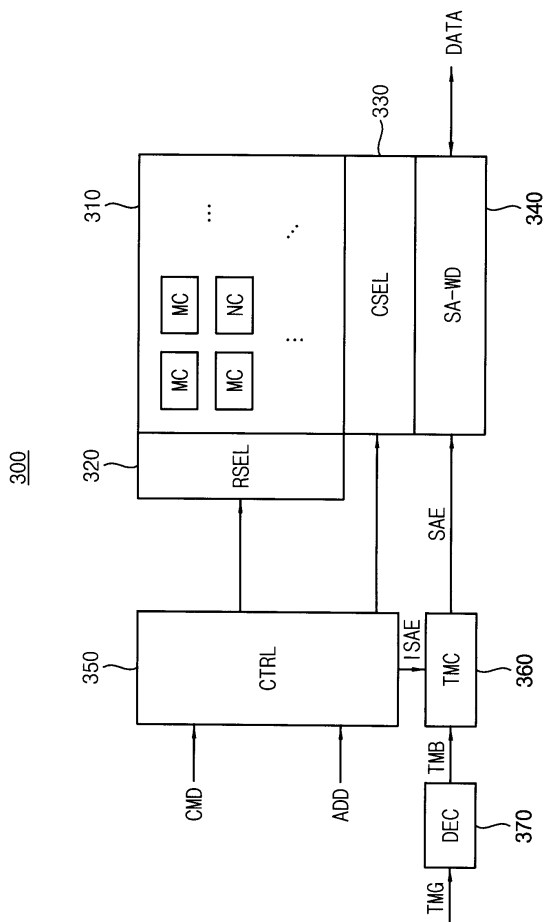
ENC



도면13

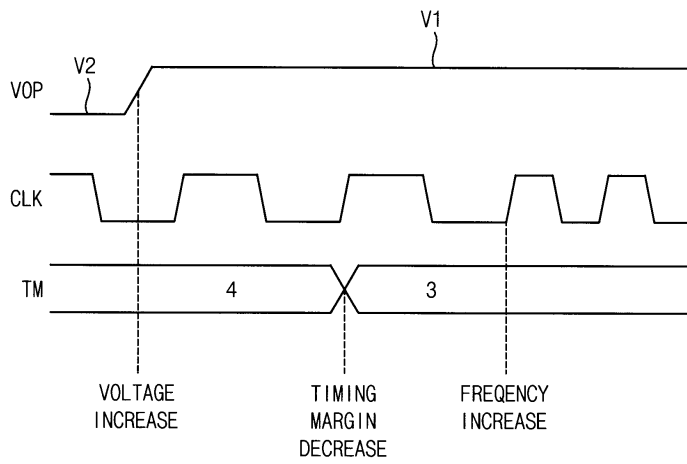


도면14

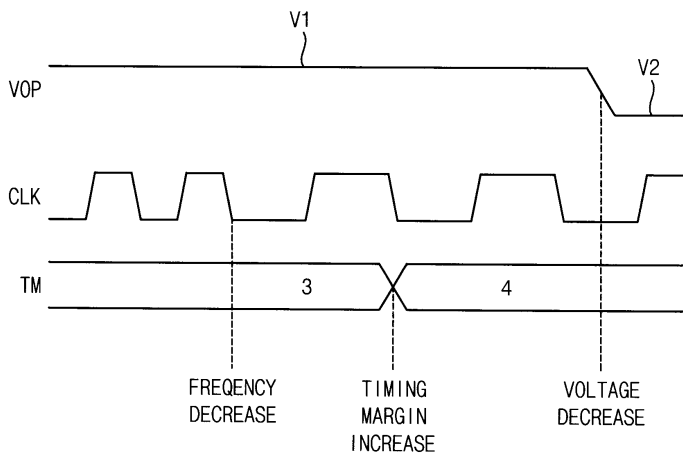




도면17

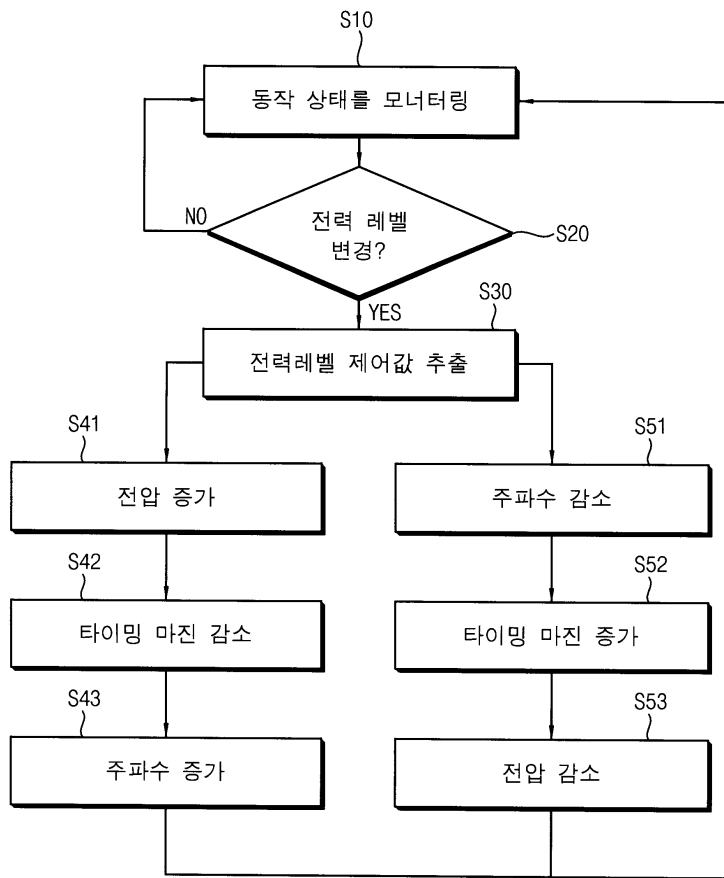


도면18

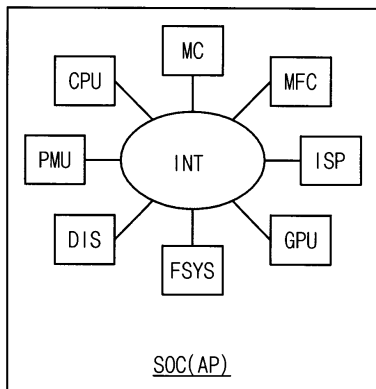




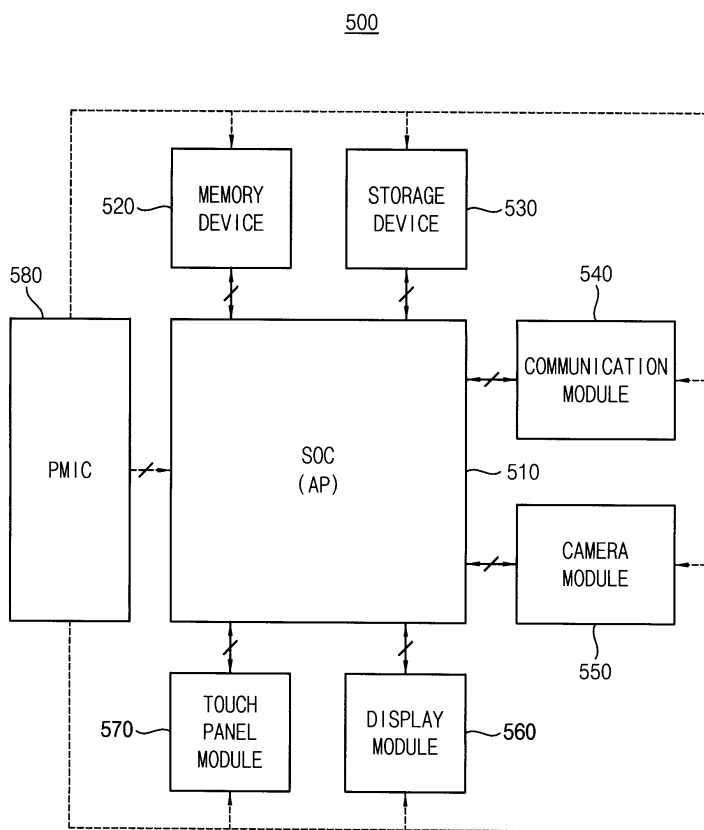
도면19



도면20



도면21



도면22

