

12)

DEMANDE DE BREVET D'INVENTION

A1

22) Date de dépôt : 12.12.00.

30) Priorité :

43) Date de mise à la disposition du public de la demande : 14.06.02 Bulletin 02/24.

56) Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60) Références à d'autres documents nationaux apparentés :

71) Demandeur(s) : GUILLEMOT PHILIPPE CHARLES GABRIEL — FR.

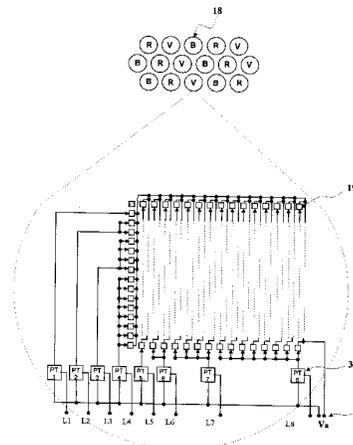
72) Inventeur(s) : GUILLEMOT PHILIPPE CHARLES GABRIEL.

73) Titulaire(s) :

74) Mandataire(s) : GUILLEMOT PHILIPPE.

54) DISPOSITIF D'ECRAN VIDEO NUMERIQUE.

57) Dispositif d'écran vidéo numérique comportant un ou plusieurs circuits imprimés sur lesquels sont montés un ou plusieurs circuits intégrés qui sont recouverts par une surface d'affichage d'un seul tenant revêtue d'une ou plusieurs substances luminescentes qui sont excitées par les circuits intégrés placés en dessous et formant un écran vidéo dont chaque sous pixel est composé d'un certain nombre d'unités élémentaires lumineuses activées ou non par des interrupteurs électroniques sur les commandes logiques desquels sont appliqués les mots binaires correspondant aux valeurs des couleurs souhaitées pour chaque sous pixel de telle façon que la fréquence de rafraîchissement de l'image soit indépendante des fréquences de chargement et de changement et de la résolution de l'image affichée et de la dimension de l'écran vidéo.



TITRE DE L'INVENTION**DISPOSITIF D'ÉCRAN VIDEO NUMÉRIQUE.****DOMAINE DE L'INVENTION**

5 La présente invention a trait à la réalisation d'écrans vidéo caractérisés par un dispositif d'affichage entièrement numérique et trouvant une application non limitative dans la réalisation d'écrans vidéo informatiques et télévisuels de faible épaisseur et de grande surface d'affichage en un seul tenant et pouvant être plane, cylindrique ou sphérique.

DESCRIPTION DE L'ART ANTÉRIEUR

10 Presque tous les éléments constituant aujourd'hui la « chaîne vidéo » sont numériques, depuis la capture de l'image par des caméras numériques à cellules CCD, le traitement de l'image, la transmission et la réception par des téléviseurs à circuits numériques.

15 Néanmoins, dans l'état actuel de la technique, on réalise des écrans vidéo dont le dernier « maillon de la chaîne », l'affichage vidéo proprement dit, n'est pas vraiment numérique. En effet les dispositifs d'affichages vidéo de type CRT, cristaux liquides, plasma, plasma commandés par cristaux liquides, diodes électroluminescentes, modules de micro miroirs, effet de champ etc. utilisent des circuits électroniques qui transforment les signaux numériques soit en signaux analogiques soit en signaux à

20 fréquence modulée permettant de faire varier globalement l'intensité émissive des sous pixels rouge vert et bleu, regroupés en triplets ou pixel, qui constituent l'écran vidéo. Selon les lois qui régissent la trichromie additive, la somme de l'intensité de chaque sous pixel émettant chacun dans les couleurs primaires lumière rouge (R), vert (V) et bleu (B) et constituant un triplet RVB appelé pixel, va donner une couleur résultante

25 pour ce pixel RVB qui est caractéristique de la somme de l'intensité lumineuse de ces trois sous pixel. On peut obtenir 256 niveaux d'intensité par sous pixel rouge, vert et bleu, ce qui permet d'avoir plus de 16 milliards de couleurs différentes par pixel RVB.

Les techniques actuelles permettant de réaliser des écrans vidéo géants font pour la plupart appel à des montages en mosaïque d'écrans de plus petite diagonale qui sont juxtaposés. Associés à une électronique vidéo très rapide, on décompose l'image en autant d'éléments qu'il y a d'écrans plus petits dans la mosaïque.

5 Ces écrans constituant la mosaïque peuvent être de type CRT, des panneaux de diodes, des rétroprojecteurs, vidéo ou à cristaux liquides, à micro miroirs etc. Ces écrans géants sont épais de plusieurs dizaines de pouces et gros consommateurs d'énergie. En fait, ce sont les limites des techniques propres à ces différents types d'écrans qui imposent ce montage en mosaïque dès que l'on veut des dimensions
10 d'affichage supérieures à ce qu'elles permettent d'obtenir en un seul tenant. En général, les limites de chacune de ces technologies font qu'il n'est pas possible de réaliser des écrans vidéo de plus de 20 pouces de diagonale en un seul tenant pour les écrans LCD, 42 pouces pour les écrans CRT et les écrans plasma.

Ces techniques actuelles ont aussi des limites en ce qui concerne la
15 fréquence de rafraîchissement de l'image. Il existe une relation étroite entre cette fréquence, c'est à dire le nombre de fois par secondes ou une image est reconstituée par le dispositif d'affichage, et la résolution de l'image, c'est à dire le nombre de points par ligne par le nombre de lignes de l'image, et la fréquence de chargement ou de changement d'image, c'est à dire le nombre d'images par secondes affichées pour un
20 film qui est de 25 Images/s en Europe et 30 Images/s en Amérique du Nord, et les dimensions de l'image. En effet, quelle que soit la fréquence de changement de l'image, 25 ou 30 Images/s, plus la résolution et/ou la dimension de l'image sont importantes, plus la fréquence de rafraîchissement de l'image est faible. Ceci est dû au mode de fonctionnement des différentes technologies actuelles qui peuvent en gros être
25 regroupés en deux catégories : les techniques à balayage pour les écrans de type CRT, diodes, micro miroirs et effet de champ, et les techniques matricielles pour les écrans de type diodes, écrans cristaux liquides, plasma. Les écrans de télévision du commerce qui atteignent maintenant une fréquence de rafraîchissement de 100 Hertz pour une diagonale de 42 pouces semblent actuellement être un maximum et une limite coûteuse.

30 Les écrans informatiques de bonne qualité et ayant une dimension d'affichage de 17 à 22 pouces de diagonale permettent d'atteindre 240 Hertz pour une résolution de 640 points pour 480 lignes, mais cette fréquence de rafraîchissement décroît rapidement à

120 Hertz pour une résolution de 1024x768 jusqu'à descendre à 75 Hertz pour une résolution de 1600x1200.

Ces techniques actuelles ne permettent de réaliser que des écrans dont la surface d'affichage est plane, ou légèrement cylindrique dans le cas des montages en mosaïques, et plus la diagonale de leur surface d'affichage est importante, plus l'épaisseur de ces écrans l'est aussi. Aucune de ces techniques ne permettent d'avoir des écrans géants dont la surface d'affichage puisse être plane, cylindrique et encore moins sphérique tout en étant à la fois de très faible épaisseur et en un seul tenant.

OBJET DE L'INVENTION

10 L'objet de la présente invention est donc de présenter un nouveau dispositif réalisé sous forme d'un circuit intégré permettant de faire des écrans vidéo ayant cinq caractéristiques principales : premièrement ils disposent d'un dispositif d'affichage entièrement numérique de très faible épaisseur semblable à celle obtenue avec les LCD, deuxièmement leur fréquence de rafraîchissement est très élevée et
15 indépendante de la résolution, de la fréquence de changement et de la dimension d'affichage des images, troisièmement chaque image affichée apparaît d'un seul coup sans balayage des pixels ni adressage matriciel de ceux-ci, quatrièmement ces écrans vidéo sont toujours de faible épaisseur et de surface d'affichage en un seul tenant même pour des dimensions supérieures à 42 pouces de diagonale appelés écrans
20 géants, cinquièmement ces écrans de faible épaisseur peuvent avoir une surface d'affichage de toutes formes possibles, plane, cylindrique et même sphérique.

BRÈVE DESCRIPTION DES FIGURES

La Figure 1 représente le schéma de principe d'une unité lumineuse élémentaire à commande numérique.

25 Les Figures 2 représente le diagramme de fonctionnement de cette unité lumineuse élémentaire à commande numérique.

La Figure 3 représente un ensemble d'unités lumineuses élémentaires à commande numérique et connectées entre elles selon une incorporation préférentielle de la présente invention.

5 La Figure 4 représente la table d'adressage de cet ensemble d'unités lumineuses élémentaires à commande numérique et connectées entre elles selon une incorporation préférentielle de la présente invention.

Les figures 5 et 6 représentent le schéma électronique équivalent et les diagrammes de fonctionnement d'une unité lumineuse élémentaire à commande numérique selon une incorporation préférentielle de la présente invention.

10 La Figures 7 représente le schéma d'une unité lumineuse élémentaire avec son dispositif de commande numérique.

La Figure 8 représente le schéma équivalent du circuit électronique d'une unité lumineuse élémentaire avec son dispositif de commande numérique

15 La Figure 9 représente la coupe schématique d'un mode préférentiel de réalisation physique d'une unité lumineuse élémentaire avec son dispositif de commande numérique.

La Figure 10 représente la coupe schématique d'un mode préférentiel de réalisation physique d'un ensemble d'unités lumineuses élémentaires à commande numérique constituant un sous pixel.

20 La Figure 11 représente la correspondance établie entre un sous pixel et un ensemble d'unités lumineuses élémentaires à commande numérique selon une incorporation préférentielle de la présente invention.

La Figure 12 représente le schéma électronique équivalent d'un ensemble d'unités lumineuses élémentaires à commande numérique avec leur 25 alimentation et constituant un sous pixel selon un mode préférentiel de réalisation.

La Figure 13 représente le schéma équivalent du circuit électronique d'un sous pixel détaillé par la Figure 12.

La Figure 14 représente le schéma électronique de montage d'un sous pixel représenté par la Figure 13 associé à un dispositif à double mémoire selon un mode différentiel de réalisation.

5 La Figure 15 représente le schéma équivalent du circuit électronique détaillé par la Figure 14.

La Figure 16 représente le schéma électronique de montage d'un ensemble de trois sous pixels représentés par la Figure 16 associés un dispositif de validation selon un premier mode différentiel de réalisation.

10 La Figure 17 représente le schéma équivalent du circuit électronique détaillé par la Figure 16.

La Figure 18 représente le schéma électronique de montage d'un ensemble de n par m (n,m) sous pixels représenté par la Figure 17 et constituant un bloc de (n,m) sous pixels selon un premier mode différentiel de réalisation.

15 La Figure 19 représente le schéma équivalent du circuit électronique d'un bloc de (n,m) sous pixels détaillé par la Figure 18.

La Figure 20 représente le diagramme de fonctionnement du circuit électronique constituant un bloc de (n,m) sous pixels représenté par la Figure 19.

20 La Figure 21 représente le schéma électronique de montage d'un ensemble de (n,m) blocs de sous pixels représenté par la Figure 19 et constituant un écran de (n,m) blocs de sous pixels selon un premier mode différentiel de réalisation.

La Figure 22 représente le schéma électronique de montage d'un écran vidéo constitué de (n,m) blocs de sous pixels représenté par la Figure 21 selon un premier mode différentiel de réalisation.

25 La Figure 23 représente le schéma électronique de montage d'un bloc de (n,m) sous pixels représentés par la Figure 17 et constituant un bloc de (n,m) sous pixels selon un deuxième mode différentiel de réalisation.

La Figure 24 représente le schéma équivalent du circuit électronique d'un bloc de (n,m) sous pixel représenté par la Figure 23 selon ce deuxième mode différentiel de réalisation.

La Figure 25 représente le schéma électronique de montage d'un écran vidéo constitué de (n,m) blocs de sous pixels représentés par la Figure 24 selon ce deuxième mode préférentiel de réalisation.

5 La Figure 26 représente le schéma électronique de montage d'un ensemble de trois sous pixels représentés par la Figure 15 avec un dispositif de validation permettant de former un triplet appelé pixel selon un troisième mode préférentiel de réalisation.

10 La Figure 27 représente le schéma équivalent du circuit électronique d'un triplet appelé pixel détaillé par la Figure 26 selon ce troisième mode préférentiel de réalisation.

La Figure 28 représente le schéma électronique de montage d'un bloc de (n,m) pixels représenté par la Figure 27 selon ce troisième mode préférentiel de réalisation.

15 La Figure 29 représente le schéma équivalent du circuit électronique d'un bloc de (n,m) pixels détaillé par la Figure 28 selon ce troisième mode préférentiel de réalisation.

La Figure 30 représente le schéma de montage d'un écran vidéo constitué de (n,m) blocs de pixels représenté par la Figure 29 selon ce troisième mode préférentiel de réalisation.

20 La Figure 31 représente un écran vidéo avec ses principaux éléments constitutifs.

DESCRIPTION DÉTAILLÉE DE L'INVENTION

Un mode préférentiel de réalisation de la présente invention sera maintenant décrit à titre purement indicatif.

25 Le dispositif illustré à la Figure 1 comporte un moyen 1 appelé cellule lumineuse élémentaire UL qui est connecté directement à l'une des bornes d'un moyen 2 appelée source d'alimentation V_a et qui est connecté à l'autre borne de ce moyen 2 par l'intermédiaire d'un moyen 3 appelé interrupteur SW.

La Figure 2 est un diagramme montrant le fonctionnement du dispositif décrit par la Figure 1. La source 2 d'alimentation V_a étant constamment présente, que celle-ci soit une tension continue ou périodique, celle-ci est appliquée ou non aux bornes de la cellule élémentaire UL selon que l'interrupteur SW est fermé ou ouvert.

5 Cela veut dire qu'à chaque fois que l'interrupteur SW est fermé pendant un certain temps, le moyen 1 appelé unité lumineuse élémentaire UL émet un ou plusieurs flux de photons, c'est à dire un nombre de photons débité par unité de temps en système d'unité photonique, flux caractéristique de sa nature et du type d'alimentation V_a qui lui est appliquée. En choisissant une alimentation V_a adaptée à la nature de l'unité

10 lumineuse élémentaire UL on peut obtenir de celle-ci que pour une même unité de temps, que l'on appellera par convention temps élémentaire T_e pendant laquelle elle est alimentée, elle émette toujours le même flux de photons que l'on appellera par convention flux lumineux élémentaire Φ_e et comme l'unité lumineuse élémentaire 1 émet ce flux selon une angle solide élémentaire correspondant on assimilera par convention

15 le flux élémentaire Φ_e à une intensité lumineuse élémentaire.

La Figure 3 est un schéma qui représente le montage d'un ensemble de moyens 1 appelés unités lumineuses élémentaires UL disposées en mosaïque de 16 par 16 et qui sont connectées à la source 2 d'alimentation V_a par l'intermédiaire de moyens 3 qui sont des interrupteurs SW numérotés de 1 à 8 selon un montage

20 préférentiel non limitatif de la présente invention. Les moyens 1 appelées UL qui sont noircies représentent les UL qui ne sont pas activées par la source 2 d'alimentation V_a parce que les interrupteurs 3 auxquels elles sont reliées sont ouverts tandis que les UL qui sont claires représentent celles qui sont activées par la source d'alimentation V_a parce que les interrupteurs 3 auxquels elles sont reliées sont fermés. Les interrupteurs 3

25 numérotés de 1 à 8 permettent donc d'appliquer ou non la source d'alimentation V_a à des groupes d'UL selon ce mode de montage préférentiel non limitatif. Dans ce mode, les interrupteurs 3 permettent de regrouper un nombre d'UL égal à la puissance de $(n - 1)$, n étant le numéro de l'interrupteur auquel ces UL sont connectées à la source d'alimentation V_a .

30 La Figure 4 est une table d'adressage qui montre que l'on peut ainsi activer de 1 à 255 moyens 1 appelés unités lumineuses UL avec seulement 8 bits d'adresse s'appliquant aux interrupteurs 3 numérotés de 1 à 8 qui permettent

d'appliquer ou non la source d'alimentation V_a à des groupes d'UL selon ce mode préférentiel de montage non limitatif. En particulier, lorsque tous les interrupteurs 3 sont ouverts, toutes les adresses de commande de SW sont à zéro (0) et toutes les UL sont désactivées et n'émettent aucun flux de photons tandis que lorsque tous les

5 interrupteurs 3 sont fermés, toutes les adresses de commande de SW sont à un (1) et toutes les UL sont activées et émettent toutes en même temps un flux élémentaire de photons Φ_e soit un flux total $\Phi_{sp} = 255 \times \Phi_e$. Chaque moyen 1 appelé UL émettant un même flux de photons élémentaire Φ_e lorsqu'il est activé, on obtient ainsi, selon ce mode préférentiel de montage non limitatif, un flux résultant Φ_{sp} pouvant avoir de 1 à

10 255 fois le flux élémentaire Φ_e , qui, ajouté un flux résultant $\Phi_{sp} = 0$ lorsque tout est désactivé, donne 256 valeurs de flux résultant Φ_{sp} .

La nature des UL et le type d'alimentation V_a qui leur convient pour obtenir ce résultat pourrait être de plusieurs sortes. Par exemple non limitatif les UL pourraient être de simples lampes à filaments ou flash, des LED diodes

15 électroluminescentes, des TFEL *Thin Film Electroluminescent* ou des cellules à plasma et leur alimentation V_a pourrait être une tension en fréquence ou alternative de sorte que les interrupteurs SW étant des transistors mettent ou non ces lampes, ces diodes ou ces cellules TFEL ou plasma en relation avec leur alimentation V_a de telle sorte qu'elles émettent ou non ces flux élémentaires Φ_e . Les UL pourraient être aussi des

20 cellules à cristaux liquides, des LEP *Light Emitting Polymer* ou des micro miroirs qui sont activés ou non selon que les interrupteurs SW les mettent ou non en relation avec leur alimentation V_a qui serait alors une tension continue.

Toutes ces solutions sont réalisables mais présentent diverses contraintes et limitations qui ne donnent pas de résultats aussi satisfaisant que le

25 dispositif que nous allons maintenant décrire et qui est le mode de réalisation préférentiel non limitatif de la présente invention et qui permet d'atteindre les objectifs fixés.

La Figure 5 est un schéma de montage électronique qui symbolise ce mode de réalisation préférentiel et à coté duquel on trouve son diagramme de

30 fonctionnement spécifique. Un moyen 1 appelé unité lumineuse élémentaire UL est une cellule contenant un gaz dont la composition lui confère des propriétés luminescentes

particulières lorsqu'il est convenablement excité et ionisé par une alimentation adaptée. Un moyen 4 appelé capacité C est connecté à l'une des bornes du moyen 1 et relié à l'une des bornes de la source 2 d'alimentation Va par l'intermédiaire de l'interrupteur 3. L'autre borne de la source 2 d'alimentation Va est connecté directement à l'autre borne de l'unité lumineuse élémentaire 1. La source 2 d'alimentation Va génère par exemple non limitatif une tension alternative, représentée sur le diagramme par la courbe sinusoïdale TENSION_Va. La courbe TENSION_PT_A qui est en pointillé montre de façon simplifiée la variation de la tension mesurée au point A du schéma de montage. Le fonctionnement du montage électronique présente deux cas de figure selon que l'interrupteur 3 est ouvert ou fermé ce qui est représenté par la courbe ETAT_DE_SW. Dans le premier cas si l'interrupteur 3 est ouvert, aucune tension d'alimentation Va n'est appliquée au dispositif et il ne se passe rien puisque l'unité élémentaire 1 n'est pas reliée à la source 2 d'alimentation Va et est donc désactivée, ou constamment éteinte. Dans le deuxième cas l'interrupteur 3 est fermé et la tension d'alimentation Va s'applique donc à l'ensemble du circuit. La courbe TENSION_PT_A montre que la tension mesurée au point A reste à une valeur constante jusqu'à ce que la valeur absolue de la tension d'alimentation $|V_a|$ atteigne la valeur $|V_i|$ appelée tension d'ionisation. Cette tension d'ionisation $|V_i|$ est précise et spécifique au gaz qui en s'ionisant devient alors luminescent. Lorsque la valeur absolue de la tension d'alimentation $|V_a|$ est inférieure à cette tension d'ionisation $|V_i|$ la résistance interne du gaz contenu dans la cellule élémentaire UL est si élevée qu'elle peut être considérée comme infinie et aucun courant ne passe à travers ce gaz qui n'est alors pas ionisé et n'émet aucune luminescence. À partir du moment où la tension d'alimentation $|V_a|$ atteint la tension d'ionisation $|V_i|$ le gaz contenu dans la cellule de l'unité élémentaire UL s'ionise et devient luminescent tandis que sa résistance interne diminue brutalement. Le courant qui passe alors dans ce gaz ionisé devenu luminescent est suffisant pour charger la capacité 4 qui voit alors sa tension au point A rattraper la tension d'alimentation Va jusqu'à atteindre la valeur $\pm |V_i + \Delta v|$ (\pm dépend du sens du courant). En rattrapant la tension d'alimentation Va, la valeur absolue de la différence de potentiel qui s'applique aux bornes de la cellule élémentaire 1 redescend alors en dessous de la valeur absolue de la tension d'ionisation $|V_i|$ et l'ionisation du gaz accompagnée de luminescence s'arrête. Le courant ne passe plus et la tension mesurée au point A se

maintient alors à la valeur $\pm |V_i + \Delta v|$ atteinte. La courbe ETAT_DE_UL du diagramme montre que pour une période de la tension d'alimentation V_a , dont l'amplitude crête à crête est légèrement supérieure à 2 fois la valeur absolue de la tension d'ionisation $|V_i|$, on obtient 4 ionisations lumineuses du gaz de la cellule élémentaire 1 lorsque l'interrupteur 3 est fermé. Si la tension d'alimentation V_a avait une amplitude crête à crête un peu supérieure à 1 fois la valeur absolue de la tension d'ionisation $|V_i|$ on obtiendrait alors 2 ionisations lumineuses par période tandis que si la tension d'alimentation V_a avait une amplitude crête à crête un peu supérieure à 4 fois la valeur absolue de la tension d'ionisation $|V_i|$ on obtiendrait alors 8 ionisations lumineuses par période, etc. Dans ce mode de fonctionnement préférentiel, le temps d'ionisation T_i du gaz et donc de luminescence de la cellule élémentaire 1 est essentiellement fonction de la résistance de la source d'alimentation, de la nature du gaz et de sa pression ainsi que de la valeur de la capacité C. Mais quelle que soit la valeur de ces paramètres, le temps d'ionisation T_i du gaz est globalement toujours le même dans ce type de fonctionnement ce qui fait que la cellule élémentaire UL émet par luminescence des flux élémentaires de photons Φ_e de valeurs globalement identiques à chaque ionisation du gaz pendant ce temps élémentaire $T_e = T_i$.

La Figure 6 représente la même chose que la Figure 5 hormis que l'interrupteur SW a été remplacé par une porte de transfert électronique PT à commande numérique, constitué par exemple non limitatif par des transistors, qui met ou non le circuit en communication avec la source 2 d'alimentation V_a selon que son entrée logique L est à un (1) ou à zéro (0) ce qui est représenté par la courbe ETAT_DE_L du diagramme. Ce diagramme montre donc le fonctionnement du dispositif sur plusieurs périodes et on retrouve la tension d'alimentation V_a , la tension mesurée au point A et la courbe ETAT_DE_UL des impulsions d'ionisations lumineuses. Ce diagramme permet de dégager plusieurs conclusions. D'abord, si on augmente la fréquence de la tension d'alimentation on ne modifie pas le fonctionnement de l'ensemble du dispositif, on ne fait que diminuer l'intervalle entre chaque impulsion d'ionisation, ce qui veut dire que l'on augmente la fréquence de celles-ci donc des impulsions lumineuses de flux élémentaire Φ_e . De même si on augmente la valeur crête à crête de la tension d'alimentation de manière à avoir une valeur qui soit légèrement supérieure à un multiple de la tension d'ionisation V_i on multiplie d'autant le

nombre d'ionisation par période ce qui revient encore à diminuer l'intervalle entre celles-ci donc à augmenter la fréquence des impulsions lumineuses Φ_e . On peut bien sur combiner les deux en augmentant à la fois la fréquence et l'amplitude crête à crête de la tension d'alimentation ce qui augmentera d'autant plus la fréquence des impulsions lumineuses Φ_e . Dans tous ces cas, puisque la pente de la tension d'alimentation augmente, on diminue aussi la durée d'ionisation T_i donc des impulsions lumineuses de flux élémentaire Φ_e mais elles ont globalement toujours la même valeur. Avec ce mode de fonctionnement préférentiel non limitatif on peut obtenir des fréquences d'impulsions lumineuses Φ_e globalement identiques de plusieurs kHz et même MHz, chacune de ces impulsions lumineuses Φ_e étant dues à une ionisation de durée T_i pendant lequel elles émettent toutes pendant ce temps élémentaire $T_e = T_i$ un flux élémentaire Φ_e . La porte de transfert sert donc par simple commande numérique binaire à permettre ou non ces impulsions lumineuses émettant ces flux élémentaire de photons Φ_e . Comme la fréquence de ces impulsions lumineuses Φ_e peut être très élevée cette commande numérique de la porte de transfert peut l'être aussi, en tout les cas elle peut très facilement être de 25 à 30 Hz sinon plus.

La Figure 7 représente le schéma d'un ensemble composé de l'unité lumineuse élémentaire 1 connectée à l'une des bornes de la source 2 d'alimentation V_a et connectée à la capacité 4 elle-même connectée à la porte de transfert 3 laquelle est connectée à l'autre borne de la source 2 d'alimentation V_a . La porte de transfert 3 dispose d'une entrée de commande numérique L acceptant deux états logiques zéro (0) et un (1).

La Figure 8 représente le schéma équivalent du circuit électronique détaillé par la Figure 7. Le circuit 5 est composé de l'ensemble de l'unité lumineuse 1, de la capacité 4 et de la porte de transfert 3. Il peut se connecter à la source 2 d'alimentation V_a et son entrée L recevoir une commande logique binaire.

La Figure 9 représente la coupe schématique d'un mode préférentiel de réalisation physique d'une unité lumineuse élémentaire avec son dispositif de commande numérique. Un support transparent 6 reçoit sur sa face intérieure une couche d'une substance lumineuse 7 et une électrode transparente 8. Situé à une distance convenable on trouve un support isolant 9 ou l'on dispose sur une de ses faces

des électrodes 10 et 11 qui sont séparés par un diélectrique 12. L'ensemble des moyens 10 à 12 constituent un condensateur 4 qui est entouré d'un isolant 13. L'électrode 8 réalisée avec une substance conductrice uniforme transparente au flux de photons 15 ou sous forme d'une fine grille conductrice est connectée directement à l'une des bornes de la source 2 d'alimentation Va. L'électrode 11 est connectée à la porte de transfert 3, laquelle est connectée à l'autre borne de la source 2 d'alimentation Va. Cette porte de transfert 3 est bloquée ou conduit selon que l'on applique sur son entrée L un signal logique zéro (0) ou un (1). (On aurait pu utiliser une logique inverse). Entre les deux ensembles de moyens 6 à 8 et 10 à 12 se trouve un gaz 14 de composition et de pression donnés semblable à celui utilisé, par exemple non limitatif, dans les écrans à plasma qui, lorsqu'il est convenablement excité et ionisé, émet par luminescence un flux de photons 15 d'une longueur d'onde caractéristique de sa composition et de sa pression. Lorsque la porte de transfert 3 est bloquée, par application par exemple d'un 0 sur son entrée L, il ne se passe rien puisque aucune tension issue de la source 2 d'alimentation Va n'est appliquée au dispositif. Lorsque la porte de transfert 3 conduit par application par exemple d'un 1 sur son entrée L, on obtient une série d'impulsions d'ionisations du gaz 14 qui génèrent alors une même série d'impulsions lumineuses 15, un flux élémentaire de photons Φ_e d'une longueur d'onde particulière. Ce flux élémentaire de photons Φ_e d'une longueur d'onde particulière 15 traverse l'électrode 8 et est transformé par la substance luminescente 7 qui émet à son tour par luminescence un flux élémentaire de photons Φ_e , représenté par les flèches 16, d'une longueur d'onde caractéristique de sa composition et qui passent à travers le support transparent 6 qui peut être du verre ou un poly carbonate. Les compositions de ces substances luminescentes 7 peuvent être par exemple non limitatif semblables à celles utilisées pour les écrans à plasma et qui émettent selon leur composition des flux de photons correspondant aux couleurs primaires lumière Rouge, Vert ou Bleu, elle peut être aussi un mixage de celles ci pour obtenir du blanc ou tout autre couleur spécifique. Parmi les spécificités de ce dispositif on notera par exemple que, contrairement aux dispositifs à plasma existants, la tension d'activation est beaucoup plus faible, de l'ordre de quelques volts ou dizaines de volts, puisqu'il s'agit de la tension d'ionisation $|V_i|$, de plus il n'y a pas besoin d'électrodes supplémentaires pour la tension de maintien des décharges ni de dispositif de contrôle des débits de courants de décharges puisque l'on fonctionne

par impulsions d'ionisation haute fréquence lumineuses élémentaires Φ_e dont les débits en courant sont auto limités par la capacité 4 qui fait quelques nano ou dizaines de nano Farad selon la conductibilité du gaz ionisé et la valeur du temps de ionisation T_i que l'on désire obtenir comme temps élémentaire T_e pour les flux élémentaires Φ_e . Le

5 dispositif consomme ainsi très peu de courant, de l'ordre de quelque micro ampères, car il s'agit de ionisations d'un plasma qui fonctionne toujours dans le mode de décharge luminescence subnormale et normale sans jamais entrer en mode de luminescence du régime d'arc lequel est gros consommateur de courant et entraîne une déperdition d'énergie en chauffant le plasma.

10 La Figure 10 représente la coupe schématique d'un mode préférentiel de réalisation physique d'un ensemble d'unités lumineuses élémentaires UL à commande numérique identiques et semblables à celle représentée par la Figure 9 et constituant un sous pixel. On y retrouve les unités élémentaires UL disposés en mosaïque de 16 par 16 et connectées selon le montage préférentiel de la Figure 3 à des

15 portes de transfert 3 numérotés PT1 à PT8. Un moyen 17 délimite l'ensemble. Le support 6 recouvre l'ensemble et est revêtu d'une même substance 7 et d'une électrode 8 qui est commune à l'ensemble des unités lumineuses et est connectée directement à la source 2 d'alimentation V_a . Cette figure montre que lorsque l'on applique par exemple une commande un logique (1) à l'entrée L d'une ou plusieurs portes de transfert 3, les

20 impulsions d'ionisation lumineuses 15 du gaz 14 sont possibles alors qu'elles ne le sont pas lorsqu'on applique la commande zéro logique (0) à l'entrée L d'une ou plusieurs portes de transfert 3. Un mot binaire de $n = 8$ bits permet d'obtenir ainsi 2 puissance n soit 256 valeurs du flux total de photons émis en impulsions identiques $\Phi_{sp} = 2^n \times \Phi_e$ par la substance lumineuse 7 à une fréquence qui est fonction de la source

25 2 d'alimentation V_a selon ce qui a été précédemment expliqué pour la Figure 6. Chaque unité lumineuse élémentaire UL qui compose le dispositif peut et devant fonctionner indépendamment, les capacités 4 de chaque UL sont séparées par un isolant 13 afin d'éviter les phénomènes de transfert de charge entre les unités lumineuses voisines qui sont activées, ce qui modifierait le fonctionnement et la durée $T_e = T_i$ de chacune

30 des impulsions ionisées lumineuses élémentaires Φ_e . Cette coupe représente selon un exemple non limitatif un ensemble constituant un sous pixel Rouge ou Vert ou Bleu selon que la composition de la substance lumineuse 7 permettra d'émettre par

luminescence des flux de photons 16 de longueur d'onde Rouge, Vert ou Bleu sous l'effet des flux de photons 15 émis par luminescence par le gaz 14 pour chacune des UL qui sont activées par leur porte de transfert 3.

La Figure 11 représente la correspondance qui est établie entre chaque sous pixel 18 constituant la matrice RVB d'un écran vidéo et un ensemble d'unités lumineuses élémentaires à commande numérique UL selon une incorporation préférentielle de la présente invention. Chaque sous pixel 18 est décomposé selon cette incorporation préférentielle de l'invention en une mosaïque de 16 par 16 moyens 19 composés chacune d'une unité lumineuse 1 élémentaire UL avec son condensateur 4.

5 Ces moyens 19 sont connectés selon cette incorporation préférentielle d'une part directement à la source 2 d'alimentation Va et d'autre part à leur porte de transfert 3 numérotées PT1 à PT8 disposant de leurs entrées de commande numérique L1 à L8.

10 Les dimensions des unités lumineuses élémentaires 19 sont telles que les dimensions de leur ensemble correspondent à la dimension souhaitée pour le sous pixel correspondant. Avec un mot binaire de $n = 8$ bits appliqué sur les commandes numériques de ces portes de transfert 3 on peut obtenir selon la Figure 4 l'activation de 1 à 255 unités lumineuses élémentaires donc obtenir un flux total $\Phi_{sp} = 2^n \times \Phi_e$ émis par impulsions pour chaque sous pixel comportant de 1 à 256 valeurs puisque la désactivation de toutes les UL d'un sous pixel correspondant au noir total compte pour

15 une valeur. On peut aussi augmenter ou diminuer le nombre d'unités lumineuses élémentaires pour obtenir un flux total $\Phi_{sp} = 2^n \times \Phi_e$ ayant plus ou moins de valeurs en utilisant un mot binaire ayant le nombre de bits n correspondant pour réaliser des écrans vidéo nécessitant plus ou moins de couleurs ou même des écrans bi chromiques appelés monochromes ou en demi-tons utilisé pour des affichages d'informations

20 alphanumériques et/ou graphiques par exemple.

La Figure 12 représente le schéma électronique équivalent d'un ensemble d'unités lumineuses élémentaires à commande numérique avec leur alimentation et constituant un sous pixel selon le mode préférentiel de réalisation décrit à la Figure 3. Les unités lumineuses 1 sont connectées chacune d'un coté directement à

30 une borne commune de la source 2 d'alimentation Va et d'autre part à leur capacité 4 qui sont elles-mêmes connectées à une porte de transfert 3 selon l'incorporation préférentielle déjà mentionnée pour les Figures 3 et 11 et qui les met en relation ou non

avec l'autre borne de la source 2 d'alimentation V_a selon que l'entrée à commande numérique L1 à L8 de ces portes de transfert 3 est à portée à la valeur logique correspondante.

5 La Figure 13 représente le schéma équivalent du circuit électronique d'un sous pixel. Le circuit 20 représente l'ensemble des éléments détaillés dans la Figure 12, avec ses entrées connectées à la source 2 d'alimentation V_a et les entrées à commande numérique L1 à L8 des portes de transfert 3. Le fonctionnement du circuit électronique est simple puisqu'il suffit d'appliquer une source d'alimentation convenable V_a telle que décrite en Figures 5 et 6 pour obtenir un sous pixel dont l'ensemble des
10 impulsions élémentaires de flux de photons émis par luminescence aura une valeur $\Phi_{sp} = 2^n \times \Phi_e$ déterminée par la valeur du mot binaire de $n = 8$ bits appliqué sur les entrées L1 à L8. On remarque déjà que la fréquence de ces impulsions de flux Φ_{sp} est indépendante de la fréquence avec laquelle on change la valeur du mot binaire de $n = 8$ bits appliqué sur les entrées L1 à L8.

15 La Figure 14 représente le schéma électronique de montage d'un sous pixel détaillé par la Figure 13 associé à un dispositif à double mémoire selon une réalisation préférentielle de l'invention. Le circuit 21 symbolise tous les éléments détaillés par la Figure 12 avec ses connections à la source 2 d'alimentation V_a et ses entrées à commande numériques L1 à L8. Sur chacune de ces entrées L1 à L8 sont
20 connectées les sorties de bascules constituant une mémoire de un bit dont l'ensemble constitue une mémoire d'affichage 22 de 8 bits ayant une commande numérique de validation commune M.AFF. Les entrées de cette mémoire d'affichage 22 sont connectées à la sortie de bascules à mémoire de un bit dont l'ensemble constitue une mémoire d'affichage suivant 23 de 8 bits ayant une commande numérique de validation
25 M.SVT. Les mots de 8 bits qui sont envoyés à ce sous pixel sont envoyées aux entrées D1 à D8 de la mémoire d'affichage suivant 23. Le fonctionnement de ce montage permet de mémoriser deux mots de 8 bits différents selon que l'on applique une commande de validation sur M.AFF ou M.SVT. Le mot de 8 bit qui est mémorisé dans la mémoire d'affichage suivant 23 par la commande de validation M.SVT est celui qui
30 correspond à la valeur binaire des impulsions du flux total Φ_{sp} suivant de ce sous pixel. Le mot de 8 bit qui est mémorisé dans la mémoire d'affichage 22 est celui qui

correspond à la valeur binaire des impulsions de flux total Φ_{sp} qui est réellement émis, ou affiché, par le sous pixel. Lorsque la commande de validation est appliquée sur M.AFF, le mot de 8 bit contenu dans la mémoire d'affichage suivant 23 est transféré dans la mémoire d'affichage 22. Pendant que le sous pixel émet les impulsions de flux

5 total Φ_{sp} déterminé par la valeur du mot de 8 bit contenu dans la mémoire d'affichage 22 il est possible de charger dans la mémoire d'affichage suivant 23 un autre mot de 8 bit correspondant à la valeur des impulsions du flux total Φ_{sp} qui sera émis ensuite par le sous pixel. On a donc bien séparé la fréquence de rafraîchissement de la valeur qui est affiché par le sous pixel de la fréquence de chargement, ou de changement, de la

10 valeur qu'il affiche. Pour un mot binaire de 8 bits contenue dans la mémoire d'affichage 22 et correspondant à la valeur du flux total Φ_{sp} émis par impulsions par le sous pixel, la fréquence de ces impulsions correspond à la fréquence de rafraîchissement du sous pixel et celle-ci, ne dépendant que des caractéristiques de la tension appliquée par la source 2 d'alimentation V_a , peut être de plusieurs kHz et même MHz selon ce qui a été

15 expliqué aux Figures 5 et 6. La fréquence de changement du mot de 8 bits contenu dans la mémoire d'affichage 22 et qui correspond donc à la valeur du flux total Φ_{sp} qui est émis par impulsions par le sous pixel, dépendant uniquement de la fréquence avec laquelle on charge ou change le mot binaire de 8 bit contenu dans la mémoire d'affichage suivant 23 dans la mémoire d'affichage 22, est donc totalement

20 indépendante de la fréquence de rafraîchissement du sous pixel.

La Figure 15 représente le schéma équivalent du circuit électronique détaillé par la Figure 14. Le circuit 24 correspond à l'ensemble des moyens détaillés par la Figure 14 avec ses entrées permettant de se connecter à la source 2 d'alimentation V_a , ses entrées de commandes numériques D1 à D8 permettant de recevoir les mots de

25 $n = 8$ bits correspondant aux valeurs de flux total Φ_{sp} qui est émis par impulsions par le sous pixel ainsi que l'entrée M.SVT de validation pour leur mémorisation dans la mémoire d'affichage suivant 23 et l'entrée M.AFF de validation pour leur mémorisation dans la mémoire d'affichage 22.

On aurait pu à partir des circuits électroniques de base des Figure13 ou

30 15 réaliser un écran vidéo avec une matrice de sous pixels qui auraient été validés sous pixel par sous pixel par un dispositif d'adressage matriciel X,Y classique tel que ceux

utilisés pour les matrices de diodes, de LCD ou les cellules à plasma. Mais cette méthode d'adressage est moins intéressante car elle nécessite des circuits intégrés de décodage externes au dispositif d'affichage de l'écran alors que l'on n'en a pas besoin avec les méthodes d'adressage préférentielles de l'invention qui vont être décrites ci
5 après et qui peuvent toutes être réalisées de manière interne au dispositif réalisé en circuit intégré et faisant l'objet de la présente invention.

La Figure 16 représente le schéma électronique de montage d'un ensemble de trois sous pixels représentés par la Figure 15 associés un dispositif de validation selon un premier mode préférentiel de réalisation. Le circuit équivalent décrit
10 en Figure 15 se retrouve dans les trois circuits 24 avec leurs entrées connectées à la source 2 d'alimentation Va et leurs entrées D1 à D8 connectées sur un bus commun de données. L'entrée de validation des mémoires d'affichage 22 de ces trois circuits 24 sont connectées ensemble de façon à leur envoyer en même temps un signal de validation M.AFF. Pour identifier le sous pixel concerné par les données qui se
15 présentent sur ce bus D1 à D8, on utilise trois moyens 25 qui sont des flip flop de type D montés en série comme dans un registre à décalage. Les entrées CP de ces FFD sont connectées à une source d'horloge H commune tandis que leurs entrées R sont connectées à une source commune Reset. L'entrée D du premier (en partant de la gauche) FFD est connectée à l'entrée appelée SP.PCD car elle provient du sous pixel
20 précédent s'il existe ou sinon du circuit électronique de contrôle. La sortie Q du premier FFD est connectée à la fois à l'entrée M.SVT du premier circuit 24 pour valider l'entrée de sa mémoire d'affichage suivante 23 et à l'entrée D du deuxième FFD. Le deuxième FFD et le troisième FFD sont connectés selon le même principe pour valider chacun par leur sortie Q l'entrée de la mémoire d'affichage suivante 23 des deux circuits 24
25 suivants qui leur correspondent. La sortie Q du troisième FFD est aussi connecté à la sortie appelée SP.SVT et permettra de se connecter à l'entrée SP.PCD donc à l'entrée D du FFD de validation du sous pixel suivant s'il existe. Un exemple permettra de mieux comprendre le fonctionnement de cet ensemble qui permet de charger les données correspondant à chaque sous pixel Rouge, Vert et Bleu et de constituer ainsi un pixel
30 RVB. Si on suppose que le schéma de la Figure 16 représente le premier groupe de trois sous pixel constituant un pixel RVB, à l'initialisation on applique un signal de Reset, par exemple un zéro (0), qui remet tous les FFD 25 à zéro. L'entrée M.AFF des trois

circuits 24 est aussi à zéro, invalidant leur mémoire d'affichage 22 et empêchant toute modification de leur contenu. Toutes les sorties Q des FFD 25 sont à zéro et par conséquent tous les sous pixels Rouge, Vert et Bleu ont leur entrée M.SVT qui invalide l'entrée de leur mémoire d'affichage suivant 23. Au premier coup d'horloge H, appliqué

5 sur toutes les entrée CP des FFD 25, on envoie le premier mot de 8 bits sur le bus aux entrées D1 à D8 et correspondant à la valeur du flux total Φ_{sp} suivant qui sera émis par le sous pixel Rouge ainsi qu'une seule impulsion de validation un (1) logique sur l'entrée SP.PCD qui est connectée à l'entrée D du premier FFD. L'impulsion de validation appliquée sur D apparaît alors sur la sortie Q du premier FFD et valide l'entrée M.SVT

10 de mémoire d'affichage suivant du premier circuit 24 correspondant au sous pixel Rouge permettant ainsi la mise en mémoire d'affichage suivant 23 du premier mot de 8 bit qui lui est destiné. Comme les autres sorties Q des deux autres FFD sont encore à zéro elles invalident les entrées M.SVT des deux autres circuits 24 correspondant respectivement au sous pixel Vert et au sous pixel Bleu et empêche donc la

15 mémorisation dans leur mémoire d'affichage suivant 23 de la donnée présente sur le bus. Au deuxième coup d'horloge on envoie sur le bus le mot de 8 bits correspondant à la valeur du flux total Φ_{sp} suivant qui sera émis par le sous pixel Vert. L'impulsion de validation présente sur la sortie Q du premier FFD et qui est appliquée sur l'entrée D du second FFD et qui correspondant au sous pixel vert apparaît alors sur sa sortie Q et

20 valide l'entrée M.SVT de mémoire d'affichage suivant 23 du sous pixel Vert permettant la mise en mémoire d'affichage suivant 23 du mot de 8 bit qui lui est destiné. Comme la sortie Q du premier FFD correspondant au sous pixel Rouge est retombée à zéro et que la sortie Q du troisième FFD correspondant au sous pixel Bleu est toujours à zéro, leurs entrées M.SVT invalident leurs mémoires d'affichage suivant 23. Au troisième coupe

25 d'horloge on mémorise de la même façon le mot de 8 bits présent sur le bus et qui correspond à la valeur du flux total Φ_{sp} suivant qui sera émis par le sous pixel Bleu. L'impulsion de validation est maintenant présente et disponible sur la sortie Q du troisième FFD et donc sur la sortie SP.SVT pour les sous pixels suivants. Pendant ce chargement des données correspondantes à chaque sous pixel dans leur mémoire

30 d'affichage suivant 23, l'entrée M.AFF des circuits 24 est restée à zéro, invalidant les mémoires d'affichage 22. Quel que soit le mot de 8 bits contenu dans ces mémoires d'affichage 22, à l'initialisation cela pourrait être par exemple tout à un, ce contenu n'a

pas été modifié par le chargement des mémoires d'affichage suivant 23 et les sous pixels RVB ont émis à une fréquence correspondant à celle de leurs impulsions élémentaires la valeur de flux total luminescent Φ_{sp} correspondant à leur contenu en mémoires d'affichage 22.

5 La Figure 17 représente le schéma équivalent du circuit électronique d'un seul sous pixel avec son dispositif de validation. Le circuit 26 représente un seul circuit 24 avec un seul FFD 25 selon la Figure 16, avec ses entrées connectées à la source 2 d'alimentation V_a , ses entrées D1 à D8 connectées au bus de données, sa sortie SP.SVT provenant de la sortie Q de son FFD 25 et permettant de transmettre le
10 signal de validation de mémoire d'affichage suivant 23 au sous pixel suivant, son entrée SP.PCD permettant de recevoir le signal de validation de mémoire d'affichage suivant 23 en provenance de la sortie Q du FFD 25 du sous pixel précédent, son entrée M.AFF permettant de recevoir le signal de validation de sa mémoire d'affichage 22, son entrée permettant de recevoir de signal de Reset sur l'entrée R de son FFD 25 et son entrée
15 permettant de recevoir le signal d'horloge H sur l'entrée CP de son FFD 25.

Ce circuit électronique va donc pouvoir servir de base à la réalisation d'une chaîne de sous pixels permettant de constituer un écran vidéo complet. Comme il s'agit d'un circuit numérique simple on peut réaliser un circuit intégré comportant un bloc de plusieurs sous pixels.

20 La Figure 18 représente le schéma électronique de montage d'un ensemble de n par m (n,m) sous pixels permettant de constituer un circuit bloc de (n,m) sous pixels selon un premier mode préférentiel de réalisation. On trouve un moyen 26 détaillé par la Figure 17 avec ses entrées connectées à la source 2 d'alimentation V_a , les entrées D1 à D8 connectées au bus de données, les sorties SP.SVT permettant de
25 transmettre le signal de validation des mémoires d'affichage suivant 23 aux sous pixels suivants, les entrées SP.PCD permettant de recevoir le signal de validation des mémoires d'affichage suivant 23 en provenance du sous pixel précédent, l'entrée M.AFF permettant de recevoir le signal de validation simultanée de l'ensemble des mémoires d'affichage 22 de l'ensemble des sous pixels, l'entrée Reset permettant de
30 remettre simultanément à zéro l'ensemble des FFD 25 de tous les circuits 26 et l'entrée permettant de recevoir le signal d'horloge H appliqué simultanément sur l'ensemble des

sous pixels (n,m) montés selon ce premier mode préférentiel de réalisation. Le fonctionnement est le même que celui décrit par la Figure 16 hormis qu'il y a plus de sous pixels.

La Figure 19 représente le schéma équivalent du circuit électronique d'un bloc de (n,m) sous pixels avec un circuit 27 constitué de l'ensemble des éléments détaillés par la Figure 18, ses entrées connectées à la source 2 d'alimentation V_a , les entrées D1 à D8 connectées au bus de données, les sorties SP.SVT permettant de transmettre le signal de validation des mémoires d'affichage suivant 23 aux sous pixels du bloc de (n,m) sous pixels suivants les entrées SP.PCD permettant de recevoir le signal de validation des mémoires d'affichage suivant 23 en provenance du bloc de (n,m) sous pixels précédent, l'entrée M.AFF permettant de recevoir le signal de validation simultanée de l'ensemble des mémoires d'affichage 22 de l'ensemble des sous pixels du bloc, l'entrée Reset permettant de remettre simultanément à zéro l'ensemble des FFD 25 de tous les circuits 26 du bloc et l'entrée permettant de recevoir le signal d'horloge H appliqué simultanément sur l'ensemble des FFD 25 du bloc de (n,m) sous pixels montés selon ce premier mode préférentiel de réalisation.

La Figure 20 représente le diagramme de fonctionnement du circuit électronique constituant un bloc de (n,m) sous pixels représenté par la Figure 19. On y trouve les courbes d'horloge H, de Reset, de M.AFF, de Data RVB et de SP.PCD numérotées de $(1,1)$ à (n,m) et la courbe représentant la validation de chaque sous pixel S-Pixel (n,m) . On voit sur ce diagramme qu'à partir du Reset, qui peut correspondre au signal de validation M.AFF de l'ensemble des mémoires d'affichage 22, à chaque coup d'horloge H se trouve présent sur le bus de données le mot de 8 bits correspondant à la valeur suivante d'un sous pixel R, V ou B tandis que le signal de validation présent sur la sortie du sous pixel précédent SP.PCD (n,m) valide le sous pixel S-Pixel (n,m) de mêmes indices. La fréquence de chargement des mémoires d'affichage suivante 23 est donc fonction de la fréquence de l'horloge H qui synchronise le flot des données présentent sur le bus de DATA RVB appliquées sur les entrées D1 à D8 de la Figure 19.

La Figure 21 représente le schéma électronique du montage d'un ensemble de (K,P) circuits blocs de (n,m) sous pixels composé de circuits 27 détaillés

par la Figure 18 et permettant de constituer un écran de (K,P) blocs de (n,m) sous pixels selon un premier mode préférentiel de réalisation. Ces circuits 27 de (n,m) sous pixels sont connectés à la même source 2 d'alimentation V_a et leurs entrées D1 à D8 connectées sur un bus commun de données. Leurs entrées de validation M.AFF de leur

5 mémoires d'affichage 22 sont connectées ensemble. De même pour leur entrées d'horloge H et de Reset. Lorsque le bloc précédent à rempli toutes ses mémoires d'affichage suivante avec les données qui leurs sont destinées le signal de validation M.SVT apparaît sur la sortie SP.SVT pour valider le premier sous pixel sur l'entrée SP.PCD du circuit bloc de (n,m) sous pixels 27 suivant. Lorsque tous les circuits 27 ont

10 rempli leurs mémoires d'affichage suivante 23, cela veut dire que l'ensemble des valeurs de tous les sous pixels correspondant à l'image suivante est disponible dans l'ensemble des mémoires d'affichage suivante 23. A ce moment le signal de validation d'affichage de l'image suivante est envoyé sur l'entrée M.AFF qui valide simultanément le transfert du contenu de toutes les mémoires d'affichage suivante 23 de tous les

15 circuits 27 dans les mémoires d'affichage 22. La nouvelle image apparaît alors d'un seul coup en son entier comme pour un film sur pellicule. C'est de cette façon que l'image affichée est, dans sa totalité, rafraîchie à la fréquence des impulsions lumineuses 16 déterminée par la tension d'alimentation V_a soit à plusieurs kilo et même méga Hertz alors qu'elle est chargée ou changée à la fréquence du signal de validation M.AFF des

20 mémoires d'affichage 22 c'est à dire de 25 à 30 images par seconde ou 25 à 30 Hertz. On a bien atteint le but qui consiste à séparer la fréquence de rafraîchissement des images de la fréquence de changement ou de chargement des images. La fréquence d'horloge H du dispositif qui charge les données correspondant à la valeur de chaque sous pixel est quant à elle directement fonction du nombre de ces sous pixels donc de la

25 résolution de l'image. Par exemple pour une image de résolution de 640 x 480 pixels, la fréquence d'horloge sera égale à $640 \times 480 \times 3$ sous pixels $\times 25$ images/s = 23,04 MHz en Europe pour $640 \times 480 \times 3$ sous pixels $\times 30$ images/s = 27,648 Mhz en Amérique du nord. Pour des images de haute résolution, par exemple 1600 x 1200, la fréquence d'horloge est de $1600 \times 1200 \times 3 \times 25 = 144$ Mhz en E et $1600 \times 1200 \times 3 \times 30 = 172,8$

30 MHz pour l'A.N ce qui ne sont actuellement pas des fréquences difficiles à atteindre pour des circuits vidéo entièrement numériques.

La Figure 22 représente le schéma électronique de montage d'un écran vidéo constitué de (K,P) blocs de sous pixels représenté par la Figure 21 selon ce premier mode préférentiel de réalisation. On y retrouve les blocs de sous pixels 27 numérotés de (1,1) à (K,P) qui sont disposés sur un support 28 qui est un circuit imprimé sur lequel se trouvent les pistes permettant de connecter les (K,P) blocs de (n,m) sous pixels à leur source 2 d'alimentation V_a , les entrées D1 à D8 au bus de données, leurs sorties SP.SVT de validation des mémoires d'affichage suivant 23 du bloc de sous pixels suivant, leurs entrées SP.PCD de validation des mémoires d'affichage suivant 23 provenant du bloc de sous pixels précédent, leurs entrées correspondant respectivement au signal M.AFF de validation simultané de toutes les mémoires d'affichage, le signal d'horloge H et le signal de Reset. Toutes ces informations sont disponibles sur le circuit imprimé et permettent de connecter plusieurs écrans semblables pour en constituer un plus grand sans qu'il soit nécessaire d'utiliser des circuits vidéo externes. Ce mode préférentiel de réalisation d'un écran vidéo atteint bien ici trois des cinq caractéristiques fixées comme objectifs puisque premièrement on dispose d'un dispositif d'affichage entièrement numérique de très faible épaisseur puisque constitué d'une mosaïque de (K,P) circuits intégrés 27, deuxièmement la fréquence de rafraîchissement est bien très élevée et indépendante de la résolution, de la fréquence de changement et de la dimension d'affichage des images puisque uniquement fonction de la tension d'alimentation V_a qui déclenche les impulsions lumineuses de flux total élémentaires Φ_{sp} , troisièmement chaque image affichée apparaît bien d'un seul coup sans balayage des pixels ni adressage matriciel de ceux-ci puisque tous les circuits 27 sont montés sur un bus commun de données et que c'est le signal M.AFF de validation simultané des mémoires d'affichage 22 qui transfère d'un seul coup l'image suivante contenue dans l'ensemble des mémoires d'affichage suivant 23 vers l'ensemble des mémoires d'affichage 22 la faisant apparaître globalement comme lors de la projection d'un film sur pellicule.

Nous allons décrire maintenant deux autres modes préférentiels de réalisation d'écran vidéo ayant les mêmes caractéristiques mais qui concerne plus spécifiquement le montage des sous pixels avec leur mémoire d'affichage suivant 23 et mémoire d'affichage 22 pour constituer des circuits blocs de sous pixels ou de pixels et finalement un écran vidéo.

La Figure 23 représente le schéma électronique de montage d'un bloc de (n,m) sous pixels représentés par la Figure 17 et permettant de constituer un bloc de (n,m) sous pixels selon un deuxième mode préférentiel de réalisation. L'interconnexion des sous pixels et son fonctionnement sont identiques à ce qui est décrit pour la Figure 18 hormis que ce montage fait un regroupement en (m) lignes de (n) circuits de sous pixels 26. On obtient donc (m) entrées SP.PCD d'indice $(n, 1 \text{ à } m)$ et servant à la validation d'une ligne (m) de circuits 26 du bloc courant et (m) sorties SP.SVT d'indice $(1, 1 \text{ à } m)$ et servant à la validation du premier pixel de chacune des lignes (m) du bloc suivant.

La Figure 24 représente le schéma équivalent du circuit électronique d'un bloc de (n,m) sous pixels selon ce deuxième mode préférentiel de réalisation. Un circuit 29 constitué des circuits détaillés par la Figure 23 a ses entrées connectées à la source 2 d'alimentation V_a , les entrées D1 à D8 connectées au bus de données, les sorties SP.SVT indicés $(n, 1 \text{ à } m)$ permettant de transmettre le signal de validation des derniers sous pixels (n) des (m) lignes du bloc en cours au bloc de sous pixels suivant, les entrées SP.PCD indicé $(n, 1 \text{ à } m)$ permettant de recevoir les signaux de validation provenant des derniers sous pixels $(n, 1 \text{ à } m)$ du bloc de sous pixels précédent, l'entrée permettant de recevoir le signal M.AFF de validation simultanée de l'ensemble des mémoires d'affichage 22 du circuit 29, l'entrée permettant de recevoir le signal simultané de Reset de l'ensemble des FFD 25 du circuit 29 et l'entrée permettant de recevoir le signal d'horloge H appliqué simultanément sur l'ensemble des FFD 25 du circuit 29 selon ce deuxième mode préférentiel de réalisation.

La Figure 25 représente le schéma électronique de montage d'un écran vidéo constitué de (K,P) blocs de (n,m) sous pixels selon ce deuxième mode préférentiel de réalisation. On y retrouve (P) lignes de (K) circuits 29 qui sont disposés sur un support 30 qui est un circuit imprimé d'interconnexions permettant de monter ces blocs de sous pixel de la façon décrite par la Figure 22 hormis que, pour chaque ligne (m) de chaque ligne (P) de circuit 29, les entrées M.PCD (1) de validation des premières mémoires d'affichage suivant 23 de chaque ligne (m) de chaque bloc (K) de sous pixel sont connectées aux dernières sorties M.SVT (n) de validation des mémoires d'affichage suivant 23 de même ligne (m) du bloc précédent $(K-1)$, la dernière sortie (n) de validation de la mémoire d'affichage suivante 23 de la ligne (m) du bloc (K) étant

connectée à l'entrée (1) de validation de la première mémoire d'affichage suivant 23 de la ligne (1) du bloc (1, P+1). De cette façon les données sont chargées ligne par ligne de l'ensemble des circuits 29 situés sur une même ligne (P) et se propagent ligne par ligne (m) de blocs (P). Ce deuxième mode de montage permet d'avoir un flot de données sur le bus arrivant sur les entrées D1 à D8 et correspondant à chaque sous pixel qui soit
5 directement compatible avec le flot de données issues d'une source vidéo numérique à balayage ligne et trame puisque toutes les mêmes les lignes (m) des lignes des (K) blocs sont remplies l'une après l'autre ce qui revient à remplir l'écran ligne par ligne. Dans le montage décrit dans le premier mode aux Figures 21 et 22 on modifie le flot des
10 données puisque chaque bloc de sous pixels doit être rempli avant de remplir le suivant. Dans ce cas aussi on peut monter plusieurs écrans semblables en mosaïque sans utiliser de circuits vidéo externes car tous les signaux sont disponibles sur le circuit imprimé 30.

La Figure 26 représente le schéma électronique de montage d'un ensemble de trois sous pixels représentés par la Figure 15 avec un dispositif de validation permettant de former un triplet appelé pixel selon un troisième mode préférentiel de réalisation. On retrouve le même montage que pour la Figure 16 avec les mêmes entrées et sorties hormis qu'il n'y a qu'un seul moyen 25 pour valider simultanément les trois circuits 24 formant ainsi un triplet Rouge, Vert et Bleu ou pixel
20 RVB, que le bus de données permet d'envoyer des mots de 24 bits sur les entrées D1 à D8 qui sont distribués vers chaque sous pixel par exemple non limitatif 1 à 8 pour le Bleu, 9 à 16 pour le Vert et 17 à 24 pour le Rouge, que l'entrée de validation M.SVT des mémoires d'affichage suivant 23 des trois circuits 24 sont connectés à la sortie Q du FFD 25 et que cette sortie Q valide les mémoires d'affichage suivant 23 du pixel suivant
25 par une sortie P.SVT, que l'entrée D du FFD 25 est connectée à l'entrée P.PCD qui reçoit le signal de validation provenant de la sortie Q FFD 25 du pixel précédent.

La Figure 27 représente le schéma équivalent du circuit électronique d'un triplet appelé pixel RVB selon ce troisième mode préférentiel de réalisation. Le moyen 31 est détaillé par la Figure 26. Ses connexions sont les mêmes que pour la
30 Figure 17 hormis qu'il possède 24 entrées D1 à D24 et une entrée appelée P.PCD (au lieu de SP.PCD) et une sortie appelée P.SVT (au lieu de SP.SVT).

La Figure 28 représente le schéma électronique de montage d'un bloc de (n,m) pixels 31 représenté par la Figure 27 selon ce troisième mode préférentiel de réalisation. Le montage et le fonctionnement est semblable à celui décrit par la Figure 23 c'est à dire un regroupement de (m) lignes de (n) circuits 31 hormis que le bus de données est maintenant de 24 bits connectés aux entrées D1 à D24, que les entrées de validation des mémoires d'affichage suivant 23 des pixels précédents sont appelés P.PCD (n,1 à m), que les sorties de validation de pixels des blocs suivants sont appelés P.SVT (n,1 à m).

La Figure 29 représente le schéma équivalent du circuit électronique d'un bloc de (n,m) pixels selon ce troisième mode préférentiel de réalisation. Le circuit 32 détaillé par la Figure 28 est connecté de façon identique à la Figure 24 hormis que le bus de données est maintenant de 24 bits connectés aux entrées D1 à D24, que les entrées de validation des mémoires d'affichage suivant 23 des pixels précédents sont appelés P.PCD (n,1 à m), que les sorties de validation de pixels des blocs suivants sont appelés P.SVT (n,1 à m).

La Figure 30 représente le schéma de montage d'un écran vidéo constitué de (n,m) blocs de pixels représenté par la Figure 29 selon ce troisième mode préférentiel de réalisation. Le montage et le fonctionnement sont les mêmes que ceux décrit par la Figure 25 hormis que le circuit imprimé 33 d'interconnexions sur lequel sont montés les (K,P) circuits 32 porte un bus de données de 24 bits connectés aux entrées D1 à D24. L'avantage de ce montage avec un bus de 24 bits est uniquement de permettre une diminution de la fréquence de chargement des données dans les mémoires suivantes 23 des sous pixels puisqu'elles arrivent non plus l'une derrière l'autre en mot de 8 bits pour le Rouge, le Vert et le Bleu mais en même temps en parallèle sur 24 bits. Par exemple pour une résolution de 640 x 480, la fréquence d'horloge sera égale à $640 \times 480 \text{ pixels} \times 25 \text{ images/s} = 7,68 \text{ MHz}$ en Europe pour $640 \times 480 \times 30 \text{ images/s} = 9,216 \text{ MHz}$ en Amérique du nord. Pour des images de haute résolution, par exemple 1600 x 1200, la fréquence d'horloge est de $1600 \times 1200 \times 25 = 48 \text{ MHz}$ en E et $1600 \times 1200 \times 30 = 57,6 \text{ MHz}$ pour l'A.N ce qui ne sont vraiment pas des fréquences difficiles à atteindre pour des circuits vidéo entièrement numériques.

Trois sur cinq caractéristiques fixées comme objectifs sont atteints par ces écrans : premièrement ils disposent d'un dispositif d'affichage entièrement numérique de très faible épaisseur semblable à celle obtenue avec les LCD, deuxièmement leur fréquence de rafraîchissement est très élevée et indépendante de la
5 résolution, de la fréquence de changement et de la dimension d'affichage des images, troisièmement chaque image affichée apparaît d'un seul coup sans balayage des pixels ni adressage matriciel de ceux-ci.

La Figure 31 représente un écran vidéo avec ses principaux éléments constitutifs schématisés. Chaque circuit intégré 27, 28 ou 32 réalisé selon l'un des trois
10 modes préférentiels indiqués de manière non limitative est scellé par l'électrode 8 qui est laisse passer le flux de photons 15 émis par luminescence par le gaz ionisé 14 qui se trouve entre eux à l'intérieur et est commune à l'ensemble des unités lumineuses UL du circuit intégré puisqu'elle est connectée directement à la source 2 d'alimentation Va. L'ensemble 27, 29 ou 32 et 8 constituent chacun des circuits intégrés 34 qui sont
15 montés en mosaïque sur un circuit imprimé 28, 30 ou 33 réalisé selon l'un des trois modes préférentiels indiqués et portant les pistes d'alimentation Va, de bus de données de 8 ou 24 bits, d'horloge H et de Reset, de validation M.AFF des mémoires d'affichage 22 et de validation M.SVT des mémoires d'affichage suivant 23. Pour obtenir les couleurs on vient placer par-dessus cette mosaïque de circuits intégrés 34 un support
20 transparent 6 sur la face intérieur duquel on a déposé une matrice composée de trois substances 7 qui émettent par luminescence 16 une couleur Rouge, verte ou bleu selon leur composition lorsqu'elles sont excitées par les impulsions de flux de photons 15 émis par les circuits intégrés 34. Ce support 6 réalisé par exemple non limitatif en sérigraphie vient se superposer exactement sous pixels à sous pixel aux circuits intégrés 34 et
25 former ainsi une surface d'affichage uniforme d'un seul tenant, même s'il y a plusieurs circuits imprimés 28, 30 ou 33 semblables en dessous.

De cette façon on atteint le quatrième objectif qui est d'obtenir des écrans vidéo qui sont toujours de faible épaisseur et de surface d'affichage en un seul
30 tenant même pour des dimensions supérieures à 42 pouces de diagonale appelés écrans géants.

Avec ce type de circuit intégré on peut déjà réaliser des écrans cylindriques car les circuits intégrés 34 peuvent être montés sur des circuits imprimés souples et le support 6 qui vient dessus peut lui aussi être souple. Comme les circuits intégrés 34 peuvent avoir une forme hexagonale, il est possible de monter ceux-ci sur un circuit imprimé de même forme et ainsi obtenir des écrans sphériques.

Les objectifs concernant les cinq caractéristiques principales de ce dispositif d'écran vidéo numérique réalisé sous forme d'un circuit intégré faisant l'objet de la présente invention sont donc atteints.

Ce dispositif d'écran vidéo numérique comporte donc un ou plusieurs circuits imprimés sur lesquels sont montés un ou plusieurs circuits intégrés qui sont recouverts par une surface d'affichage d'un seul tenant revêtue d'une ou plusieurs substances luminescentes qui sont excitées par les circuits intégrés placés en dessous de telle sorte que :

- a) à chaque sous pixel 18 faisant partie d'un point de l'image affichée par l'écran vidéo on fait correspondre un certain nombre d'unités élémentaires lumineuses 1 dont chacune émet un flux élémentaire de photons Φ_e correspondant à une intensité de couleurs élémentaire lorsqu'elle est activée,
- b) les unités élémentaires lumineuses 1 constituant chaque sous pixel 18 sont toutes connectées d'une part à la borne commune d'une source 2 d'alimentation V_a qui leur est adaptée et d'autre part sont activées ou non par l'intermédiaire d'interrupteurs électroniques 3 qui connectent ou non chacun en même temps une ou plusieurs unités élémentaires lumineuses 1 à l'autre borne de la source 2 d'alimentation V_a selon les mots binaires appliqués sur leurs commandes logiques et correspondants aux valeurs des intensités de couleurs souhaitées pour chaque sous pixel,
- c) chaque unité élémentaire lumineuse 1 activée émet un flux élémentaire continu ou pulsé de photons Φ_e qui s'additionne aux autres flux élémentaires continus ou pulsés de photons Φ_e émis en même temps par les autres unités élémentaires lumineuses 1 activées du sous pixel dont elles font partie pour former un flux total continu ou pulsé de photons Φ_{sp} qui correspond à l'intensité de la couleur du sous pixel,

- d) toutes les unités élémentaires lumineuses 1 activées de tous les sous pixel de l'écran émettent des flux élémentaires de photons Φ_e de manière continue ou en impulsions de fréquence donnée ne dépendant que de la source 2 d'alimentation V_a selon qu'elle est continue ou en fréquence,
- 5 e) la fréquence des impulsions de l'ensemble des flux total Φ_{sp} correspondant à l'intensité des couleurs émis en même temps par tous les sous pixel de tous les points de l'image de l'écran correspond à la fréquence de rafraîchissement de l'image affichée par l'écran vidéo et est donc uniquement fonction de la source 2 d'alimentation V_a continue ou en impulsions de fréquence donnée adaptée à la
- 10 nature des unités élémentaires lumineuses 1,
- f) pour chaque sous pixel chaque interrupteur électronique 3 lui appartenant a sa commande logique connectée à la sortie d'une bascule constituant la mémoire d'affichage 22 du sous pixel et disposant d'une entrée de validation d'affichage permettant de mémoriser la valeur du mot binaire correspondant à l'intensité de la
- 15 couleur affichée par le sous pixel.
- g) le flux total continu ou pulsé Φ_{sp} correspondant à l'intensité de la couleur émise par un sous pixel s'additionne aux flux total continu ou pulsé Φ_{sp} correspondant à l'intensité de la couleur émise en même temps par les deux autres sous pixel avec lesquels il constitue un triplet RVB pour obtenir par addition tri chromique la couleur
- 20 du point correspondant de l'image,
- h) l'addition tri chromique de l'ensemble des flux total continu ou pulsé Φ_{sp} correspondant à l'intensité des couleurs émis en même temps par tous les sous pixel constituant les triplets RVB de tous les points de l'image correspondent ainsi à toutes les couleurs de l'image affichée par l'écran vidéo,
- 25 i) toutes les entrées de validation des bascules des mémoires d'affichage 22 de tous les sous pixel de l'écran sont connectées ensemble pour permettre leur validation simultanée,
- j) Toutes les entrées des bascules constituant la mémoire d'affichage 22 de chaque sous pixel sont connectées aux sorties des bascules constituant la mémoire suivante
- 30 23 de chaque sous pixel dont l'entrée de validation permet de mémoriser les mots

binaires correspondants aux intensités de couleurs suivantes qui seront affichées ensuite par les sous pixel de l'écran,

- 5 k) les mots binaires correspondant aux intensités des couleurs suivantes qui seront affichées ensuite par les sous pixel se présentent sur les entrées de mémoires suivantes 23 par un bus commun sur lequel sont connectés toutes les mémoires suivantes 23 de chaque sous pixel de l'écran,
- 10 l) un dispositif 25 valide l'entrée permettant la mémorisation dans la mémoire suivante 23 du sous pixel du mot binaire présent sur le bus qui lui est destiné de telle sorte que lorsque toutes les mémoires suivantes 23 de tous les sous pixels de l'écran ont reçus le mot binaire qui leur est destiné un signal est appliqué sur l'entrée commune de validation des mémoires d'affichage 22 de tous les sous pixels de l'écran permettant le transfert simultané du contenu des mémoires suivantes 23 dans les mémoires d'affichage 22 ce qui affiche d'un seul coup la totalité de l'image suivante sur l'écran,
- 15 m) pendant que l'image est affichée dans sa totalité de manière permanente ou en fréquence les mémoires suivantes 23 peuvent être chargées avec les mots binaires correspondants dans leur ensemble aux couleurs de l'image suivante à une fréquence qui dépend de la fréquence de changement de l'image et de sa résolution permettant ainsi de séparer la fréquence de chargement ou de changement de
- 20 l'image suivante de la fréquence de rafraîchissement de l'image affichée.
- 25 n) Chaque unité lumineuse élémentaire 1 est une cellule à gaz 14 contenu entre d'une part un support transparent 6 revêtu d'une substance luminescente 7 et d'une électrode 8 qui est connectée directement à la source 2 d'alimentation Va et d'autre part un support isolant 9 sur lequel on a réalisé la capacité 4 entourée par un isolant
- 30 13 en la constituant d'une électrode 10 déposée sur un diélectrique 12 lui-même déposé sur l'électrode 11 qui est connectée à la porte de transfert 3 qui est elle-même connectée à l'autre borne de la source 2 d'alimentation Va afin que selon l'état de son entrée de commande logique L cette porte de transfert 3 soit conductrice ou bloquée pour appliquer ou non la source 2 d'alimentation Va à l'ensemble.

- o) Le gaz 14 peut être alors semblable à ceux qui sont utilisés dans les écrans plasma et possède une tension d'ionisation $|V_i|$ qui est caractéristique de sa pression et de sa composition,
- 5 p) La source 2 d'alimentation V_a génère alors une tension d'alimentation périodique dont la valeur crête à crête est légèrement supérieure à un multiple de la valeur absolue de la tension d'ionisation $|V_i|$ du gaz 14,
- 10 q) La capacité 4 peut avoir une valeur allant de quelques pico à dizaines de nano-Farad selon la conductibilité du gaz 14 lorsqu'il est ionisé et selon la valeur du temps d'ionisation T_i que l'on désire obtenir comme temps élémentaire T_e pour les flux élémentaires Φ_e et déterminée pour limiter le courant débité par la source 2 à travers le gaz 14 ionisé et rattraper la tension d'alimentation V_a pour la maintenir à cette valeur jusqu'à la prochaine ionisation du gaz 14 qui se comporte ainsi toujours comme un plasma fonctionnant en mode d'impulsions de ionisations lumineuses subnormales ou normales avec une consommation instantanée en courant de l'ordre
- 15 de quelques micro ou dizaines de micro-Ampères,
- r) L'électrode 8 est une fine grille conductrice ou est transparente aux impulsions lumineuses 15 émises par le gaz 14,
- s) La substance lumineuse 7 a une composition semblable à celle utilisée pour les écrans plasma et à pour rôle de transformer les impulsions lumineuses 15 émises
- 20 par le gaz 14 lorsqu'il est ionisé en impulsions lumineuses 16 de longueur d'onde visible caractéristique de sa composition.
- t) Lorsque la porte de transfert 3 est bloquée par l'application d'un signal logique correspondant à son entrée de commande logique L le gaz 14 ne se ionise pas et l'unité lumineuse élémentaire 1 est inactive alors que lorsque la porte de transfert 3
- 25 est rendue conductrice par l'application du signal logique correspondant sur son entrée de commande logique L l'unité lumineuse élémentaire 1 est activée et le gaz 14 se ionise dès que la valeur absolue de la tension d'alimentation $|V_a|$ appliquée aux bornes 8 et 10 est égale à la valeur absolue de sa tension d'ionisation $|V_i|$ de telle sorte que le courant qu'il conduit alors charge la capacité 4 qui rattrape la
- 30 tension d'alimentation V_a en s'y maintenant parce que la ionisation s'est arrêtée

jusqu'à ce que la valeur absolue de la tension d'alimentation $|V_a|$ soit de nouveau égale à la valeur absolue de la tension d'ionisation $|V_i|$ et génère une autre impulsion lumineuse 15 qui sera transformée en une autre impulsion élémentaire lumineuse 16.

- 5 u) La fréquence des impulsions de ionisations lumineuses 15 transformées en impulsions lumineuses 16 est uniquement fonction de la valeur crête à crête de la tension d'alimentation V_a et de sa fréquence ainsi que de la valeur de la tension de ionisation $|V_i|$ du gaz 14 et de la valeur de la capacité 4 et est la même pour toutes les unités lumineuses élémentaires 1 activées de tous les sous pixel constituant l'écran et correspondant donc à la fréquence de rafraîchissement de l'image qu'il affiche.
- 10 v) Pour chaque sous pixel constituant l'écran vidéo on assemble un nombre 2 puissance n (2^n) unités lumineuses élémentaires 1 qui sont toutes connectées d'une part à la borne commune d'une source 2 d'alimentation V_a qui leur est adaptée et d'autre part sont activées ou non par l'intermédiaire de n portes de transfert 3 à commandes logiques L_1 à L_n qui connectent ou non chacune en même temps un nombre 2 puissance $n-1$ (2^{n-1}) unités élémentaires lumineuses 1 constituant un sous pixel à l'autre borne de la source 2 d'alimentation V_a selon les mots binaires de n bits qui correspondent à la valeur de l'intensité de couleur souhaitée pour le sous pixel et qui sont appliqués sur les commandes logiques L_1 à L_n de telle sorte que l'on obtienne 2^n valeurs de l'intensité de couleur émis par impulsions lumineuses 16 par le sous pixel.
- 15 w) L'ensemble des 2^n unités élémentaires lumineuses 1 constituant un sous pixel ont une électrode commune 8 qui est connectée à la source 2 d'alimentation V_a ,
- 25 x) La substance lumineuse 7 correspondant à une couleur recouvre l'ensemble des 2^n unités élémentaires lumineuses 1 constituant un sous pixel qui peut être scellé par le moyen 17 lequel peut aussi servir de lien conducteur entre l'électrode commune 8 et la source 2 d'alimentation V_a s'il est revêtu à l'intérieur d'un isolant 13.
- 30 y) Les 2^n unités élémentaires lumineuses 1 avec les n portes de transfert 3 dont les commandes logiques L_1 à L_n sont connectées à une mémoire d'affichage 22 elle-même connectée une mémoire suivante 23 constituent un circuit de base 24 ayant n

entrées Dn ainsi qu'une entrée M.AFF permettant de valider la mémoire d'affichage 22 et une entrée M.SVT permettant de valider la mémoire suivante 23 ainsi que deux bornes pour se connecter à la source 2 d'alimentation Va.

- 5 z) Le circuit de base 24 constituant un sous pixel peut comporter une ou $n = 8$ entrées D1 ou D1 à D8 parce que le sous pixel peut être constitué d'une ou de 256 unités élémentaires lumineuses 1 connectées à une ou 8 portes de transfert 3 de manière à commander chacune une ou (2^{n-1}) unités élémentaires lumineuses 1 et ayant une mémoire d'affichage 22 de un bit ou 8 bits elle-même connectée à une mémoire suivante 23 de un ou 8 bits pouvant être ainsi utilisés dans des applications
- 10 nécessitant des écrans à affichage monochrome en demi-tons ou non de type alphanumériques et/ou graphiques ou des écrans à affichage vidéo polychrome.
- aa) tous les sous pixel constituant l'écran et symbolisés chacun par le circuit de base 24 sont connectés sur un bus commun de 8 bits par leurs entrées D1 à D8 et ont l'entrée de validation de leur mémoire d'affichage 22 connectée entre elles à une
- 15 seule source de signal M.AFF,
- bb) à chaque sous pixel est associé à un dispositif 25 qui est une bascule de type D qui comporte une entrée D connectée à la sortie Q du dispositif 25 du sous pixel précédent s'il existe ou du dispositif qui envoie les mots de 8 bits sur le bus auquel sont connectées les entrées D1 à D8 du circuit de base 24 et qui comporte une
- 20 entrée CP recevant un signal d'horloge H synchronisé avec chaque mot de 8 bits présent sur le bus et comporte une entrée R pouvant recevoir un signal de Reset remettant la bascule D à son état initial et comportant une sortie Q qui est connectée à l'entrée de validation M.SVT de la mémoire suivante 23 du sous pixel et à l'entrée D du dispositif 25 du sous pixel suivant s'il existe de manière à ce que chaque sous
- 25 pixel de l'écran constitue ainsi le maillon d'un registre à décalage,
- cc) à chaque coup d'horloge H se présentant simultanément sur les entrées CP de tous les dispositif 25 de tous les sous pixel de l'écran un signal de mémorisation se propage ainsi de bascule D en bascule D permettant la validation dans la mémoire suivante 23 du sous pixel correspondant du mot de 8 bits qui lui est destiné et qui est
- 30 présent sur le bus de données au même moment et qui correspondant à l'intensité de la couleur suivante qui sera affichée ensuite par le sous pixel,

- dd) pour chaque sous pixel constituant l'écran le circuit de base 24 associé au dispositif 25 constituent un circuit 26 dont les entrées D1 à D8 sont connectées sur un bus commun de 8 bits et dont l'entrée SP.PCD permet la validation de la mémoire suivante 23 en provenance du sous pixel précédent et ayant une sortie SP.SVT 5 permettant la transmission du signal de validation de mémoire suivante 23 au sous pixel suivant et ayant les entrées communes à tous les sous pixels de l'écran permettant de recevoir l'horloge H le Reset et le signal M.AFF permettant la validation de la mémoire d'affichage 22 ainsi que les bornes permettant de se connecter à la source 2 d'alimentation Va.
- 10 ee) On réalisé sous la forme d'un circuit intégré 27 un bloc de n lignes de m (n,m) sous pixel 18 constitués selon le circuit 26 dont les entrées D1 à D8 sont connectés sur un bus commun comportant 8 bits et dont l'entrée SP.PCD permet la validation de la mémoire suivante 23 en provenance du bloc de (n,m) sous pixel précédent et ayant 15 une sortie SP.SVT permettant la transmission du signal de validation de mémoire suivante 23 au bloc de (n,m) sous pixel suivant et ayant les entrées communes à tous les sous pixels de l'écran permettant de recevoir l'horloge H le Reset et le signal M.AFF pour la validation de la mémoire d'affichage 22 ainsi que les bornes permettant de se connecter à la source 2 d'alimentation Va et auquel on ajoute par 20 dessus une électrode transparente commune 8 qui vient sceller l'ensemble par l'intermédiaire du moyen 17 pour former le circuit intégré 34.
- ff) on constitue un écran vidéo ayant un affichage d'un seul tenant en disposant sur un circuit imprimé 28 comportant un bus commun de 8 bits permettant de connecter les entrées D1 à D8 d'une mosaïque de circuits 34 ainsi que leurs entrées SP.PCD à leurs sorties SP.SVT pour les chaîner entre eux et ayant les entrées communes à 25 tous les sous pixels de l'écran leur permettant de recevoir l'horloge H le Reset et le signal M.AFF ainsi que la source 2 d'alimentation Va,
- gg) la mosaïque de circuits 34 constitue la source d'excitation sous pixel par sous pixel des triplets RVB formés avec les substances luminescentes 7 déposées par sérigraphie sur le support transparent 6 d'un seul tenant placé au dessus de 30 l'ensemble des éléments constituant ainsi un écran dont la surface d'affichage est d'un seul tenant.

- hh) les sous pixel constituant l'écran et symbolisé chacun par le circuit de base 24 sont associés à un dispositif 25 qui est une bascule de type D dont la sortie Q est connectée aux entrées de validation M.SVT des mémoires suivantes 23 par groupes de trois sous pixel constituant ainsi un circuit 31 pour chacun des triplets des points de l'écran,
- 5
- ii) les entrées des mémoires suivantes 23 sont toutes connectées à un bus de données de 24 bits de manière à recevoir en même temps lorsqu'elles sont validées les trois mots de 8 bits en parallèle correspondant à chaque triplet permettant ainsi d'avoir une fréquence d'horloge trois fois plus basse pour le chargement des données dans les mémoires suivantes 23.
- 10
- jj) les circuits intégrés 34 peuvent avoir une forme carré, rectangulaire ou hexagonale disposés sur des circuits imprimés 28 ayant une forme permettant de réaliser des écrans vidéo de faible épaisseur dont la surface d'affichage peut être plane, cylindrique et même sphérique.

REVENDICATIONS

- 1 Dispositif d'écran vidéo numérique comportant un ou plusieurs circuits imprimés sur lesquels sont montés un ou plusieurs circuits intégrés qui
5 sont recouverts par une surface d'affichage d'un seul tenant revêtue d'une ou plusieurs substances luminescentes qui sont excitées par les circuits intégrés placés en dessous et caractérisé en ce que :
- a) à chaque sous pixel 18 faisant partie d'un point de l'image affichée par l'écran vidéo on fait correspondre un certain nombre d'unités
10 élémentaires lumineuses 1 dont chacune émet un flux élémentaire de photons Φ_e correspondant à une intensité de couleurs élémentaire lorsqu'elle est activée,
- b) les unités élémentaires lumineuses 1 constituant chaque sous pixel 18 sont toutes connectées d'une part à la borne commune d'une
15 source 2 d'alimentation V_a qui leur est adaptée et d'autre part sont activées ou non par l'intermédiaire d'interrupteurs électroniques 3 qui connectent ou non chacun en même temps une ou plusieurs unités élémentaires lumineuses 1 à l'autre borne de la source 2 d'alimentation V_a selon les mots binaires appliqués sur leurs
20 commandes logiques et correspondants aux valeurs des intensités de couleurs souhaitées pour chaque sous pixel,
- c) chaque unité élémentaire lumineuse 1 activée émet un flux élémentaire continu ou pulsé de photons Φ_e qui s'additionne aux
25 autres flux élémentaires continus ou pulsés de photons Φ_e émis en même temps par les autres unités élémentaires lumineuses 1 activées du sous pixel dont elles font partie pour former un flux total continu ou pulsé de photons Φ_{sp} qui correspond à l'intensité de la couleur du sous pixel,
- d) toutes les unités élémentaires lumineuses 1 activées de tous les
30 sous pixel de l'écran émettent des flux élémentaires de photons Φ_e

de manière continue ou en impulsions de fréquence donnée ne dépendant que de la source 2 d'alimentation V_a selon qu'elle est continue ou en fréquence,

5

e) la fréquence des impulsions de l'ensemble des flux total Φ_{sp} correspondant à l'intensité des couleurs émis en même temps par tous les sous pixel de tous les points de l'image de l'écran correspond à la fréquence de rafraîchissement de l'image affichée par l'écran vidéo et est donc uniquement fonction de la source 2 d'alimentation V_a continue ou en impulsions de fréquence donnée adaptée à la nature des unités élémentaires lumineuses 1,

10

15

f) pour chaque sous pixel chaque interrupteur électronique 3 lui appartenant a sa commande logique connectée à la sortie d'une bascule constituant la mémoire d'affichage 22 du sous pixel et disposant d'une entrée de validation d'affichage permettant de mémoriser la valeur du mot binaire correspondant à l'intensité de la couleur affichée par le sous pixel,

2 Dispositif selon la revendication 1 caractérisé en ce que :

20

a) le flux total continu ou pulsé Φ_{sp} correspondant à l'intensité de la couleur émise par un sous pixel s'additionne aux flux total continu ou pulsé Φ_{sp} correspondant à l'intensité de la couleur émise en même temps par les deux autres sous pixel avec lesquels il constitue un triplet RVB pour obtenir par addition tri chromique la couleur du point correspondant de l'image,

25

b) l'addition tri chromique de l'ensemble des flux total continu ou pulsé Φ_{sp} correspondant à l'intensité des couleurs émis en même temps par tous les sous pixel constituant les triplets RVB de tous les points de l'image correspondent ainsi à toutes les couleurs de l'image affichée par l'écran vidéo,

30

3 Dispositif selon les revendications 1 et 2 caractérisé en ce que :

- 5
- a) toutes les entrées de validation des bascules des mémoires d'affichage 22 de tous les sous pixel de l'écran sont connectées ensemble pour permettre leur validation simultanée,
- b) les entrées des bascules constituant la mémoire d'affichage 22 de chaque sous pixel sont connectées aux sorties des bascules constituant la mémoire suivante 23 de chaque sous pixel dont l'entrée de validation permet de mémoriser les mots binaires correspondants aux intensités de couleurs suivantes qui seront affichées ensuite par les sous pixel de l'écran,
- 10
- c) les mots binaires correspondant aux intensités des couleurs suivantes qui seront affichées ensuite par les sous pixel se présentent sur les entrées de mémoires suivantes 23 par un bus commun sur lequel sont connectés toutes les mémoires suivantes 23 de chaque sous pixel de l'écran,
- 15
- d) un dispositif 25 valide l'entrée permettant la mémorisation dans la mémoire suivante 23 du sous pixel du mot binaire présent sur le bus qui lui est destiné de telle sorte que lorsque toutes les mémoires suivantes 23 de tous les sous pixels de l'écran ont reçus le mot binaire qui leur est destiné un signal est appliqué sur l'entrée commune de validation des mémoires d'affichage 22 de tous les sous pixels de l'écran permettant le transfert simultané du contenu des mémoires suivantes 23 dans les mémoires d'affichage 22 ce qui affiche d'un seul coup la totalité de l'image suivante sur l'écran,
- 20
- e) pendant que l'image est affichée dans sa totalité de manière permanente ou en fréquence les mémoires suivantes 23 peuvent être chargées avec les mots binaires correspondants dans leur ensemble aux couleurs de l'image suivante à une fréquence qui dépend de la fréquence de changement de l'image et de sa résolution permettant ainsi de séparer la fréquence de chargement
- 25
- ou de changement de l'image suivante de la fréquence de rafraîchissement de l'image affichée.
- 30

- 4 Dispositif selon les revendications 1 à 3 caractérisé en ce que chaque unité lumineuse élémentaire 1 est une cellule à gaz 14 contenu entre d'une part un support transparent 6 revêtu d'une substance luminescente 7 et d'une électrode 8 qui est connectée directement à la source 2 d'alimentation V_a et d'autre part un support isolant 9 sur lequel on a réalisé la capacité 4 entourée par un isolant 13 en la constituant d'une électrode 10 déposée sur un diélectrique 12 lui même déposé sur l'électrode 11 qui est connectée à la porte de transfert 3 qui est elle même connectée à l'autre borne de la source 2 d'alimentation V_a afin que selon l'état de son entrée de commande logique L cette porte de transfert 3 soit conductrice ou bloquée pour appliquer ou non la source 2 d'alimentation V_a à l'ensemble.
- 5
- 10
- 5 Dispositif selon les revendications 1 à 4 caractérisé en ce que :
- 15
- a) le gaz 14 peut être semblable à ceux qui sont utilisés dans les écrans plasma et possède une tension d'ionisation $|V_i|$ qui est caractéristique de sa pression et de sa composition,
- b) la source 2 d'alimentation V_a génère une tension d'alimentation périodique dont la valeur crête à crête est légèrement supérieure à un multiple de la valeur absolue de la tension d'ionisation $|V_i|$ du gaz 14,
- 20
- c) la capacité 4 peut avoir une valeur allant de quelques pico à dizaines de nano-Farad selon la conductibilité du gaz 14 lorsqu'il est ionisé et selon la valeur du temps d'ionisation T_i que l'on désire obtenir comme temps élémentaire T_e pour les flux élémentaires Φ_e et déterminée pour limiter le courant débité par la source 2 à travers le gaz 14 ionisé et rattraper la tension d'alimentation V_a pour la maintenir à cette valeur jusqu'à la prochaine ionisation du gaz 14 qui se comporte ainsi toujours comme un plasma fonctionnant en mode d'impulsions de ionisations luminescentes subnormales ou normales avec une consommation instantanée en courant de l'ordre de quelques micro ou dizaines de micro-Ampères,
- 25
- 30

- d) l'électrode 8 est une fine grille conductrice ou est transparente aux impulsions lumineuses 15 émises par le gaz 14,
- e) la substance lumineuse 7 a une composition semblable à celle utilisée pour les écrans plasma et à pour rôle de transformer les impulsions lumineuses 15 émises par le gaz 14 lorsqu'il est ionisé en impulsions lumineuses 16 de longueur d'onde visible caractéristique de sa composition,
- f) lorsque la porte de transfert 3 est bloquée par l'application d'un signal logique correspondant à son entrée de commande logique L le gaz 14 ne se ionise pas et l'unité lumineuse élémentaire 1 est inactive alors que lorsque la porte de transfert 3 est rendue conductrice par l'application du signal logique correspondant sur son entrée de commande logique L l'unité lumineuse élémentaire 1 est activée et le gaz 14 se ionise dès que la valeur absolue de la tension d'alimentation $|V_a|$ appliquée aux bornes 8 et 10 est égale à la valeur absolue de sa tension d'ionisation $|V_i|$ de telle sorte que le courant qu'il conduit alors charge la capacité 4 qui rattrape la tension d'alimentation V_a en s'y maintenant parce que la ionisation s'est arrêtée jusqu'à ce que la valeur absolue de la tension d'alimentation $|V_a|$ soit de nouveau égale à la valeur absolue de la tension d'ionisation $|V_i|$ et génère une autre impulsion lumineuse 15 qui sera transformée en une autre impulsion élémentaire lumineuse 16,
- g) la fréquence des impulsions de ionisations lumineuses 15 transformées en impulsions lumineuses 16 est uniquement fonction de la valeur crête à crête de la tension d'alimentation V_a et de sa fréquence ainsi que de la valeur de la tension de ionisation $|V_i|$ du gaz 14 et de la valeur de la capacité 4 et est la même pour toutes les unités lumineuses élémentaires 1 activées de tous les sous pixel constituant l'écran et correspondant donc à la fréquence de rafraîchissement de l'image qu'il affiche.

6 Dispositif selon les revendications 1 à 5 caractérisé en ce que :

- 5 a) pour chaque sous pixel constituant l'écran vidéo on assemble un nombre 2 puissance n (2^n) unités lumineuses élémentaires 1 qui sont toutes connectées d'une part à la borne commune d'une source 2 d'alimentation V_a qui leur est adaptée et d'autre part sont
- 10 activées ou non par l'intermédiaire de n portes de transfert 3 à commandes logiques L1 à Ln qui connectent ou non chacune en même temps un nombre 2 puissance n-1 (2^{n-1}) unités élémentaires lumineuses 1 constituant un sous pixel à l'autre borne de la source 2 d'alimentation V_a selon les mots binaires de n bits qui correspondent à la valeur de l'intensité de couleur souhaitée pour le sous pixel et qui sont appliqués sur les commandes logiques L1 à Ln de telle sorte que l'on obtienne 2^n valeurs de l'intensité de couleur émis par impulsions lumineuses 16 par le sous pixel,
- 15 b) l'ensemble des 2^n unités élémentaires lumineuses 1 constituant un sous pixel ont une électrode commune 8 qui est connectée à la source 2 d'alimentation V_a ,
- 20 c) la substance luminescente 7 correspondant à une couleur recouvre l'ensemble des 2^n unités élémentaires lumineuses 1 constituant un sous pixel qui peut être scellé par le moyen 17 lequel peut aussi servir de lien conducteur entre l'électrode commune 8 et la source 2 d'alimentation V_a s'il est revêtu à l'intérieur d'un isolant 13,
- 25 d) les 2^n unités élémentaires lumineuses 1 avec les n portes de transfert 3 dont les commandes logiques L1 à Ln sont connectées à une mémoire d'affichage 22 elle même connectée une mémoire suivante 23 constituent un circuit de base 24 ayant n entrées Dn ainsi qu'une entrée M.AFF permettant de valider la mémoire d'affichage 22 et une entrée M.SVT permettant de valider la mémoire suivante 23 ainsi que deux bornes pour se connecter à la
- 30 source 2 d'alimentation V_a .

- 7 Dispositif selon la revendication 6 caractérisé en ce que le circuit de base 24 constituant un sous pixel peut comporter une ou $n = 8$ entrées D1 ou D1 à D8 parce que le sous pixel peut être constitué d'une ou de 256 unités élémentaires lumineuses 1 connectées à une ou 8 portes de transfert 3 de manière à commander chacune une ou (2^{n-1}) unités élémentaires lumineuses 1 et ayant une mémoire d'affichage 22 de un bit ou 8 bits elle même connectée à une mémoire suivante 23 de un ou 8 bits pouvant être ainsi utilisés dans des applications nécessitant des écrans à affichage monochrome en demi-tons ou non de type alphanumériques et/ou graphiques ou des écrans à affichage vidéo polychrome.
- 8 Dispositif selon les revendications 1 à 7 caractérisé en ce que :
- a) tous les sous pixel constituant l'écran et symbolisés chacun par le circuit de base 24 sont connectés sur un bus commun de 8 bits par leurs entrées D1 à D8 et ont l'entrée de validation de leur mémoire d'affichage 22 connectée entre elles à une seule source de signal M.AFF,
- b) à chaque sous pixel est associé à un dispositif 25 qui est une bascule de type D qui comporte une entrée D connectée à la sortie Q du dispositif 25 du sous pixel précédent s'il existe ou du dispositif qui envoie les mots de 8 bits sur le bus auquel sont connectées les entrées D1 à D8 du circuit de base 24 et qui comporte une entrée CP recevant un signal d'horloge H synchronisé avec chaque mot de 8 bits présent sur le bus et comporte une entrée R pouvant recevoir un signal de Reset remettant la bascule D à son état initial et comportant une sortie Q qui est connectée à l'entrée de validation M.SVT de la mémoire suivante 23 du sous pixel et à l'entrée D du dispositif 25 du sous pixel suivant s'il existe de manière à ce que chaque sous pixel de l'écran constitue ainsi le maillon d'un registre à décalage,

5 c) à chaque coup d'horloge H se présentant simultanément sur les entrées CP de tous les dispositifs 25 de tous les sous pixel de l'écran un signal de mémorisation se propage ainsi de bascule D en bascule D permettant la validation dans la mémoire suivante 23 du sous pixel correspondant du mot de 8 bits qui lui est destiné et qui est présent sur le bus de données au même moment et qui correspond à l'intensité de la couleur suivante qui sera affichée ensuite par le sous pixel,

10 d) pour chaque sous pixel constituant l'écran le circuit de base 24 associé au dispositif 25 constitue un circuit 26 dont les entrées D1 à D8 sont connectées sur un bus commun de 8 bits et dont l'entrée SP.PCD permet la validation de la mémoire suivante 23 en provenance du sous pixel précédent et ayant une sortie SP.SVT permettant la transmission du signal de validation de mémoire
15 suivante 23 au sous pixel suivant et ayant les entrées communes à tous les sous pixels de l'écran permettant de recevoir l'horloge H le Reset et le signal M.AFF permettant la validation de la mémoire d'affichage 22 ainsi que les bornes permettant de se connecter à la source 2 d'alimentation Va.

20 9 Dispositif selon les revendications 1 à 8 caractérisé en ce que l'on réalisé sous la forme d'un circuit intégré 27 un bloc de n lignes de m (n,m) sous pixel 18 constitués selon le circuit 26 dont les entrées D1 à D8 sont connectés sur un bus commun comportant 8 bits et dont l'entrée SP.PCD permet la validation de la mémoire suivante 23 en
25 provenance du bloc de (n,m) sous pixel précédent et ayant une sortie SP.SVT permettant la transmission du signal de validation de mémoire suivante 23 au bloc de (n,m) sous pixel suivant et ayant les entrées communes à tous les sous pixels de l'écran permettant de recevoir l'horloge H le Reset et le signal M.AFF pour la validation de la mémoire
30 d'affichage 22 ainsi que les bornes permettant de se connecter à la source 2 d'alimentation Va et auquel on ajoute par dessus une

électrode transparente commune 8 qui vient sceller l'ensemble par l'intermédiaire du moyen 17 pour former le circuit intégré 34.

10 Dispositif selon les revendication 1 à 9 caractérisé en ce que :

5 a) on constitue un écran vidéo ayant un affichage d'un seul tenant en disposant sur un circuit imprimé 28 comportant un bus commun de 8 bits permettant de connecter les entrées D1 à D8 d'une mosaïque de circuits 34 ainsi que leurs entrées SP.PCD à leurs sorties SP.SVT pour les chaîner entre eux et ayant les entrées communes à tous les sous pixels de l'écran leur permettant de recevoir 10 l'horloge H le Reset et le signal M.AFF ainsi que la source 2 d'alimentation Va,

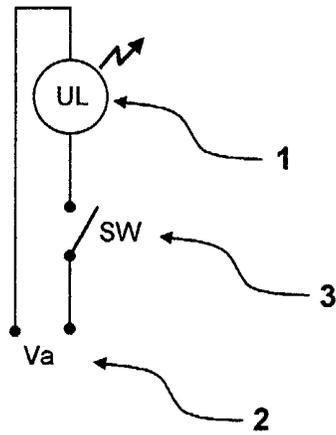
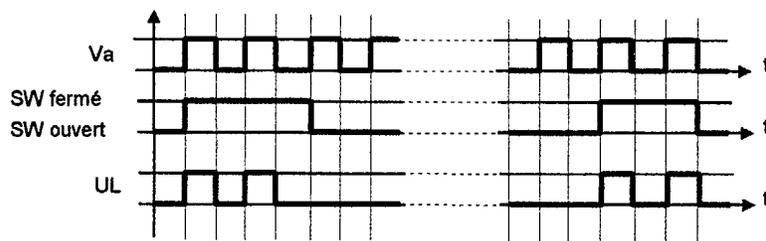
15 b) la mosaïque de circuits 34 constitue la source d'excitation sous pixel par sous pixel des triplets RVB formés avec les substances luminescentes 7 déposées par sérigraphie sur le support transparent 6 d'un seul tenant placé au dessus de l'ensemble des éléments constituant ainsi un écran dont la surface d'affichage est d'un seul tenant.

11 Dispositif selon les revendications 1 à 10 caractérisé en ce que :

20 a) les sous pixel constituant l'écran et symbolisé chacun par le circuit de base 24 sont associés à un dispositif 25 qui est une bascule de type D dont la sortie Q est connectée aux entrées de validation M.SVT des mémoires suivantes 23 par groupes de trois sous pixel constituant ainsi un circuit 31 pour chacun des triplets des points de l'écran,

25 b) les entrées des mémoires suivantes 23 sont toutes connectées à un bus de données de 24 bits de manière à recevoir en même temps lorsqu'elles sont validées les trois mots de 8 bits en parallèle correspondant à chaque triplet permettant ainsi d'avoir une 30 fréquence d'horloge trois fois plus basse pour le chargement des données dans les mémoires suivantes 23.

- 5 12 Dispositif selon les revendications 1 à 11 caractérisé en ce que les circuits intégrés 34 peuvent avoir une forme carré, rectangulaire ou hexagonale disposés sur des circuits imprimés 28 ayant une forme permettant de réaliser des écrans vidéo de faible épaisseur dont la surface d'affichage peut être plane, cylindrique et même sphérique.
- 10 13 Dispositif selon les revendications 1 à 12 caractérisé en ce que les UL pourraient être de simples lampes à filaments ou flash, des diodes électroluminescentes, des Thin Film Electroluminescent, des cellules à plasma, des cellules à cristaux liquides, des Light Emitting Polymer ou des micro miroirs.
- 15 14 Dispositif selon les revendications 1 à 13 caractérisé en ce que à partir du circuit de base de la figure 15 on réalise un écran vidéo avec une matrice de sous pixels validés sous pixel par sous pixel par un dispositif d'adressage matriciel X,Y classique tel que ceux utilisés pour les matrices de diodes, de LCD ou les cellules à plasma.

**Figure 1****Figure 2**

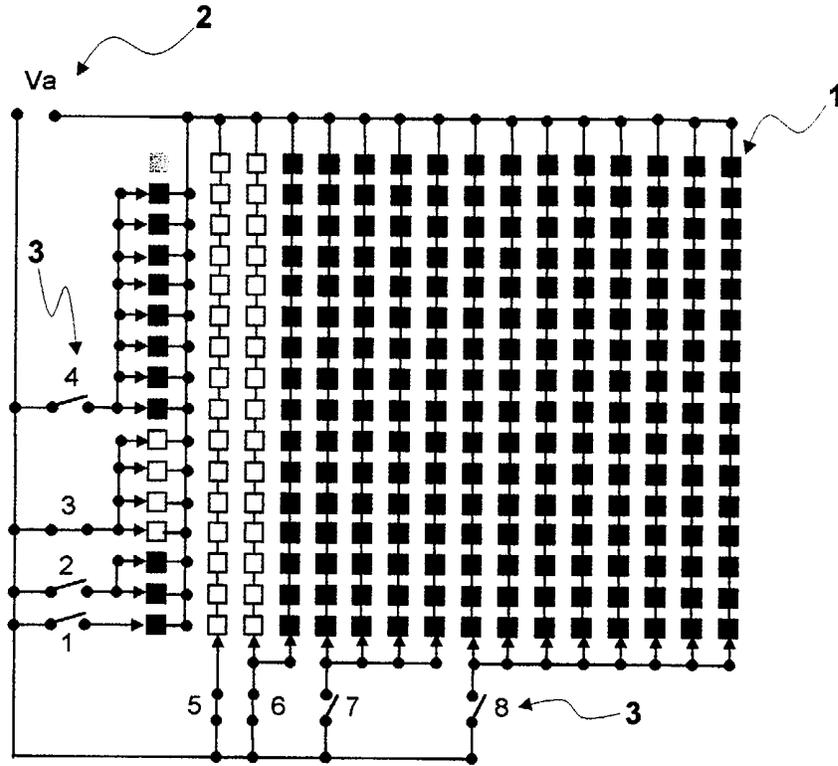


Figure 3

N	8	7	6	5	4	3	2	1
Σ	128	64	32	16	8	4	2	1
0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1
2	0	0	0	0	0	0	1	0
3	0	0	0	0	0	0	1	1
4	0	0	0	0	0	1	0	0
5	0	0	0	0	0	1	0	1
6	0	0	0	0	0	1	1	1
7	0	0	0	0	1	0	0	0
8	0	0	0	0	1	0	0	1
9	0	0	0	0	1	0	1	0
...								
36	0	0	1	1	0	1	0	0
...								
245	1	1	1	1	0	1	0	1
246	1	1	1	1	0	1	1	0
247	1	1	1	1	0	1	1	1
248	1	1	1	1	1	0	0	0
249	1	1	1	1	1	0	0	1
250	1	1	1	1	1	0	1	0
251	1	1	1	1	1	0	1	1
252	1	1	1	1	1	1	0	0
253	1	1	1	1	1	1	0	1
254	1	1	1	1	1	1	1	0
255	1	1	1	1	1	1	1	1

Figure 4

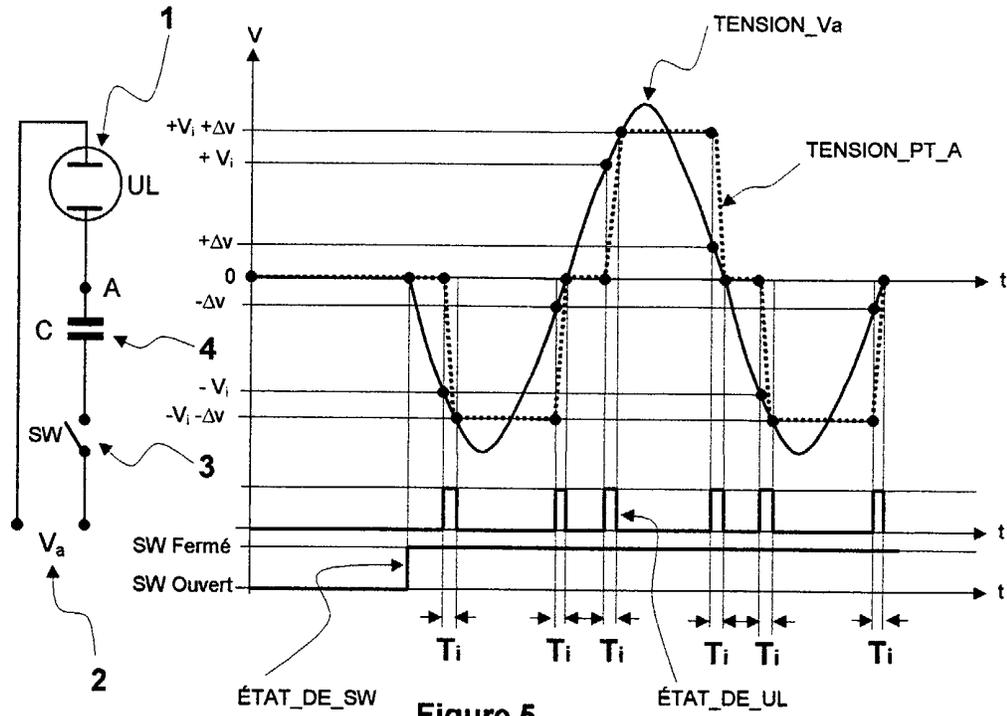


Figure 5

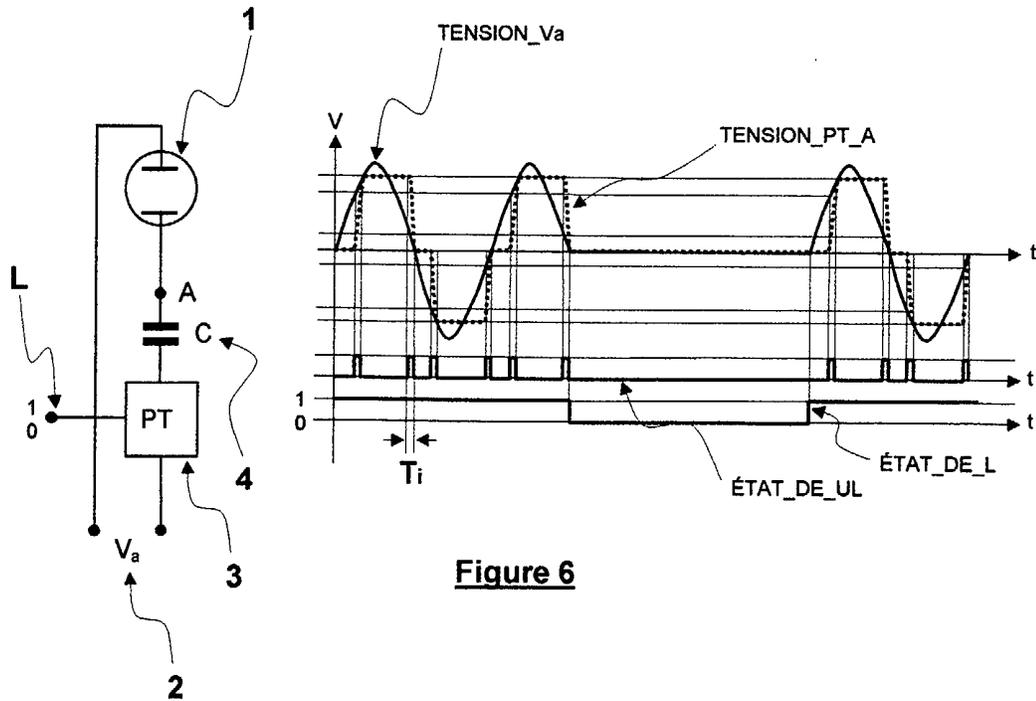


Figure 6

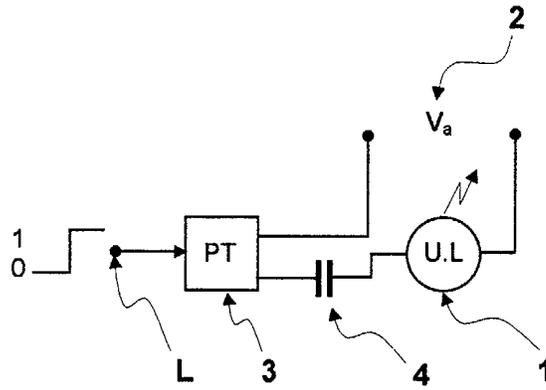


Figure 7

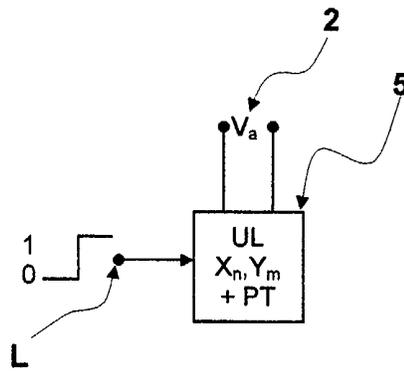


Figure 8

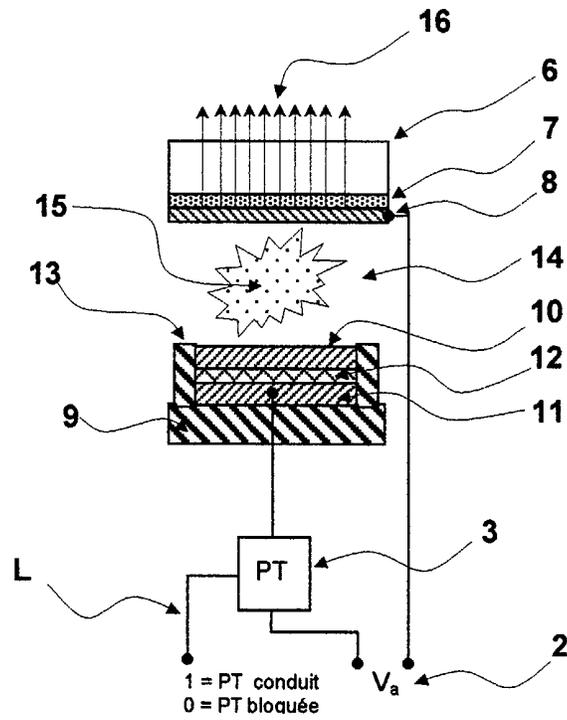


Figure 9

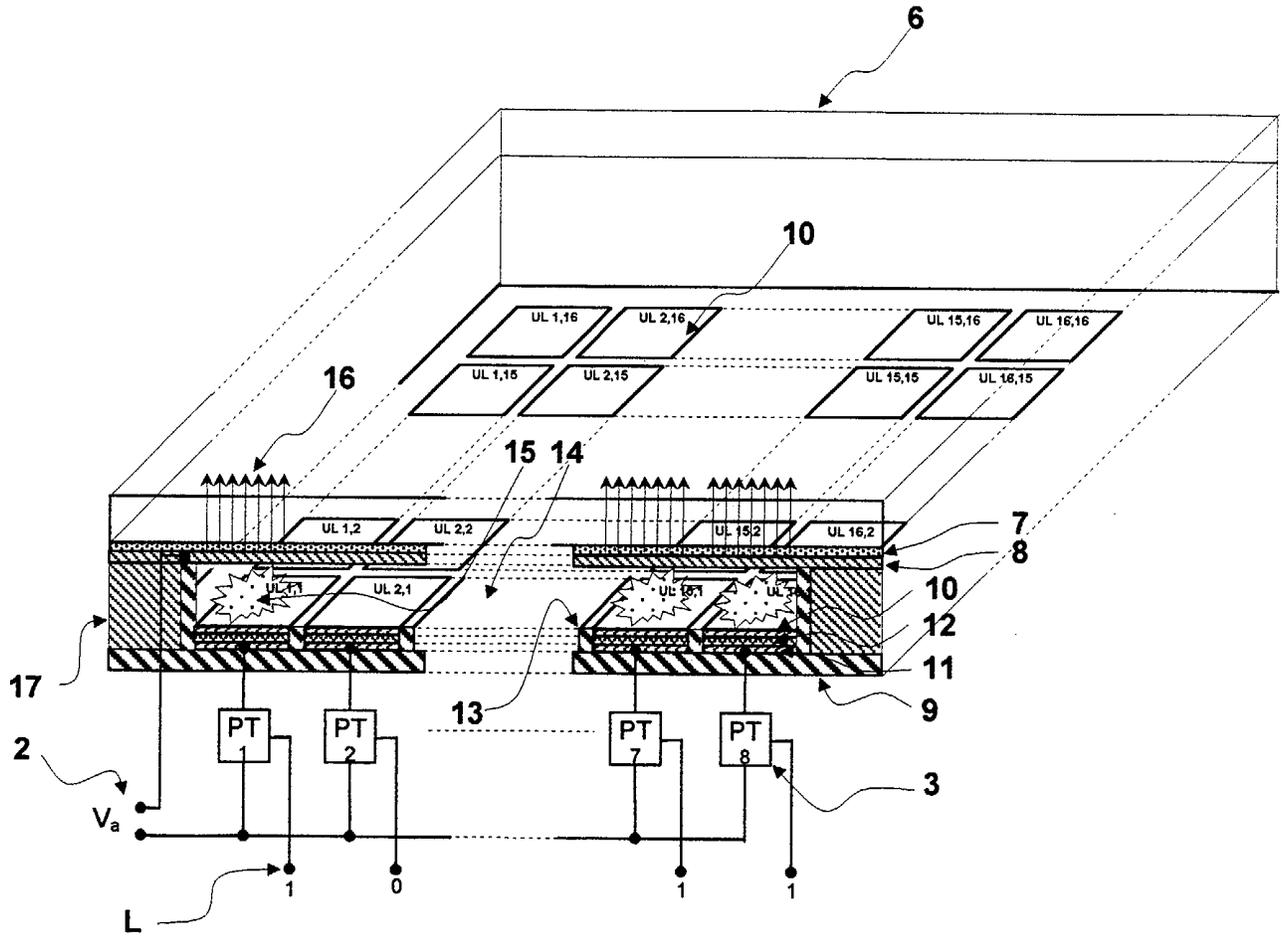


Figure 10

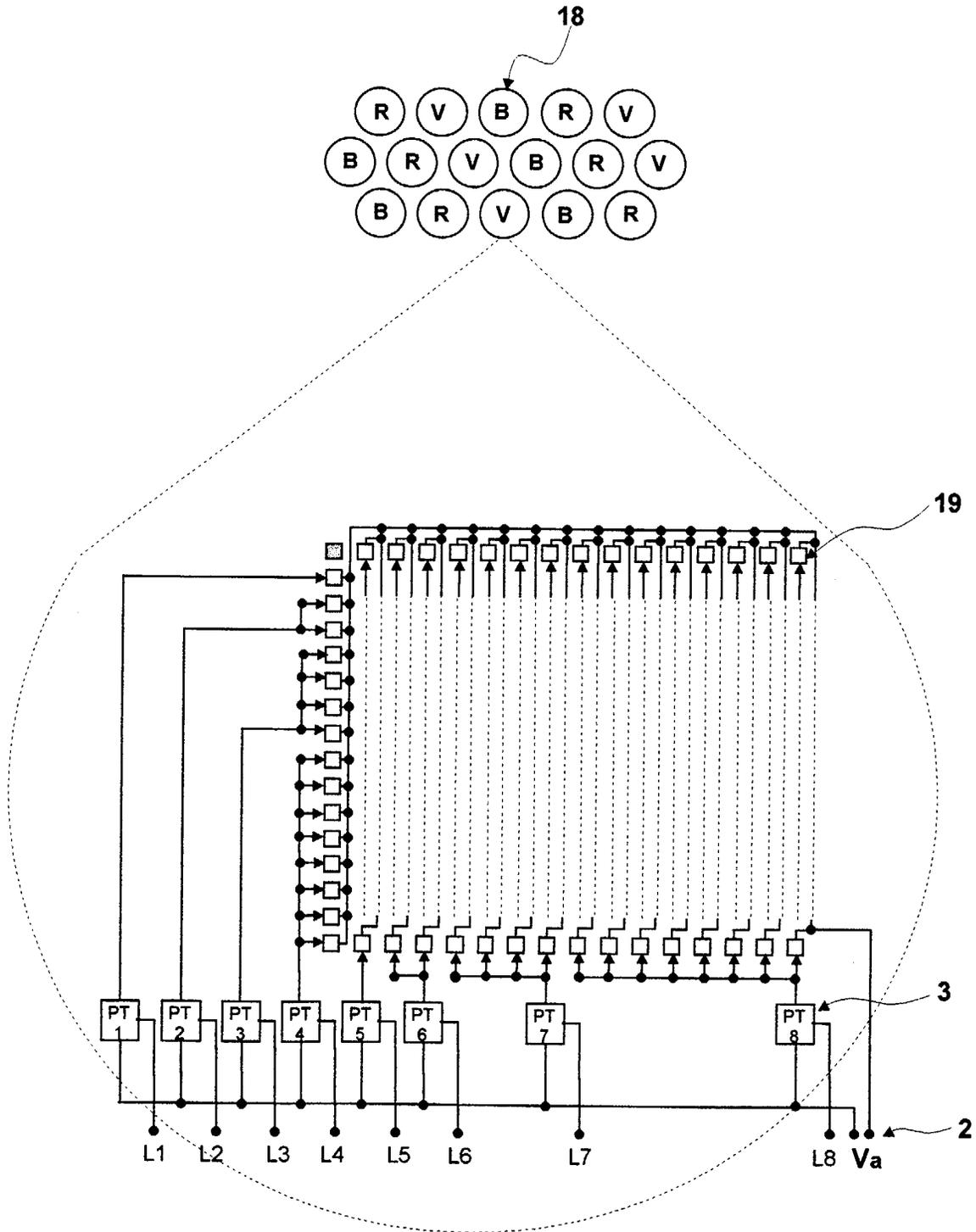


Figure 11

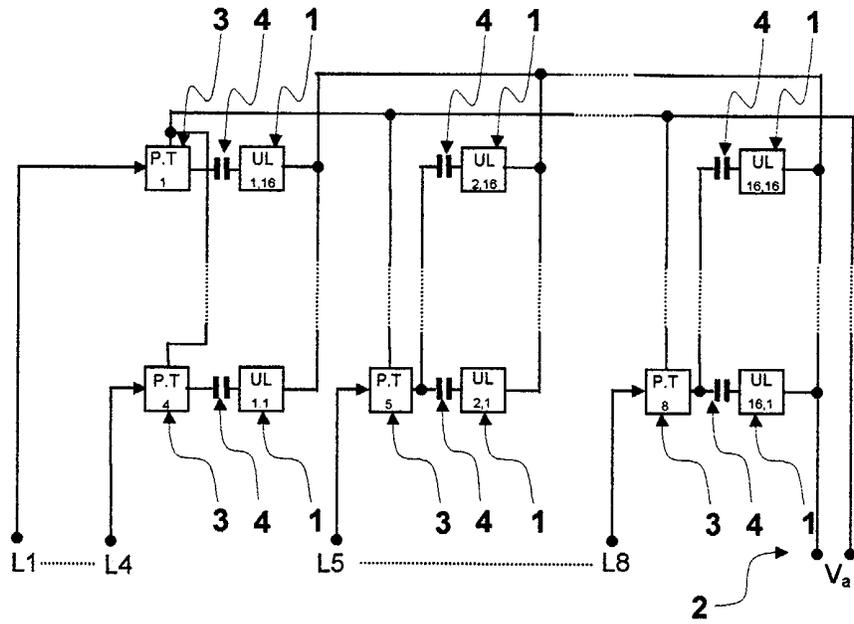


Figure 12

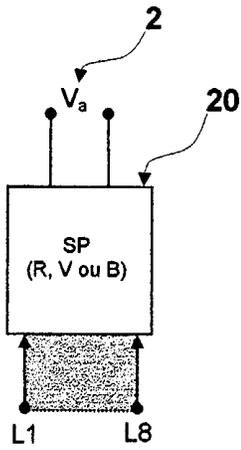


Figure 13

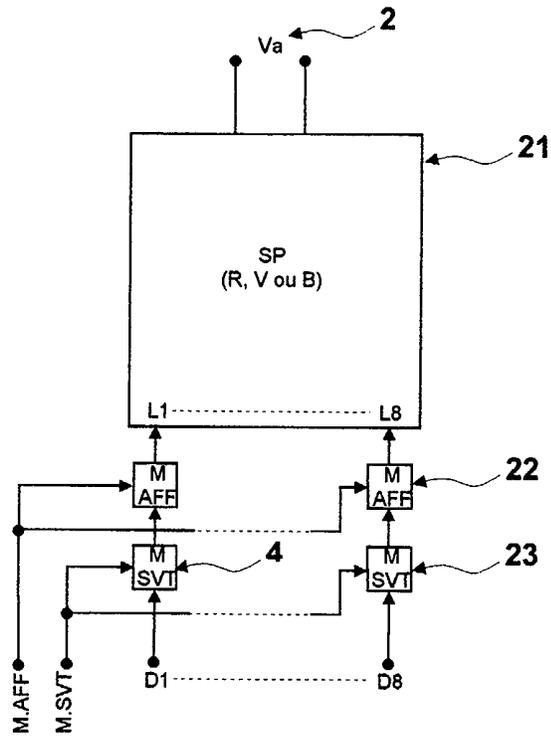


Figure 14

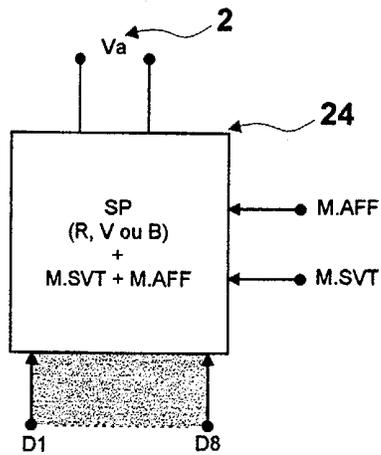


Figure 15

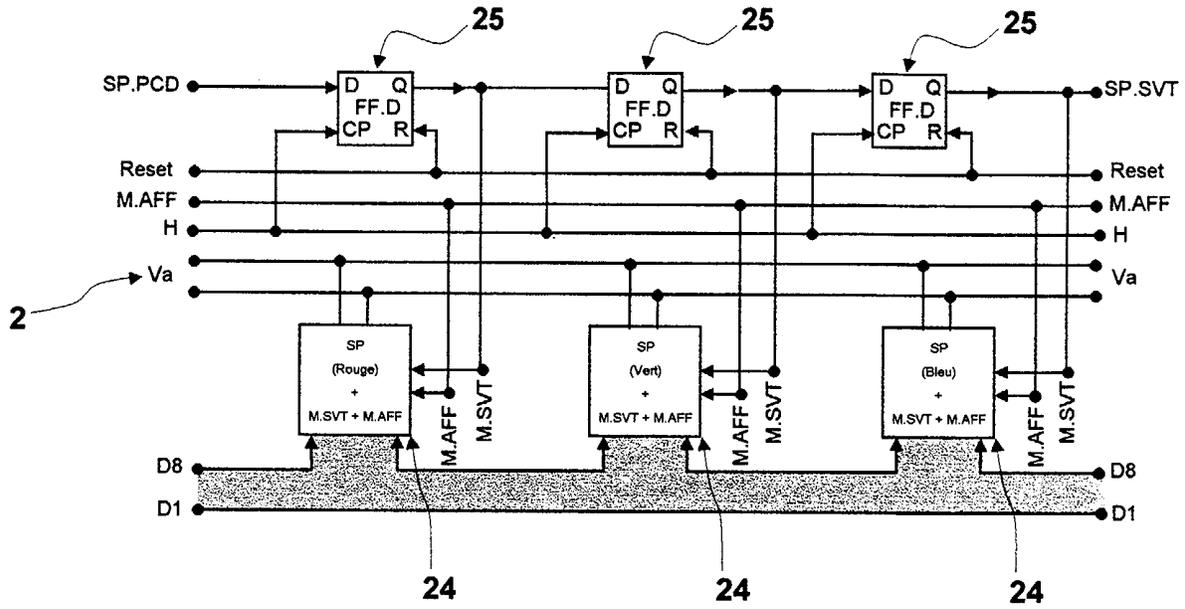


Figure 16

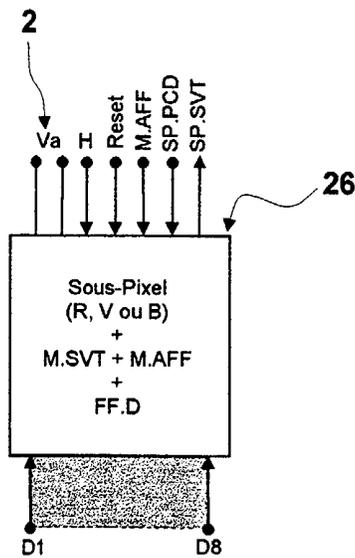


Figure 17

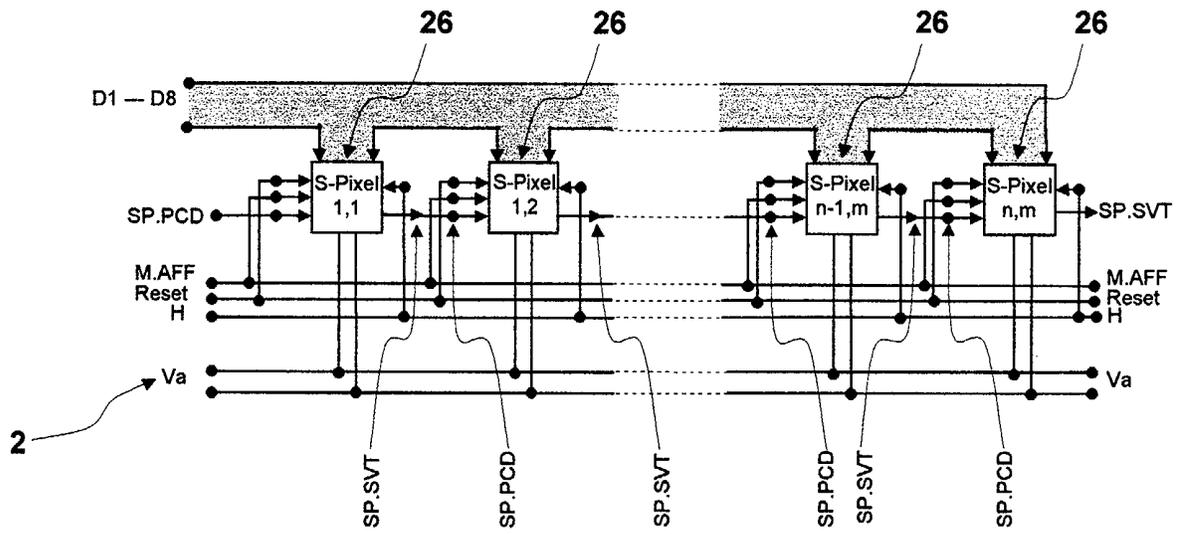


Figure 18

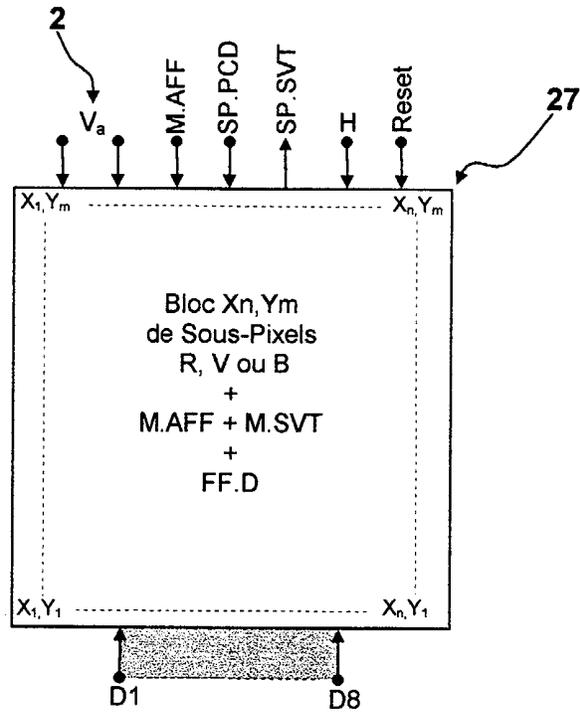


Figure 19

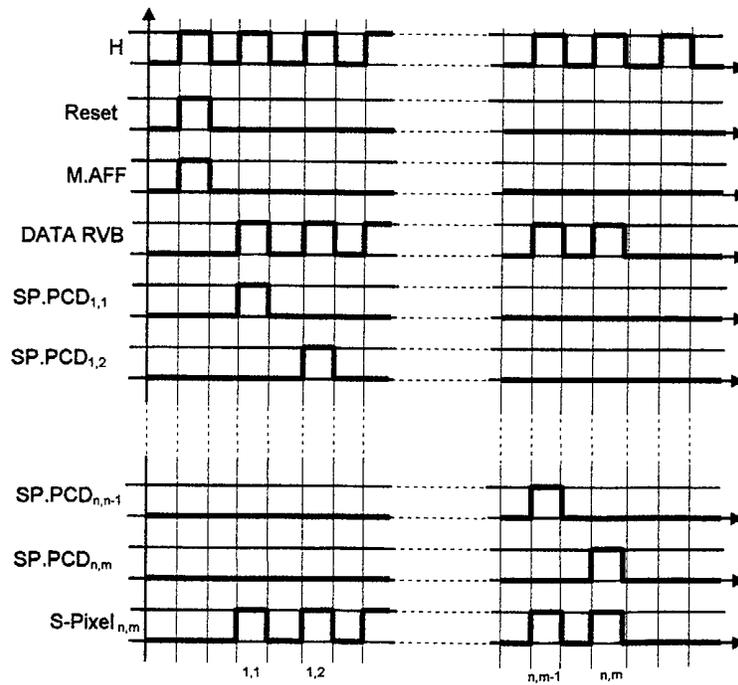


Figure 20

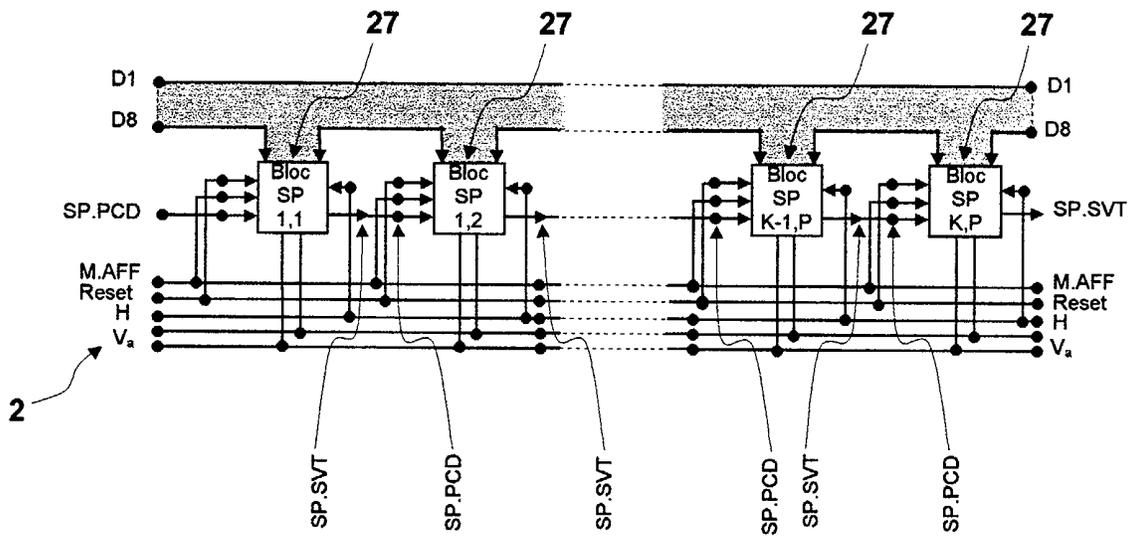


Figure 21

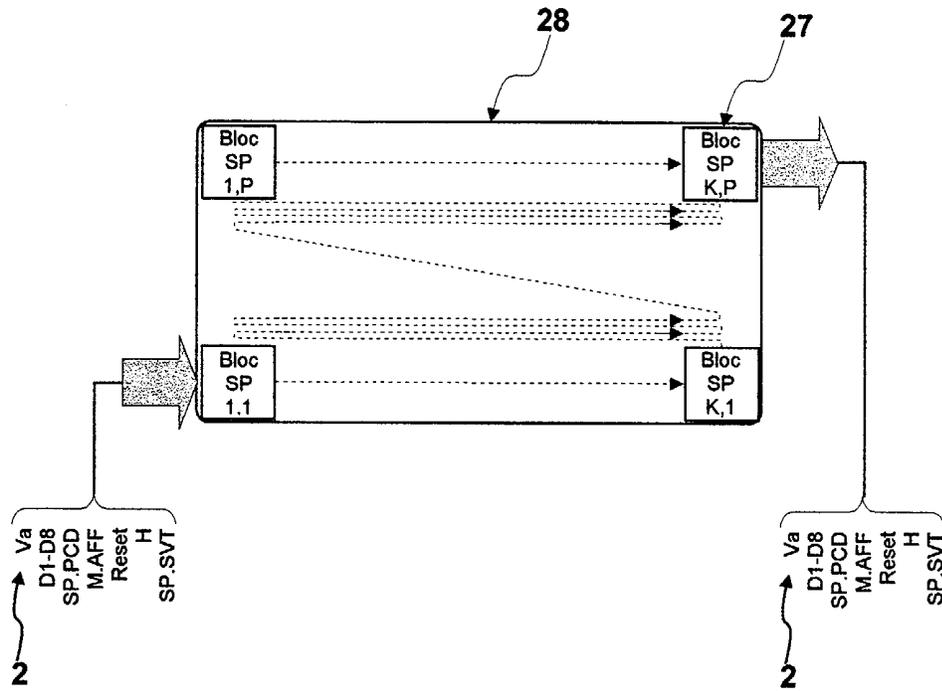


Figure 22

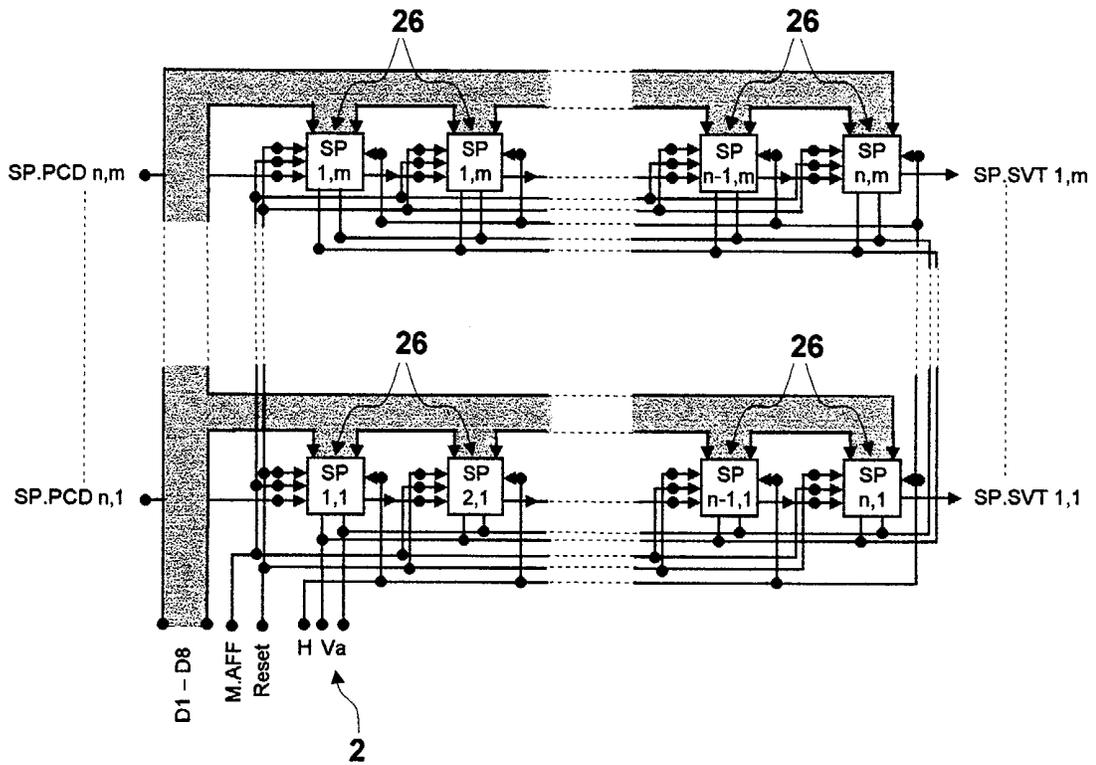


Figure 23

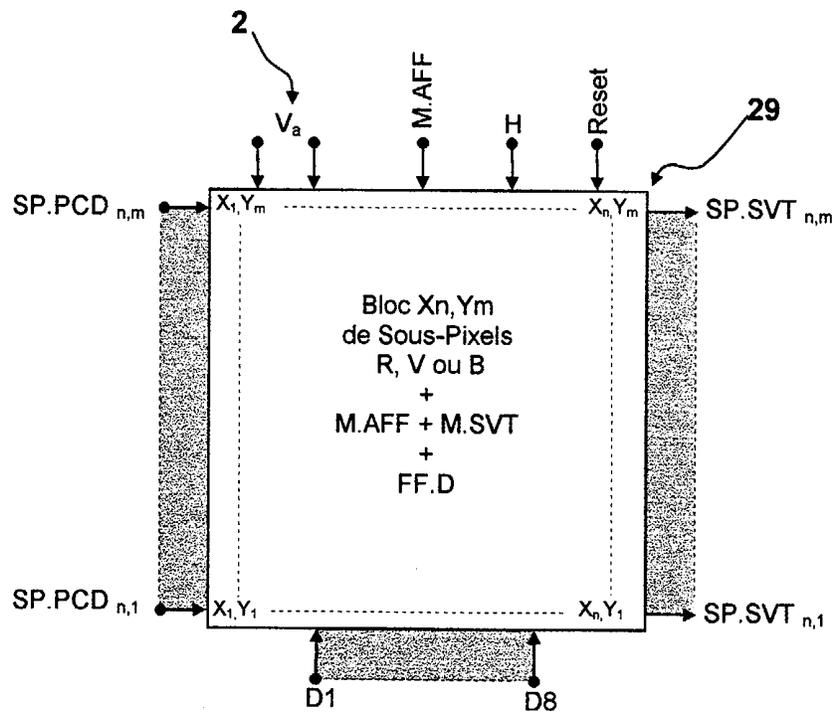


Figure 24

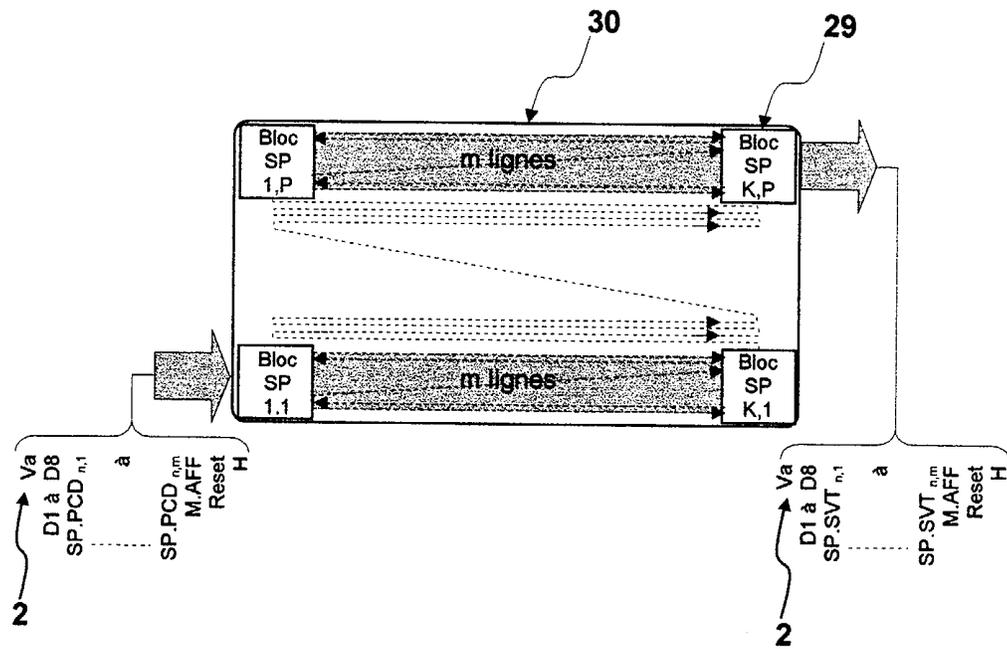


Figure 25

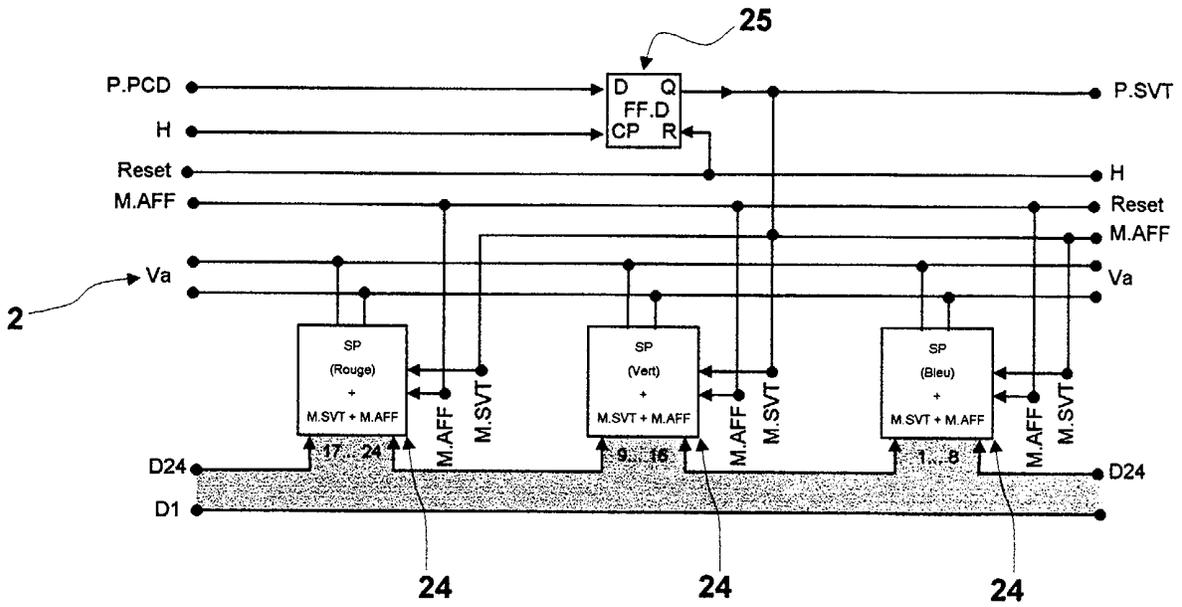


Figure 26

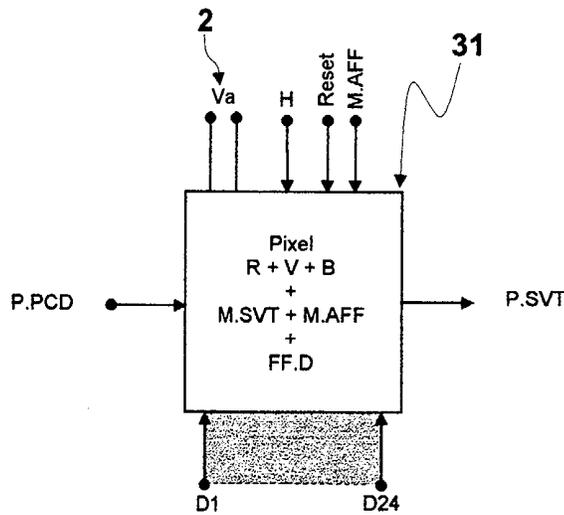


Figure 27

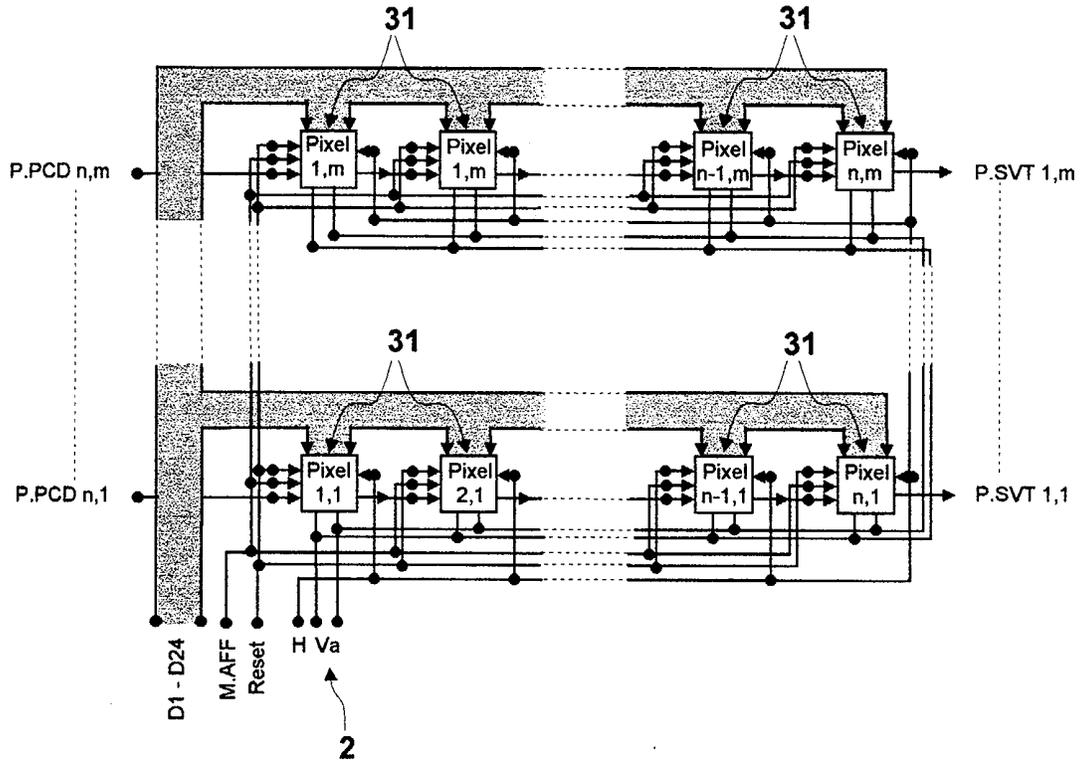
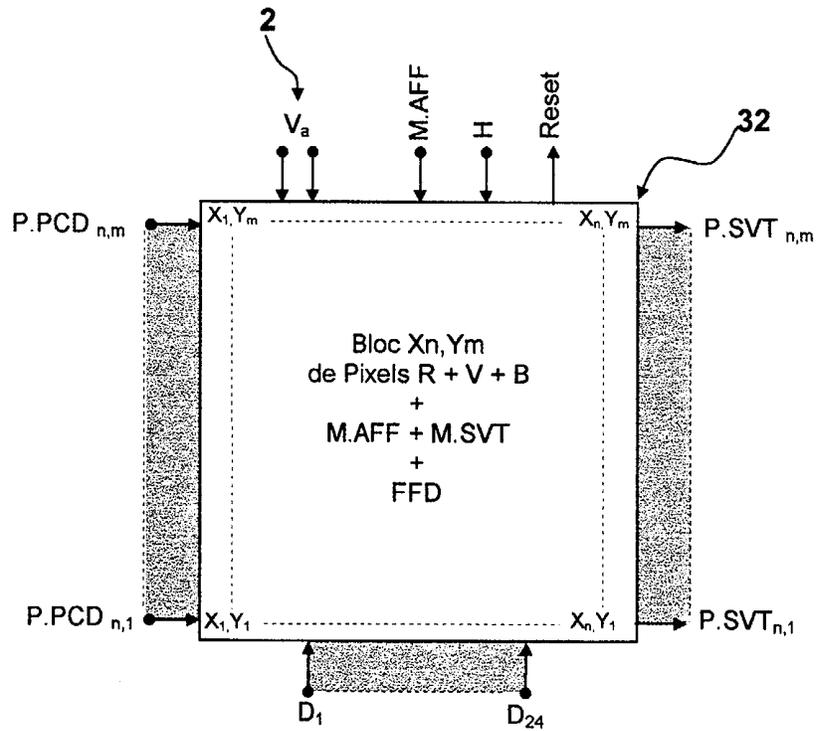


Figure 28

**Figure 29**

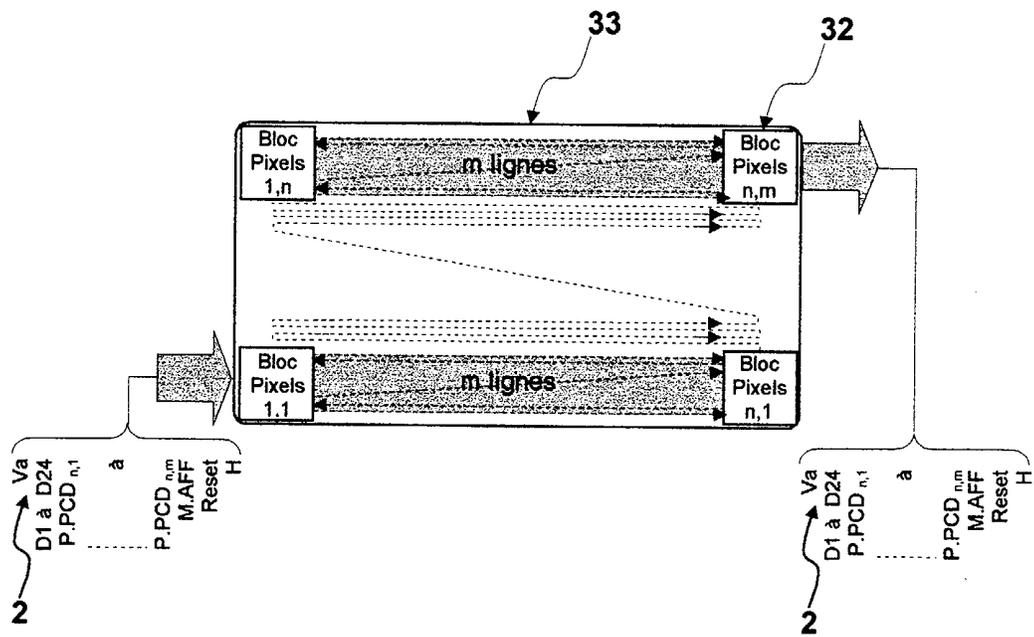


Figure 30

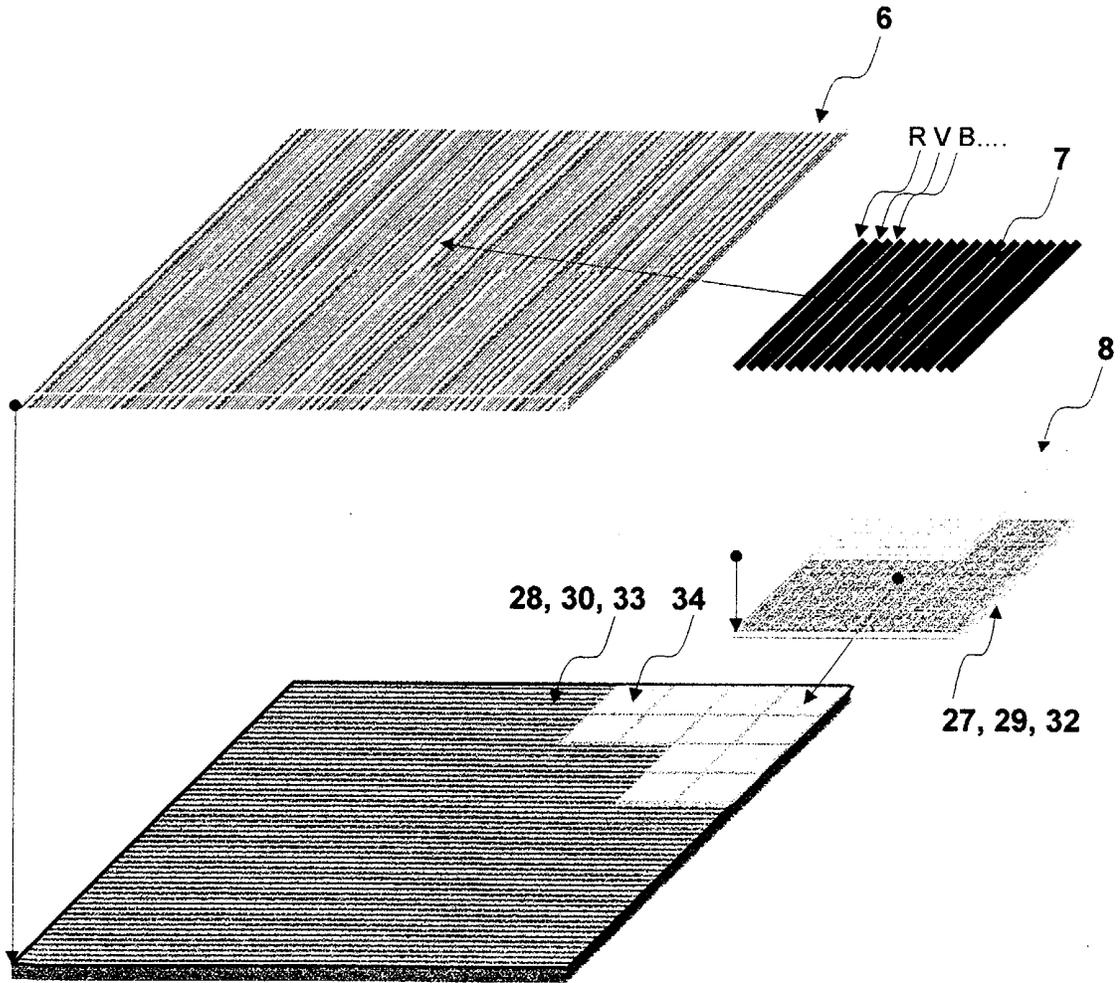


Figure 31

**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2817992

N° d'enregistrement
nationalFA 605766
FR 0016620

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	WO 97 22132 A (ORION ELECTRIC CO LTD ;HYUN CHANG HO (KR); KWON OH KYONG (KR)) 19 juin 1997 (1997-06-19) * abrégé; figures 1,2 * * page 2, ligne 30 - page 5, ligne 25 * ---	1,2	G09G3/30
A	GB 2 217 088 A (ENGLISH ELECTRIC VALVE CO LTD) 18 octobre 1989 (1989-10-18) * abrégé; figure 1 * * page 2, ligne 13 - page 5, ligne 3 * ---	1,2	
A	FR 2 640 791 A (CHENG ERIC) 22 juin 1990 (1990-06-22) * page 9, ligne 11 - page 10, ligne 27 * ---	1	
A	EP 0 731 436 A (NISHIDA SHINSUKE) 11 septembre 1996 (1996-09-11) * abrégé; figure 3 * -----	1	
			DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)
			G09G
Date d'achèvement de la recherche		Examineur	
6 novembre 2001		Van Roost, L	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

2