

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

11 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 084 773

21 N° d'enregistrement national : 18 57187

51 Int Cl⁸ : H 01 L 21/28 (2018.01), H 01 L 21/285

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 01.08.18.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 07.02.20 Bulletin 20/06.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

Demande(s) d'extension :

71 Demandeur(s) : STMICROELECTRONICS (CROLLES
2) SAS Société par actions simplifiée — FR.

72 Inventeur(s) : MONNIER DENIS et GONNARD OLI-
VIER.

73 Titulaire(s) : STMICROELECTRONICS (CROLLES 2)
SAS Société par actions simplifiée.

74 Mandataire(s) : CASALONGA.

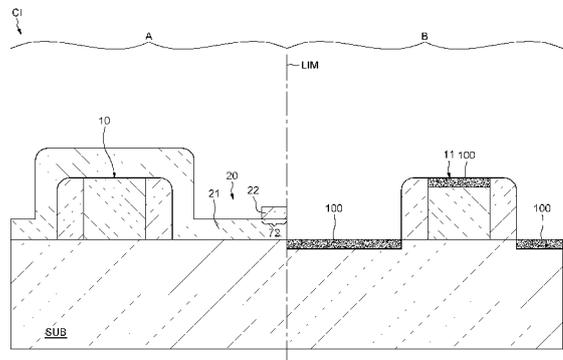
54 PROCÉDE DE SILICIURATION DE DISPOSITIF SEMICONDUCTEUR, ET DISPOSITIF SEMICONDUCTEUR
CORRESPONDANT.

57 Le procédé de siliciuration d'une partie à siliciurer (A)
d'un dispositif semiconducteur (CI), comprend :

une étape de formation d'une couche de protection (20),
sur une partie à ne pas siliciurer (A) du dispositif semi-
conducteur (CI), comprenant une formation d'une couche
d'oxyde de silicium (21) et d'une couche de nitrure de silicium
(22) sur la couche d'oxyde de silicium (21);

une étape de siliciuration de ladite partie à siliciurer (B)
comprenant une pulvérisation d'ions sous environnement
plasma (90) sur ladite partie à siliciurer (B) et sur ladite partie
à ne pas siliciurer (A);

le procédé comprenant une étape de retrait (80) d'au
moins une portion de la couche de nitrure de silicium (21) de
la couche de protection (20), préalablement à l'étape de si-
liciuration.



FR 3 084 773 - A1



Procédé de siliciuration de dispositif semiconducteur, et dispositif semiconducteur correspondant.

Des modes de réalisation et de mise en œuvre concernant la fabrication de dispositifs semiconducteurs, notamment les étapes de siliciuration de surfaces de silicium de dispositifs semiconducteurs destinés en particulier à être incorporés à une structure en trois dimensions.

Le terme siliciuration signifie formation d'un siliciure de métal sur une pellicule d'un composé de silicium, cette partie du silicium étant alors dite siliciurée. Généralement la siliciuration a pour but de former des contacts électriques entre un composé en silicium et une structure d'interconnexion d'éléments métalliques. Le terme « siliciure » est également employé dans ce cadre. Par commodité, il ne sera fait référence qu'au terme siliciure et ses formes dérivées.

Dans les procédés de fabrication de dispositif semiconducteur, la siliciuration est typiquement réalisée après des formations d'un masque dur, laissant découvertes les parties à siliciurer du dispositif semiconducteur. Les masques durs comportent généralement des matériaux inertes tels qu'un empilement d'oxyde de silicium et de nitrure de silicium.

Pour que la réaction entre le métal et le silicium soit propre et maîtrisée, un nettoyage est réalisé sur les parties à siliciurer. Ce nettoyage a pour vocation de retirer des oxydations parasites apparues en surface du silicium par exemple pendant des phases de transports d'une plaquette de silicium entre deux réacteurs, ou de retirer des résidus de résines utilisés pour des étapes de masquage antérieures.

Un exemple de nettoyage avantageux dans ce contexte consiste à pulvériser des ions sous un environnement de plasma, ayant l'effet d'une gravure douce.

Or, il a été observé que le nitrure de silicium dégage de l'azote gazeux sous l'effet d'un tel nettoyage par gravure douce, et ce dégagement de gaz peut perturber l'équilibre de l'environnement plasma et interrompre la réaction.

Des modes de mise en œuvre proposent de pallier ce problème, et ainsi, une réaction stabilisée permet d'améliorer la qualité et le rendement des productions industrielles de dispositifs semiconducteurs.

5 A cet égard, il est proposé selon un aspect un procédé de siliciuration d'une partie à siliciurer d'un dispositif semiconducteur, comprenant :

10 une étape de formation d'une couche de protection, sur une partie à ne pas siliciurer du dispositif semiconducteur, comprenant une formation d'une couche d'oxyde de silicium et d'une couche de nitrure de silicium sur la couche d'oxyde de silicium ;

une étape de siliciuration de ladite partie à siliciurer comprenant une pulvérisation d'ions sous environnement plasma sur ladite partie à siliciurer et sur ladite partie à ne pas siliciurer.

15 Le procédé comprend, préalablement à l'étape de siliciuration, une étape de retrait d'au moins une portion de la couche de nitrure de silicium de la couche de protection.

20 Ainsi, la couche de protection comportant moins de matière rejetant du diazote, la pulvérisation d'ions sous environnement plasma n'est pas déstabilisée et l'étape de siliciuration n'échoue pas.

La pulvérisation d'ions sous environnement plasma peut être optimisée, et ainsi la siliciuration est améliorée, les contacts avec les parties siliciurées du dispositif semiconducteur sont meilleurs et les performances du dispositif semiconducteur sont augmentées.

25 La pulvérisation d'ions sous environnement plasma comprend par exemple une pulvérisation d'ions Argon sous un environnement de plasma de dioxygène.

30 Selon un mode de mise en œuvre, l'étape de retrait d'au moins une portion de la couche de nitrure de silicium comprend un retrait d'une portion seulement de la couche de nitrure de silicium de façon à laisser subsister une portion restante de cette couche de nitrure de silicium, et la portion restante de la couche de nitrure de silicium repose sur une bordure de la couche d'oxyde de silicium au niveau

d'une limite entre la partie non-siliciurée et la partie siliciurée du dispositif semiconducteur.

5 Avantageusement, l'étape de retrait d'au moins une portion de la couche de nitrure de silicium est arrangée pour que la portion restante de la couche de nitrure de silicium occupe une surface inférieure à 50% de la surface totale du dispositif semiconducteur.

10 Selon un mode de mise en œuvre, l'étape de formation de la couche de protection comprend une formation d'un premier masque sur la partie à ne pas siliciurer du dispositif semiconducteur et une gravure sélective de la couche de nitrure de silicium qui n'est pas recouverte par le premier masque, un retrait du premier masque, et une gravure sélective de la couche d'oxyde de silicium qui n'est plus recouverte par la couche de nitrure de silicium.

15 Selon un mode de mise en œuvre, l'étape de retrait d'une portion de la couche de nitrure de silicium de la couche de protection comprend une formation d'un deuxième masque sur la partie à siliciurer du dispositif semiconducteur, le deuxième masque chevauchant une bordure de la couche de protection au niveau de la limite entre la partie à ne pas siliciurer et la partie à siliciurer du dispositif semiconducteur, et une gravure sélective de la couche de nitrure de silicium qui n'est pas recouverte par le deuxième masque.

20 En d'autres termes, il est proposé selon ce mode de mise en œuvre, d'utiliser un masque non strictement aligné avec la structure sous-jacente pour retirer la couche de nitrure de silicium, ce qui est
25 avantageux en matière d'intégration et de rendement.

 Par exemple, ladite étape de siliciuration comprend une formation d'une pellicule surfacique de siliciure de métal par un dépôt physique en phase vapeur d'un métal, préférentiellement du cobalt, sur des surfaces nues de silicium ayant reçu ladite pulvérisation d'ions.

30 Selon un autre aspect, il est proposé un dispositif semiconducteur comprenant une partie siliciurée, et une partie non-siliciurée recouverte d'une couche d'oxyde de silicium, dans lequel une portion d'une couche de nitrure de silicium repose sur une bordure

de la couche d'oxyde de silicium au niveau de la limite entre la partie non-siliciurée et la partie siliciurée du dispositif semiconducteur.

5 Par dispositif semiconducteur, on entend les circuits intégrés opérationnels, et également les résultats intermédiaires de fabrication de circuit intégré, tels que des « puces » nues destinées à être assemblées en conditions industrielles, ne comportant par exemple pas d'encapsulation.

10 Les pellicules de siliciure de métal se trouvant dans une partie du dispositif semiconducteur comportant les composants électroniques individuels, au niveau d'une face avant d'un substrat en silicium (partie usuellement désignée par l'acronyme « FEOL » pour « Front End Of Line » en anglais), il est bien entendu que la couche d'oxyde de silicium recouvrant la partie non siliciurée est également située dans ladite partie FEOL du dispositif semiconducteur. En d'autres
15 termes, ladite couche d'oxyde de silicium est au moins partiellement en contact avec le substrat, contrairement à par exemple des couches d'oxyde typiquement situées dans les niveaux d'interconnexion du dispositif semiconducteur (usuellement « BEOL », pour « Back End Of Line » en anglais).

20 Le dispositif semiconducteur selon cet aspect, par exemple obtenu au moyen du procédé défini précédemment, présente des pellicules siliciurées de qualité, et ainsi des contacts métal-silicium fiables, permettant d'améliorer ses performances.

25 Selon un mode de réalisation, un bord de la couche de nitrure de silicium coïncide le bord de la couche d'oxyde de silicium à la limite entre la partie non-siliciurée et la partie siliciurée du dispositif semiconducteur.

30 Il est également proposé un circuit intégré capteur d'image, comportant un dispositif semiconducteur tel que défini ci avant, ou obtenu par un procédé tel que défini précédemment.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de réalisation et de mise en œuvre, nullement limitatifs, et des dessins annexés sur lesquels :

- les figures 1 à 10 illustrent un exemple de mode de mise en œuvre et de réalisation de l'invention.

5 Les figures 1 à 10 illustrent des structures intermédiaires CI_i, avec $1 \leq i \leq 9$, pendant une étape ou résultant d'une étape d'un exemple de procédé de siliciuration de surfaces d'un dispositif semiconducteur CI. Le dispositif semiconducteur CI est par exemple un résultat
10 intermédiaire d'une fabrication d'un circuit intégré, ou plus particulièrement une puce destinée à être assemblée avec une autre puce pour former une structure tridimensionnelle d'un circuit intégré capteur d'image.

Les figures sont numérotées dans l'ordre de mise en œuvre desdites étapes et les éléments communs d'une figure à une autre supportent les mêmes références.

15 La figure 1 représente schématiquement une structure intermédiaire de dispositif semiconducteur CI₁, dans un procédé de fabrication d'un dispositif semiconducteur CI.

20 Des éléments de dispositif semiconducteur 10, 11 ont été formés sur un substrat semiconducteur SUB, en silicium. Le substrat SUB peut être dopé pour avoir une conductivité de type P ou de type N.

25 Les éléments de dispositif semiconducteur 10, 11 ont été représentés à la manière de transistors, comportant un élément de grille 13 encadré par des éléments d'isolation et d'espacement 15 (« spacer » en anglais), sur une surface du substrat SUB. Par exemple les éléments de grille 13 sont formés en silicium polycristallin conducteur.

Bien entendu on peut envisager des éléments de dispositif semiconducteur de tout type de composant électronique, tels que des diodes, des condensateurs, des résistances, etc.

30 La structure intermédiaire CI₁ comprend une première partie A qui est destinée à ne pas être siliciurée, à gauche dans la représentation de la figure 1, et une deuxième première partie B qui est destinée à être siliciurée, à droite dans la représentation de la figure 1.

La partie destinée à ne pas être siliciurée A et la partie destinée à être siliciurée B sont délimitées par une limite LIM. A ce stade du procédé, la limite LIM n'est pas encore matérialisée.

5 La figure 2 représente une structure intermédiaire de dispositif semiconducteur CI2, correspondant à la structure CI1 sur laquelle a été formée une couche de protection 20.

La couche de protection 20 comprend un empilement d'une couche de nitrure de silicium 22 sur une couche d'oxyde de silicium 21.

10 La couche de protection 20 est destinée à masquer d'une siliciuration les surfaces sous-jacentes du substrat SUB et des éléments de dispositif semiconducteur 10, 11 qu'elle recouvrera, lors d'une étape ultérieure.

15 La couche de protection 20 a été formée sur toute la surface de la structure CI1, sur la partie à ne pas siliciurer A et sur la partie à siliciurer B. La couche de protection 20 repose sur la face supérieure (ou face avant) du substrat SUB ainsi que sur les éléments de dispositif semiconducteur 10, 11.

20 Par exemple la couche d'oxyde de silicium (SiO_2) peut être obtenue par une croissance du type croissance thermique ou dépôt en phase vapeur, et peut avoir une épaisseur de l'ordre de 20nm.

Par exemple la couche de nitrure de silicium (Si_3N_4) peut être obtenue par une croissance du type dépôt en phase vapeur, et peut avoir une épaisseur de l'ordre de 10nm.

25 La figure 3 représente une structure intermédiaire de dispositif semiconducteur CI3, correspondant à la structure CI2 sur laquelle a été formé un premier masque 30.

30 Le masque 30 a été formé au moyen d'une résine photosensible lithographiée, afin de couvrir la couche de protection 20 sur la partie à ne pas siliciurer A et de laisser découverte la partie à siliciurer B.

C'est par le premier masque de résine 30 qu'est matérialisée la limite LIM entre lesdites parties A et B.

La figure 4 représente une structure intermédiaire de dispositif semiconducteur CI4, correspondant à la structure CI3 subissant un retrait de la couche de nitrure 22.

5 La couche de nitrure de silicium 22 qui n'est pas recouverte par le masque 30 est retirée par une gravure sélective 40. La gravure sélective 40 est configurée pour attaquer le nitrure de silicium 22 mais ne pas ou peu réagir avec l'oxyde de silicium 21.

La gravure 40 peut être du type gravure sèche par projection d'ions.

10 La figure 5 représente une structure intermédiaire de dispositif semiconducteur CI5, correspondant à la structure CI4 de laquelle a été retiré le masque 30.

Suite au retrait du masque 30, la structure CI5 comporte une couche d'oxyde de silicium 21 sur toute la surface, et une couche de nitrure de silicium 22 uniquement sur la partie à ne pas siliciurer A.

15 La couche de nitrure 22 va servir de masque dur pour un retrait de la couche d'oxyde de silicium 21 sur la partie à siliciurer B.

La figure 6 représente une structure intermédiaire de dispositif semiconducteur CI6, correspondant à la structure CI5 subissant un retrait de la couche d'oxyde 21.

20 Une gravure humide 60 est configurée pour attaquer sélectivement l'oxyde de silicium 21 et ne pas ou peu réagir avec le nitrure de silicium 22. Ainsi la partie de la couche d'oxyde de silicium 21 qui n'est pas recouverte par le masque dur de nitrure de silicium 22 est dissoute.

Par exemple la gravure humide 60 comprend un bain d'acide fluorhydrique.

30 Ainsi, sur la structure de dispositif semiconducteur intermédiaire CI6, la couche de protection 20 a été totalement retirée de la partie à siliciurer B et est restée inchangée sur la partie à ne pas siliciurer A.

La figure 7 représente une structure intermédiaire de dispositif semiconducteur CI7, correspondant à la structure CI6 sur laquelle a été formé un deuxième masque 70.

Le masque 70 a été formé au moyen d'une résine photosensible lithographiée, afin de couvrir la partie à siliciurée B et de laisser découverte la couche de protection 20 de la partie à ne pas siliciurer A.

5 Cela étant, un alignement parfait sur la limite LIM n'est pas indispensable, et le deuxième masque 70 peut dépasser 71 la limite LIM du côté de la partie à ne pas siliciurer A et chevaucher une bordure 72 de la couche de protection 20 restante. La bordure 72 de la
10 couche de protection 20 est ainsi située sur la couche de protection 20 au niveau de la limite LIM entre lesdites parties A et B.

 Selon une alternative, le deuxième masque 70 peut s'arrêter avant la limite LIM, du côté de la partie à siliciurer B. Cela étant, une gravure ultérieure, décrite ci-après en relation avec la figure 8, pourra détériorer la partie découverte du substrat SUB et cela peut être
15 désavantageux.

 La figure 8 représente une structure intermédiaire de dispositif semiconducteur CI8, correspondant à la structure CI7 subissant un retrait de la couche de nitrure 22.

20 Une gravure sélective 80, par exemple la même gravure que la gravure sélective 40 décrite précédemment en relation avec la figure 4 permet de retirer la couche de nitrure de silicium 22 qui n'est pas recouverte par le deuxième masque 70.

 Ainsi, la couche de nitrure de silicium 21 est retirée sur une portion de la surface de la couche de protection 20, c'est-à-dire toute
25 la surface de la couche de protection 20 de la partie à ne pas siliciurer A, excepté la bordure 72 recouverte par le deuxième masque 70.

 La partie restante de la couche de nitrure de silicium 22 représente par exemple moins de 50% de la surface totale du dispositif semiconducteur.

30 La figure 9 représente une structure intermédiaire de dispositif semiconducteur CI9, correspondant à la structure CI8 de laquelle a été retiré le masque 70 et subissant une gravure douce de nettoyage 90.

 Un nettoyage des surfaces découvertes est mis en œuvre au moyen d'une gravure douce 90 par pulvérisation d'ions sous

environnement plasma, usuellement désignée par l'acronyme SSE du terme anglosaxon usuel « Soft Sputter Etch ».

La gravure douce 90 comprend une pulvérisation d'ions Argon sous un environnement de plasma de dioxygène.

5 Cette gravure douce 90 est destinée à retirer des oxydations parasites ou des reliquats de résine de masquage, sur des surfaces de silicium, par exemple des surfaces 92 du substrat SUB ou des surfaces 94 d'éléments de grille (13) en silicium polycristallin.

10 Des oxydations parasites ont par exemple pu apparaître pendant des phases de déplacement d'une plaquette de silicium entre deux réacteurs.

Cela étant, cette pulvérisation d'ion 90 réagit également avec le nitrure de silicium 21, qui dégage alors du diazote en phase gazeuse 99. Une certaine quantité de diazote peut déstabiliser le plasma de dioxygène au point d'en rompre l'équilibre.

15 Ce cas de figure peut apparaître notamment dans les filières de fabrication de capteurs d'images, qui peuvent comporter une couche de protection 20 sur jusqu'à 90% de la surface totale du dispositif semiconducteur.

20 En particulier, les dispositifs semiconducteurs destinés à être empilés pour former une structure en trois dimensions sont sujets à présenter des couches de protection 20 occupant une surface suffisamment élevée pour qu'un rejet de diazote rompe l'équilibre de l'environnement plasma.

25 C'est par exemple le cas des circuits intégrés de capteurs d'image, dans lesquels un premier dispositif semiconducteur exclusivement dédié à la photo-réaction est connecté « à nu » à un deuxième dispositif semiconducteur dédié notamment au traitement de signaux. Par « à nu », on entend que les dispositifs semiconducteurs à assembler ne comportent pas de structure d'encapsulation ni de connectique habituelle des circuits intégrés commercialisables.

30 Or, la structure intermédiaire de dispositif semiconducteur CI9 selon ce mode de mise en œuvre ne comporte qu'une mineure partie de

nitruure de silicium 22, en bordure de la couche de protection 20, pendant le nettoyage par gravure douce 90.

Il est raisonnable de considérer qu'une couche de nitruure de silicium d'épaisseur de l'ordre de 10 nm sur au maximum 50% de la surface totale du dispositif semiconducteur produira suffisamment peu de diazote pour ne pas rompre l'équilibre d'un plasma de dioxygène.

Bien entendu, le rapport de 50% de la surface totale du dispositif semiconducteur est une approximation. La quantité limite effective de surface occupée par la couche de nitruure de silicium dépendra notamment des conditions industrielles de la mise en œuvre de la pulvérisation d'ions sous environnement plasma.

En tout état de cause, l'étape de retrait 80 d'une portion de la couche de nitruure de silicium 22 est arrangée pour que la portion restante 72 de la couche de nitruure de silicium 21 occupe une surface suffisamment faible pour que l'équilibre de l'environnement plasma ne soit pas rompu par le dégagement de diazote, par exemple une surface inférieure à 50% de la surface totale du dispositif semiconducteur.

Ainsi ce mode de mise en œuvre ne présente aucun risque d'interruption de la gravure douce par pulvérisation ionique 90 du à ce dégagement de diazote 99.

La figure 10 représente une structure de dispositif semiconducteur CI, correspondant à la structure CI9 sur laquelle est réalisé une siliciuration.

Un dépôt physique en phase vapeur d'un métal, préférentiellement du cobalt, est réalisé sur la structure intermédiaire CI9, et une pellicule surfacique de siliciure de métal 100 se forme sur les surfaces nues de silicium.

Ainsi, les surfaces nues de silicium qui ne sont pas recouvertes par ce qu'il reste de la couche protectrice 20, c'est-à-dire dans la partie à siliciurer B, réagissent en siliciure de métal 100.

Les éléments de dispositif semiconducteur 11 siliciurés peuvent alors être mutuellement couplés par des interconnexions métalliques.

A l'issu de ces étapes de procédé de siliciuration de surfaces de dispositif semiconducteur CI, un dispositif semiconducteur comprenant

une partie siliciurée B comportant une pellicule surfacique de siliciure de métal 100, et une partie non-siliciurée A ne comportant pas de pellicule de siliciure de métal mais étant recouverte d'une couche d'oxyde de silicium 21 a été obtenu.

5 Le dispositif semiconducteur ainsi obtenu comporte une couche de nitrure de silicium 22 reposant sur une bordure 72 de la couche d'oxyde de silicium 21 au niveau de la limite LIM entre la partie non-siliciurée A et la partie siliciurée B.

10 Un tel dispositif semiconducteur peut ainsi présenter des pellicules siliciurées de qualités et des contacts électriques améliorés sur ces pellicules siliciurées.

15 Par ailleurs l'invention n'est pas limitée à ces modes de mise en œuvre et de réalisation mais embrasse toutes les variantes, par exemple des autres réactions, gravures et masquages peuvent être utilisés tout en bénéficiant de l'avantage en matière de rejet de gaz dans un environnement plasma.

REVENDICATIONS

1. Procédé de siliciuration d'une partie à siliciurer (B) d'un dispositif semiconducteur (CI), comprenant :

5 une étape de formation d'une couche de protection (20), sur une partie à ne pas siliciurer (A) du dispositif semiconducteur (CI), comprenant une formation d'une couche d'oxyde de silicium (21) et d'une couche de nitrure de silicium (22) sur la couche d'oxyde de silicium (21) ;

10 une étape de siliciuration de ladite partie à siliciurer (B) comprenant une pulvérisation d'ions sous environnement plasma (90) sur ladite partie à siliciurer (B) et sur ladite partie à ne pas siliciurer (A) ;

15 le procédé comprenant, préalablement à l'étape de siliciuration, une étape de retrait (80) d'au moins une portion de la couche de nitrure de silicium (21) de la couche de protection (20).

2. Procédé selon la revendication 1, dans lequel ladite pulvérisation d'ions sous environnement plasma (90) comprend une pulvérisation d'ions Argon sous un environnement de plasma de dioxygène.

20 3. Procédé selon l'une des revendications 1 ou 2, dans lequel ladite étape de retrait (80) d'au moins une portion de la couche de nitrure de silicium (22) comprend un retrait d'une portion seulement de la couche de nitrure de silicium (22) de façon à laisser subsister une portion restante (72) de cette couche de nitrure de silicium (22), et la portion restante (72) de la couche de nitrure de silicium (22) repose sur une bordure (72) de la couche d'oxyde de silicium (21) au niveau d'une limite (LIM) entre la partie non-siliciurée (A) et la partie siliciurée (B) du dispositif semiconducteur.

30 4. Procédé selon la revendication 3, dans lequel ladite étape de retrait (80) d'au moins une portion de la couche de nitrure de silicium (22) est arrangée pour que la portion restante (72) de la couche de nitrure de silicium (21) occupe une surface inférieure à 50% de la surface totale du dispositif semiconducteur.

5. Procédé selon l'une des revendications précédentes, dans lequel l'étape de formation de la couche de protection (20) comprend une formation d'un premier masque (30) sur la partie à ne pas siliciurer (A) du dispositif semiconducteur (CI) et une gravure sélective (40) de la couche de nitrure de silicium (22) qui n'est pas recouverte par le premier masque (30), un retrait du premier masque (30), et une gravure sélective (60) de la couche d'oxyde de silicium (21) qui n'est plus recouverte par la couche de nitrure de silicium (22).

6. Procédé selon l'une des revendications précédentes, dans lequel ladite étape de retrait (80) de la portion de la couche de nitrure de silicium (22) de la couche de protection (20) comprend une formation d'un deuxième masque (70) sur la partie à siliciurer (B) du dispositif semiconducteur (CI), le deuxième masque (70) chevauchant (71) une bordure (72) de la couche de protection (20) au niveau de la limite (LIM) entre la partie à ne pas siliciurer (A) et la partie à siliciurer (B) du dispositif semiconducteur (CI), et une gravure sélective (80) de la couche de nitrure de silicium (22) qui n'est pas recouverte par le deuxième masque (70).

7. Procédé selon l'une des revendications précédentes, dans lequel ladite étape de siliciuration comprend une formation d'une pellicule surfacique de siliciure de métal (100) par un dépôt physique en phase vapeur d'un métal, préférentiellement du cobalt, sur des surfaces nues de silicium (92, 94) ayant reçu ladite pulvérisation d'ions (90).

8. Dispositif semiconducteur comprenant une partie siliciurée (B) et une partie non-siliciurée (A) recouverte d'une couche d'oxyde de silicium (21), dans lequel une portion d'une couche de nitrure de silicium (22) repose sur une bordure (72) de la couche d'oxyde de silicium (21) au niveau d'une limite (LIM) entre la partie non-siliciurée (A) et la partie siliciurée (B) du dispositif semiconducteur.

9. Dispositif semiconducteur selon la revendication 8, dans lequel un bord de la couche de nitrure de silicium (22) coïncide le

bord de la couche d'oxyde de silicium (21) à la limite (LIM) entre la partie non-siliciurée (A) et la partie siliciurée (B).

10. Circuit intégré capteur d'image, comportant un dispositif semiconducteur (CI) selon l'une des revendications 8 ou 9.

FIG. 1

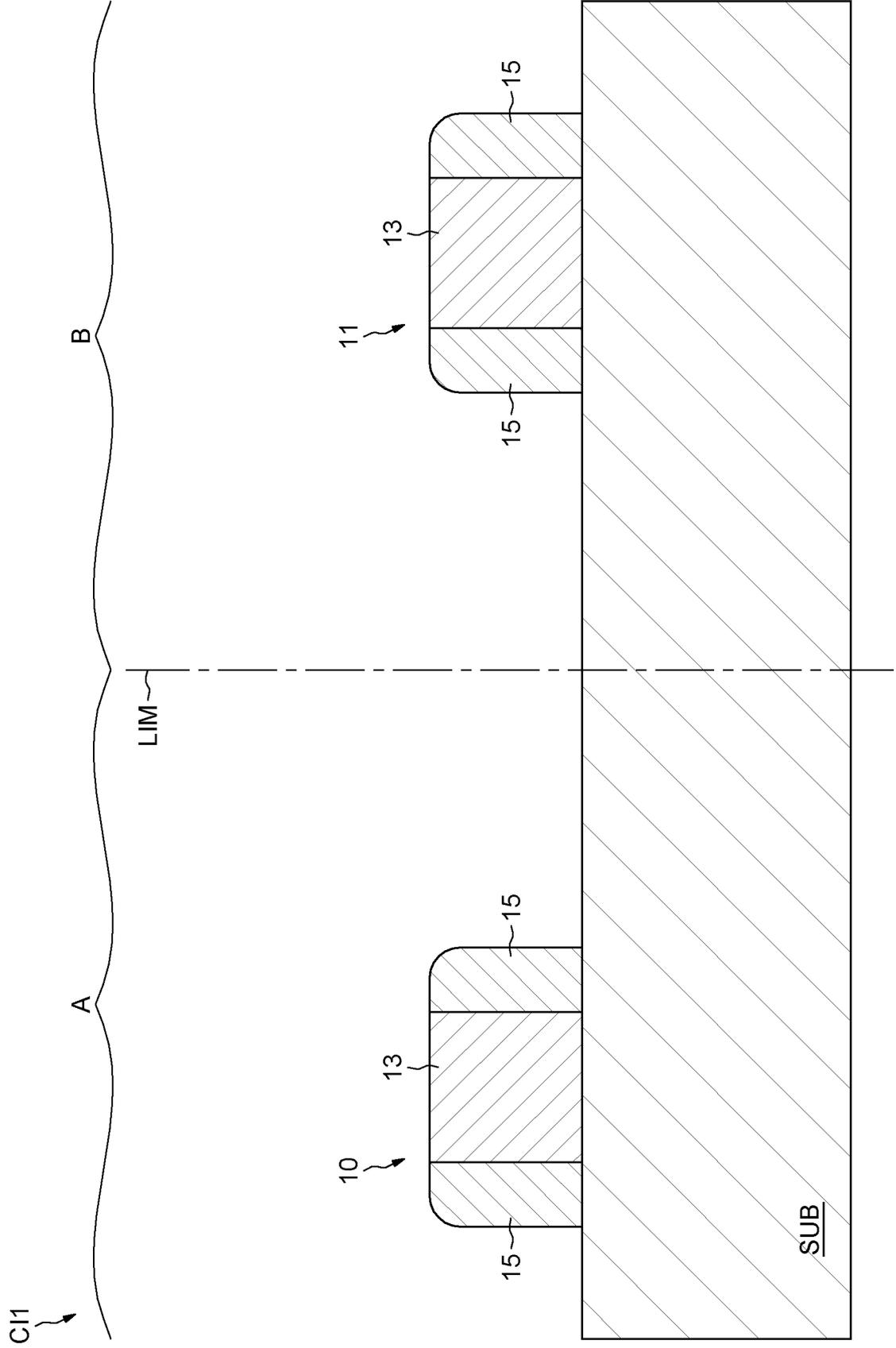


FIG.2

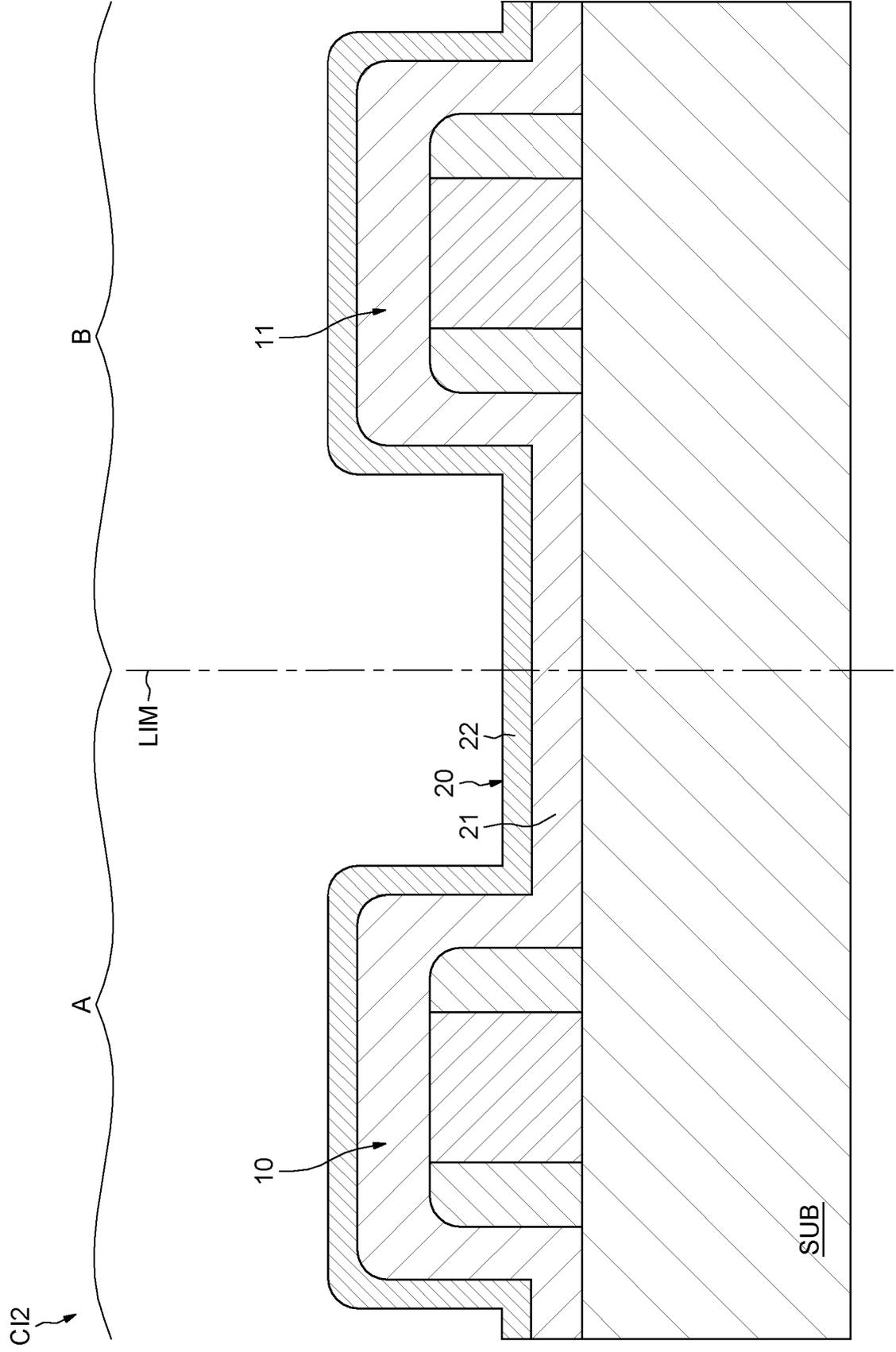


FIG. 3

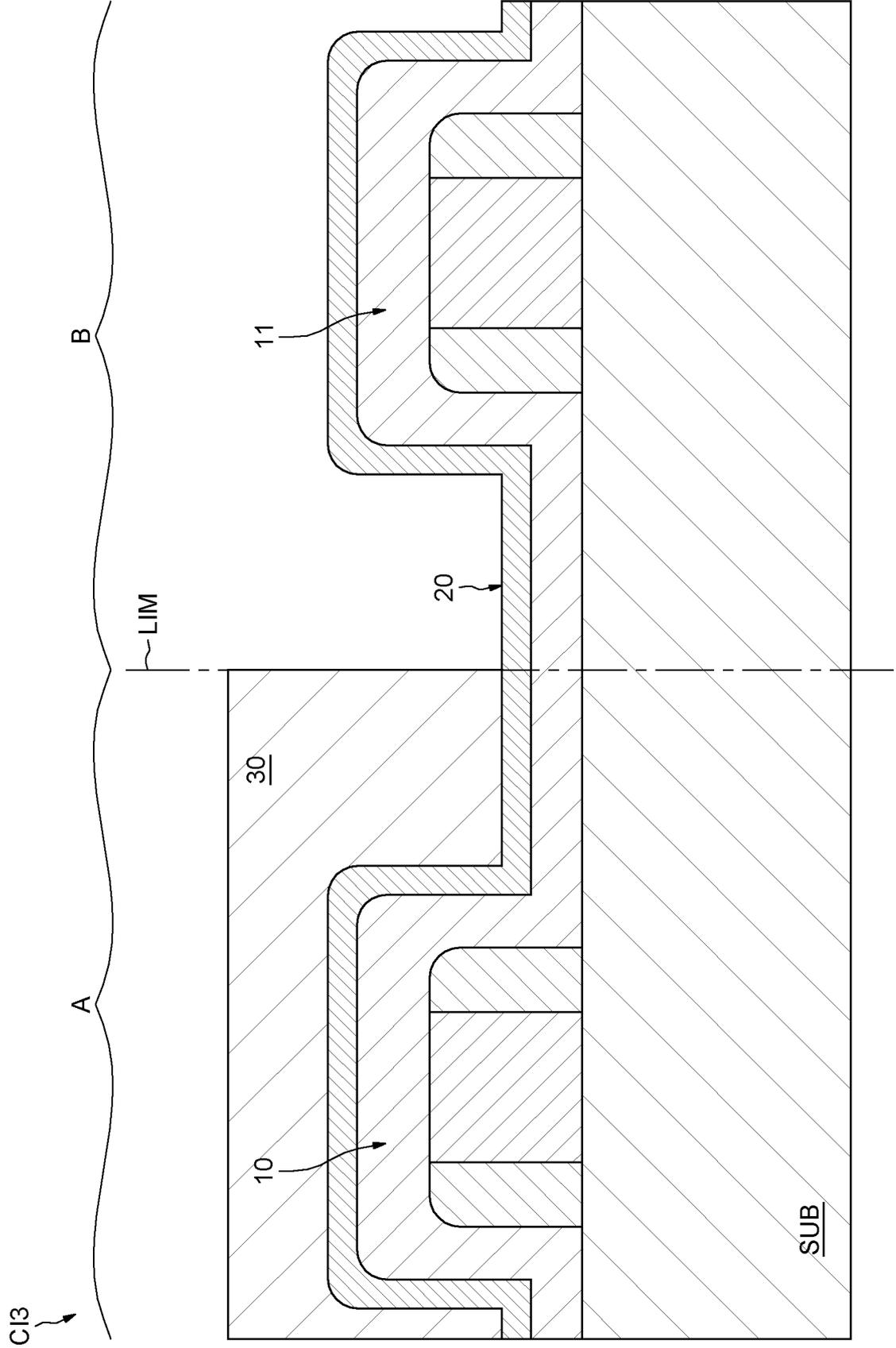


FIG. 4

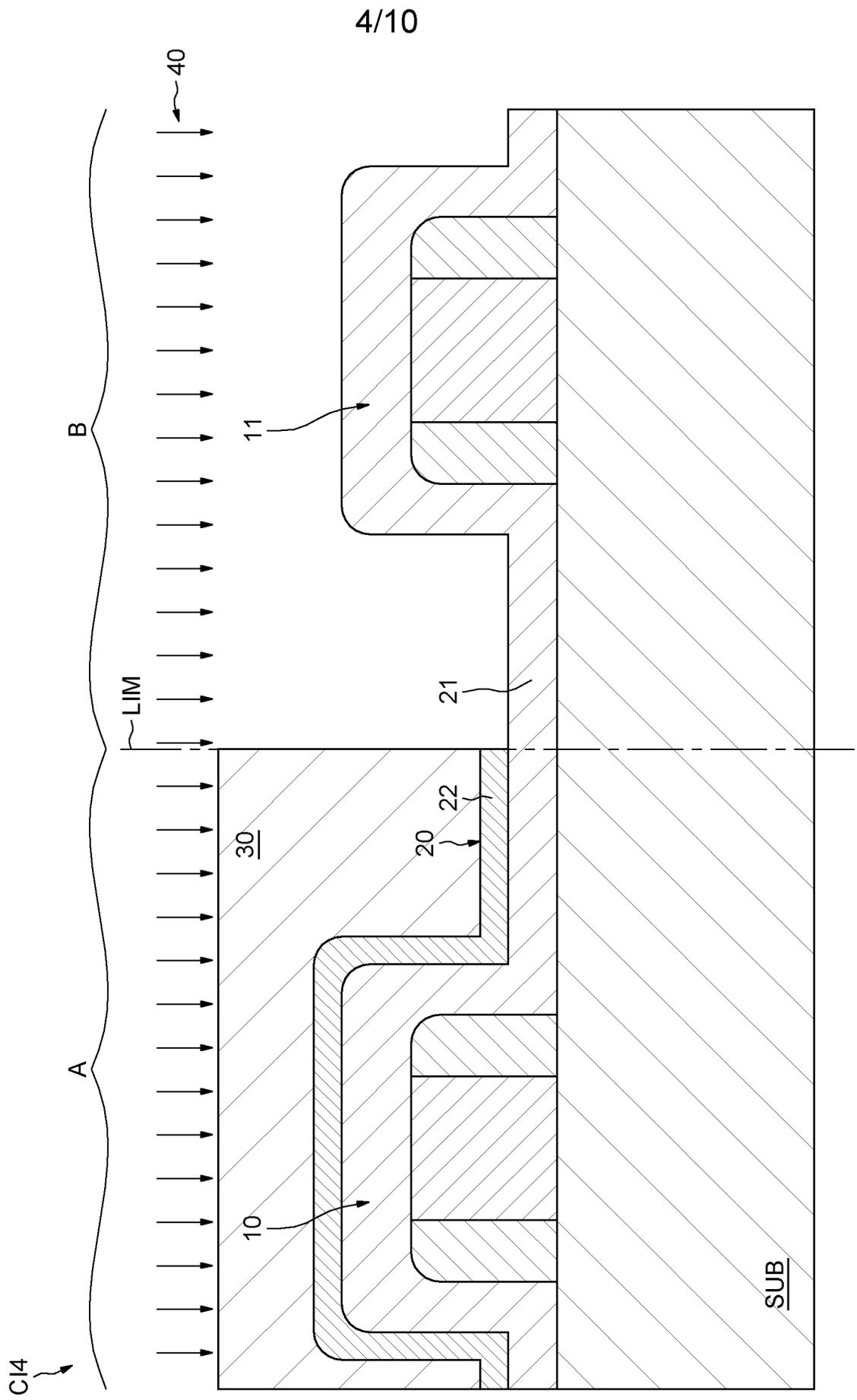


FIG. 5

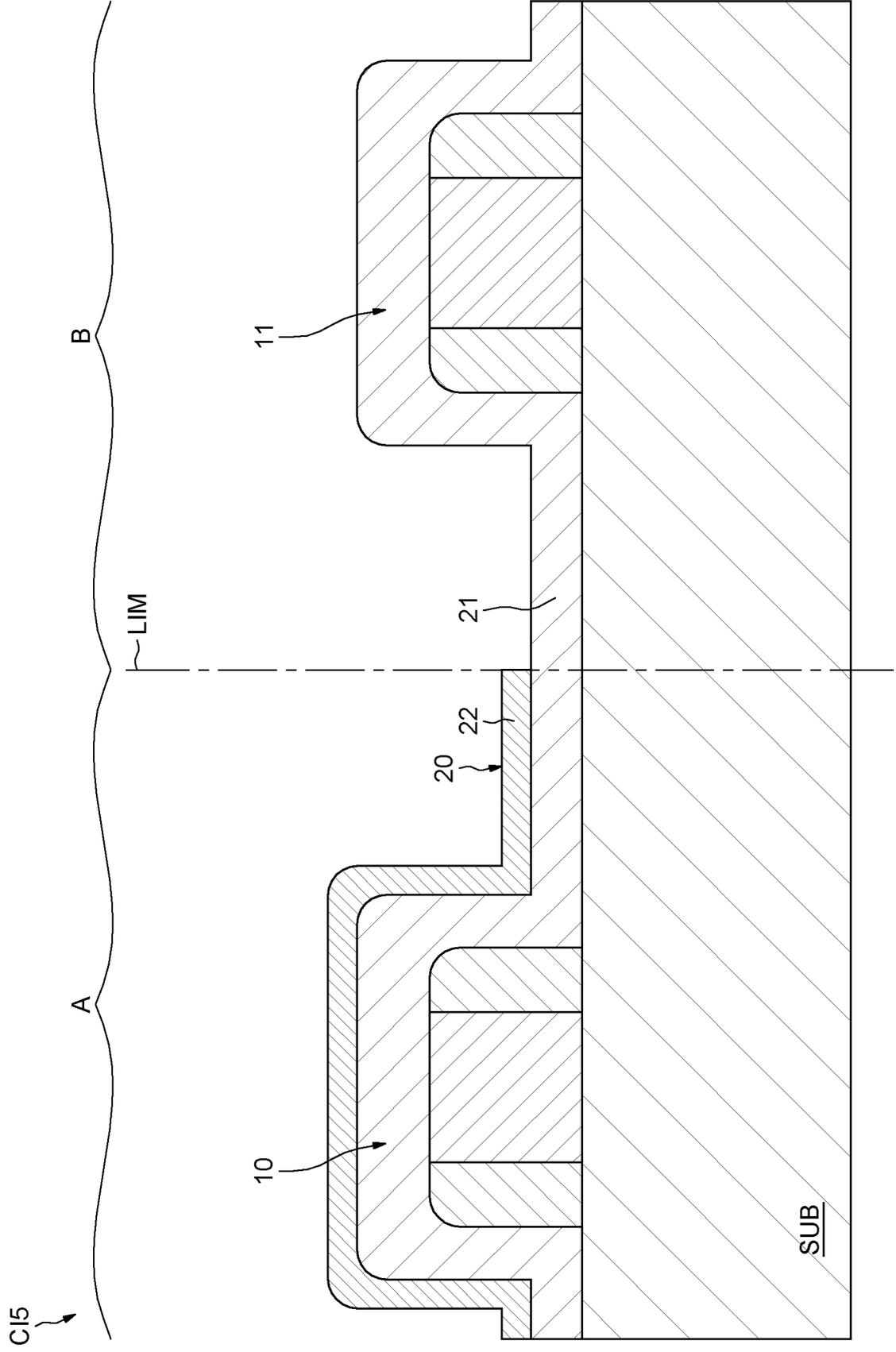


FIG. 6

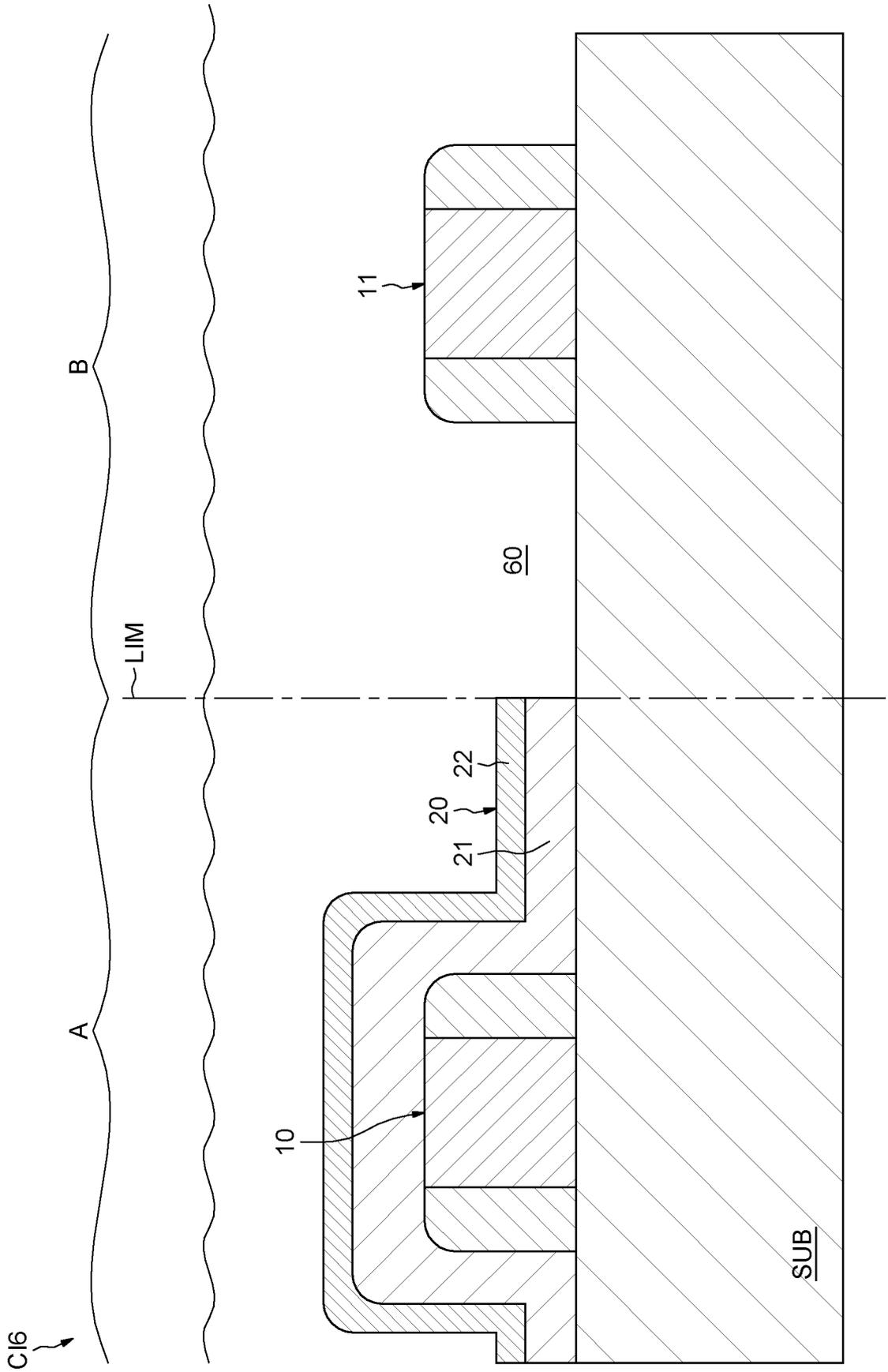


FIG. 7

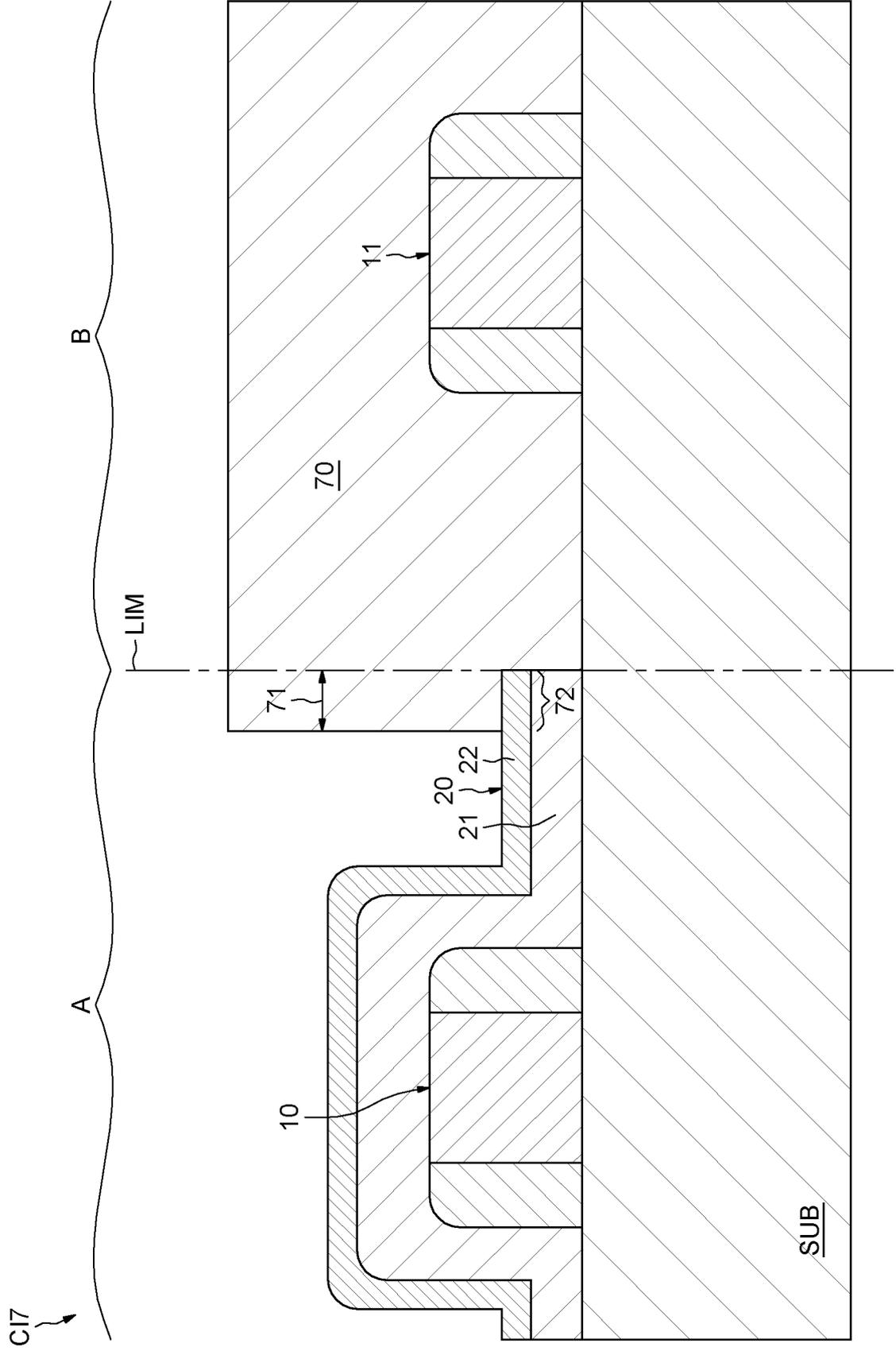


FIG. 8

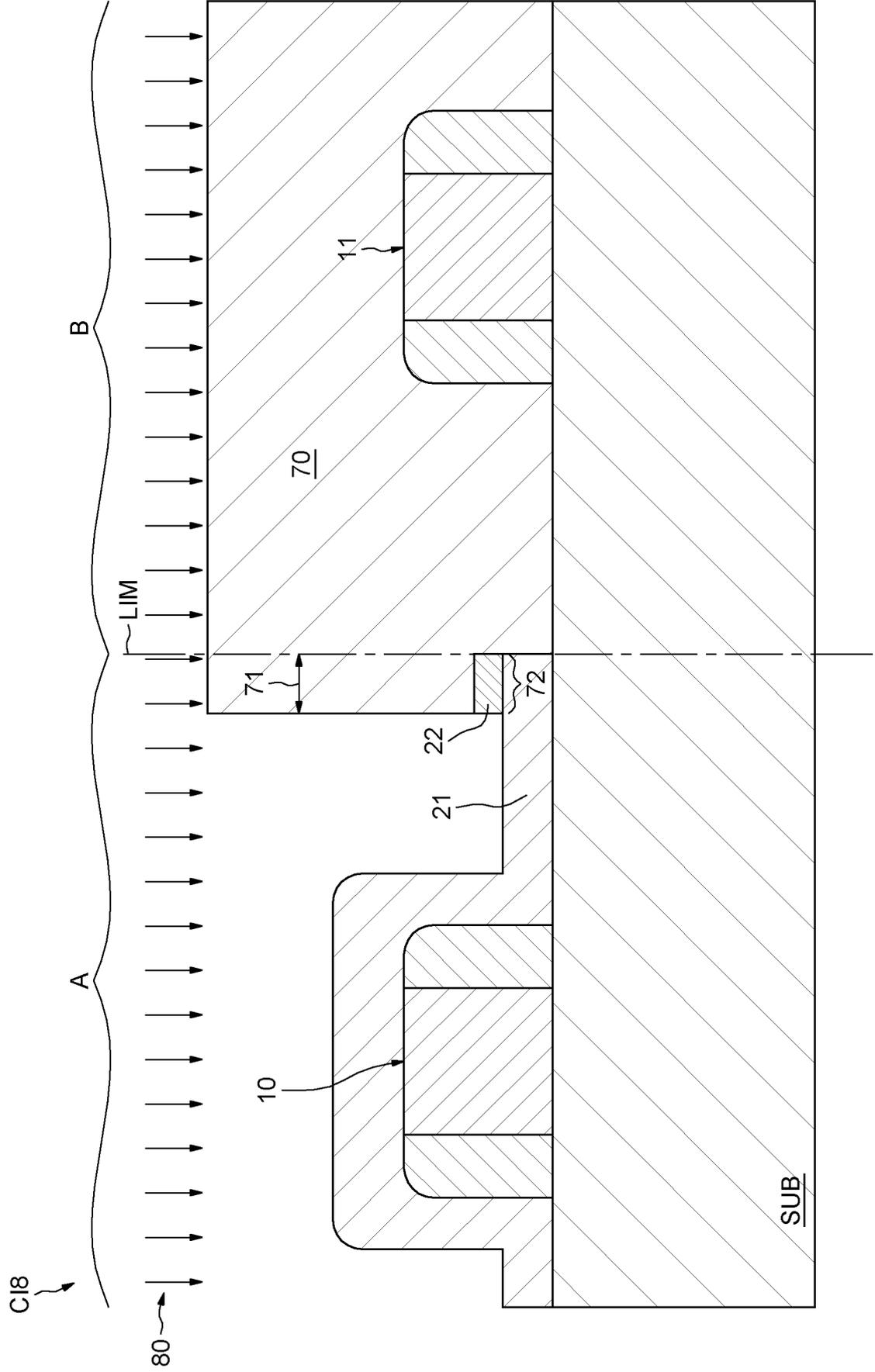


FIG. 9

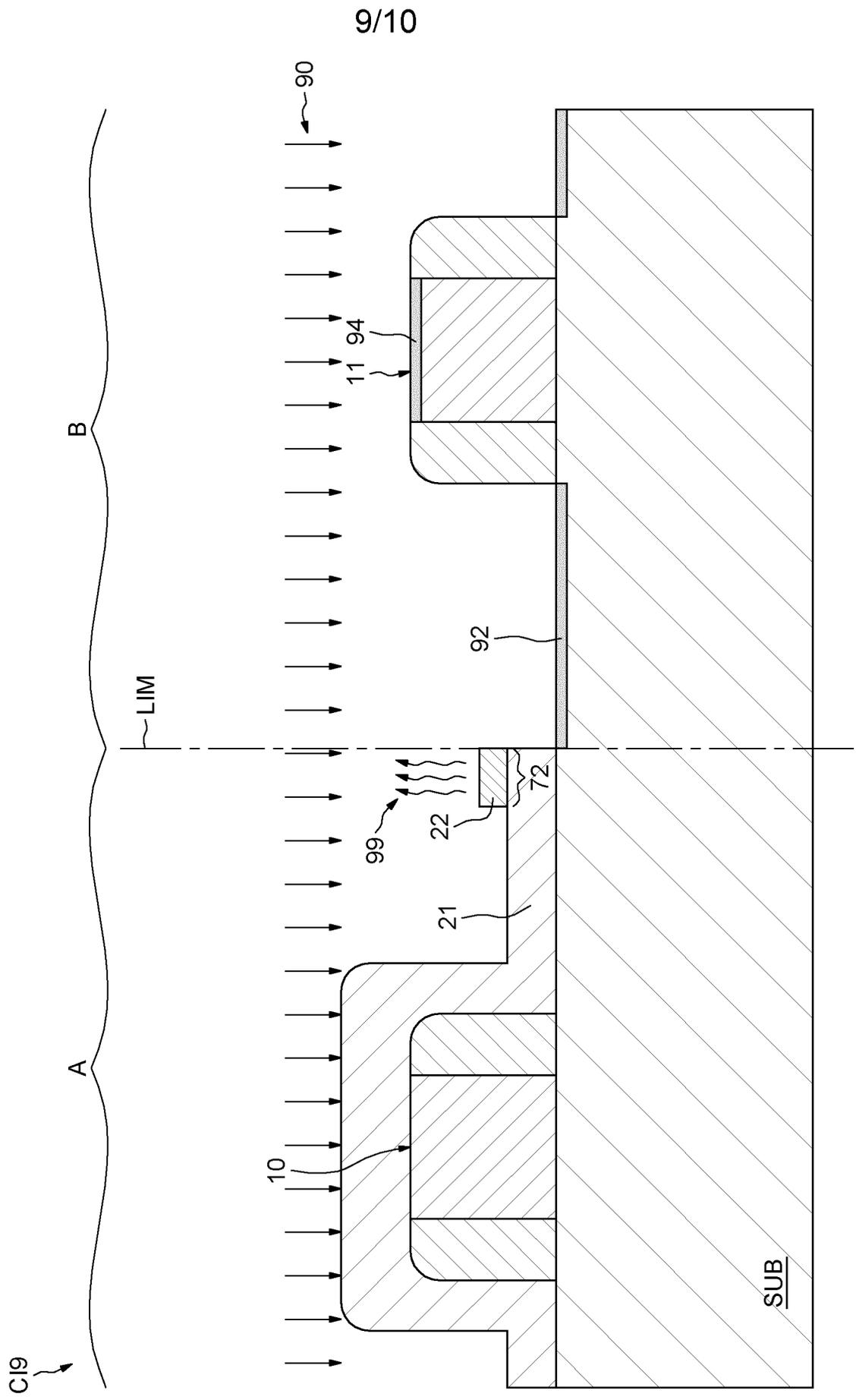
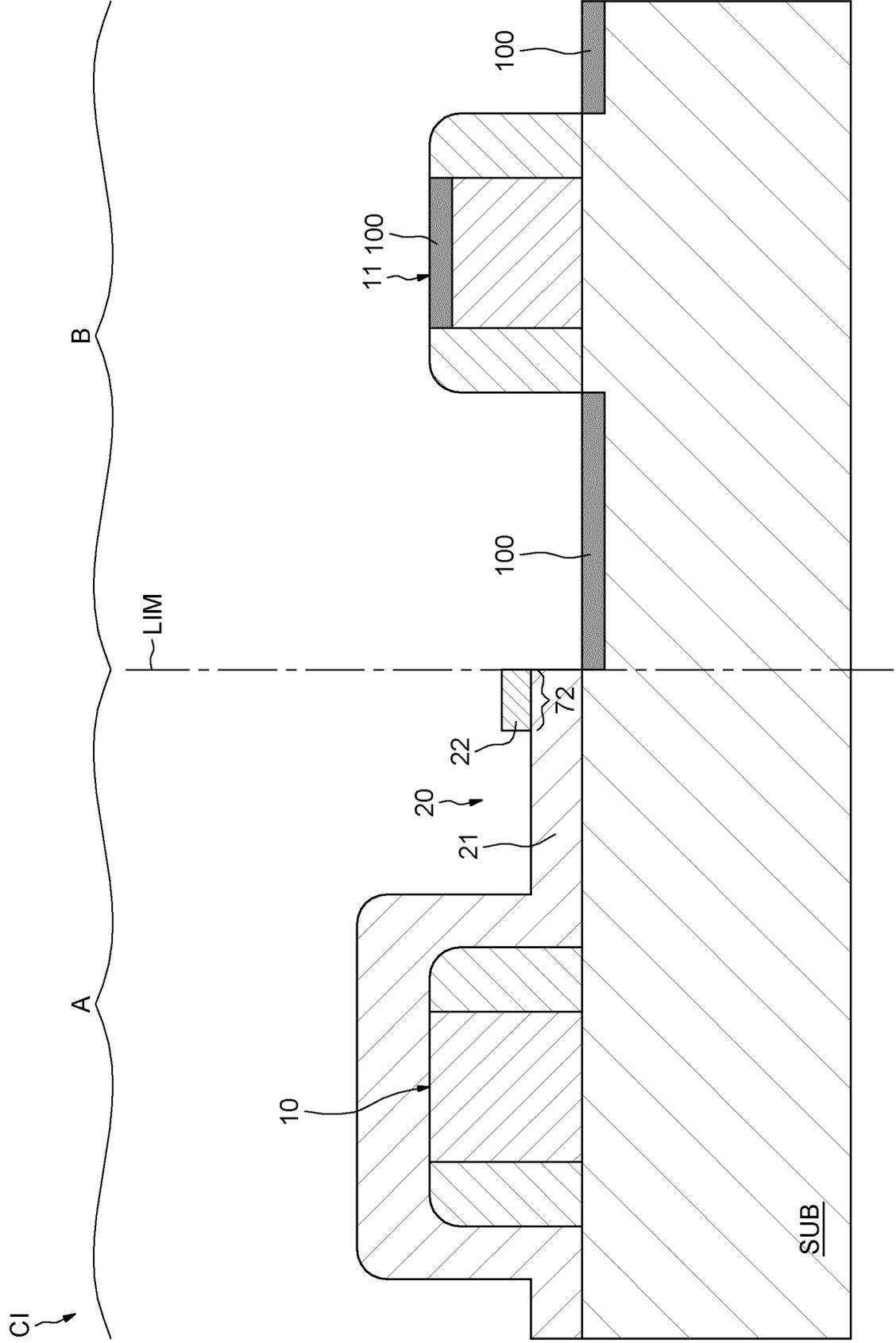


FIG.10



**RAPPORT DE RECHERCHE
 PRÉLIMINAIRE**

 établi sur la base des dernières revendications
 déposées avant le commencement de la recherche

 N° d'enregistrement
 national

 FA 860883
 FR 1857187

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X A	US 6 468 904 B1 (CHEN DIAN-HAU [TW] ET AL) 22 octobre 2002 (2002-10-22) * figures 1-6 *	8-10 1-7	H01L21/28 H01L21/285
X A	US 2015/031179 A1 (THURMER DOMINIC [DE] ET AL) 29 janvier 2015 (2015-01-29) * figures 1-5 *	8-10 1-7	
T	NIKOLAY DYATKO ET AL: "Influence of Nitrogen Admixture on Plasma Characteristics in a dc Argon Glow Discharge and in Afterglow", ATOMS, vol. 7, no. 1, 19 janvier 2019 (2019-01-19), page 13, XP055598396, ISSN: 2218-2004, DOI: 10.3390/atoms7010013 * le document en entier *	1-7	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
21 juin 2019		Ott, André	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1857187 FA 860883**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **21-06-2019**
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6468904	B1	22-10-2002	AUCUN	

US 2015031179	A1	29-01-2015	CN 104347380 A	11-02-2015
			DE 102013214436 A1	19-02-2015
			SG 10201402524U A	27-02-2015
			TW 201505098 A	01-02-2015
			US 2015031179 A1	29-01-2015
