

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5151571号  
(P5151571)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl. F 1  
**G 0 6 F 1 7 / 5 0 ( 2 0 0 6 . 0 1 )** G 0 6 F 1 7 / 5 0 6 6 6 V

請求項の数 16 (全 23 頁)

<p>(21) 出願番号 特願2008-61590 (P2008-61590)                  (22) 出願日 平成20年3月11日(2008.3.11)                  (65) 公開番号 特開2009-217622 (P2009-217622A)                  (43) 公開日 平成21年9月24日(2009.9.24)                  審査請求日 平成23年2月4日(2011.2.4)</p>	<p>(73) 特許権者 000004237                  日本電気株式会社                  東京都港区芝五丁目7番1号                  (74) 代理人 100080816                  弁理士 加藤 朝道                  (72) 発明者 柏倉 和弘                  東京都港区芝五丁目7番1号 日本電気株式会社内                  審査官 松浦 功</p>
---	---

最終頁に続く

(54) 【発明の名称】 電子回路基板の電源雑音解析装置とプログラム

(57) 【特許請求の範囲】

【請求項1】

電子回路基板の設計情報及び前記電子回路基板上に実装される半導体デバイスの設計情報を参照して、前記電子回路基板上に実装される前記半導体デバイスの電源 - グランド間のインピーダンス特性に基づき、前記半導体デバイスでの電源雑音の反射電圧を求め、前記電子回路基板の電源雑音を解析する電源雑音解析装置であって、

前記電子回路基板上に実装される前記半導体デバイスの設計情報を参照し、前記半導体デバイスの内部ゲート数、出力インピーダンス、半導体デバイス端子、パッケージ、チップ端子部分の電源 - グランドの特性インピーダンス、チップ内配線の特性インピーダンスから前記半導体デバイスの電源 - グランド間の入力インピーダンスを求める手段と、

前記電子回路基板の設計情報から電源とグランド情報と、前記電源とグランドに接続するキャパシタ及び前記半導体デバイスを少なくとも含む部品を抽出する手段と、

抽出された前記部品のインピーダンス特性のモデルを、前記電子回路基板に関する基板モデルの実装位置に接続することで、電源雑音の解析モデルを作成する手段と、

前記電源雑音の解析モデルに関して、前記半導体デバイスより前記電子回路基板へ流れる電源雑音の伝播を計算し、前記電子回路基板に実装されている複数の前記半導体デバイスの各々の電源雑音に基づき、前記電子回路基板における電源雑音の伝播の振る舞いを解析する電源雑音解析手段と、

を含む、ことを特徴とする電源雑音解析装置。

【請求項2】

10

20

前記半導体デバイスの電源 - グランド間の入力インピーダンスを求める手段は、前記半導体デバイスの設計情報を参照し、

前記半導体デバイスの内部ゲート数を  $n$ 、

出力インピーダンスを  $R_{out}$ 、

前記半導体デバイス端子部分、パッケージ部分、チップ端子部分の電源 - グランドの特性インピーダンスを  $Z_{vterm}$ 、 $Z_{vpkg}$ 、 $Z_{vbump}$ 、チップ内配線の特性インピーダンスを  $Z_{schip}$  とし、

前記半導体デバイスの電源 - グランド間の入力インピーダンス  $Z_{lsi}$  を、

$$Z_{lsi} = Z_{vterm} + Z_{vpkg} + Z_{vbump} + (R_{out} + Z_{schip}) / n$$

10

で算出する、ことを特徴とする請求項 1 記載の電源雑音解析装置。

【請求項 3】

前記電源雑音解析手段は、前記電子回路基板の設計情報及び前記半導体デバイスの設計情報を参照し、前記半導体デバイスでの前記反射電圧から前記半導体デバイスより前記電子回路基板へ流れる電源雑音を算出する手段と、

前記電子回路基板上に実装される複数の前記半導体デバイスに関して、重ね合わせの原理に基づき、前記半導体デバイスより前記電子回路基板へ流れる前記電源雑音の和から、前記電子回路基板の基板全体での電源雑音を算出する手段と、

を含む、ことを特徴とする請求項 1 又は 2 記載の電源雑音解析装置。

20

【請求項 4】

前記電子回路基板の設計情報及び前記半導体デバイスの設計情報を参照し、前記半導体デバイスの前記電源雑音の量と予め定められた電源雑音耐量とを比較し、設計の妥当性を検証する手段をさらに含む、ことを特徴とする請求項 3 記載の電源雑音解析装置。

【請求項 5】

前記電子回路基板の電源層を 2 次元伝送線路でモデル化した基板モデルを用いる、ことを特徴とする請求項 3 又は 4 に記載の電源雑音解析装置。

【請求項 6】

部品のインピーダンス特性のモデルが登録されているデータベースから、前記電子回路基板に実装される前記部品のインピーダンス特性のモデルを取得する手段と、

前記電子回路基板に実装される前記部品のインピーダンス特性のモデルを用いて前記電子回路基板の電源雑音解析用のモデルを構成する手段と、

を含む、ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の電源雑音解析装置。

30

【請求項 7】

電源雑音に関して、前記電源雑音は前記半導体デバイスのスイッチング動作に起因するとみなすモデルを用いる、ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の電源雑音解析装置。

【請求項 8】

前記電源雑音解析手段は、前記電子回路基板の設計情報及び前記半導体デバイスの設計情報を参照し、 $n$  個 ( $n$  は所定の正整数) の前記半導体デバイスが前記電子回路基板に実装されるものとして、

電源雑音を前記半導体デバイスのスイッチング動作に起因する雑音として扱い、

$i$  番目 (ただし、 $i = 1 \sim n$ ) の前記半導体デバイスに関して、

前記半導体デバイスの電源 - グランド間の入力インピーダンス特性を  $Z_{lsi}[i]$  とし、

前記電子回路基板全体から前記  $i$  番目の前記半導体デバイスを除いた特性であり、且つ、前記  $i$  番目の前記半導体デバイスが実装される位置から見た反射インピーダンス特性を  $Z_{11}[i]$  とし、

前記  $i$  番目の前記半導体デバイスの前記電子回路基板の実装位置では、

最大電圧として電源電圧  $V_{CC}$ 、

最小電圧として  $V_{CC} \cdot Z_{11}[i] / (Z_{11}[i] + Z_{lsi}[i])$

40

50

が印加され、

前記最大電圧と前記最小電圧の差を振幅とする雑音、

$$V_{amp}[i] = V_{CC} - V_{CC} \cdot Z_{l s i}[i] / (Z_{1 1}[i] + Z_{l s i}[i])$$

)

が前記電子回路基板から前記 i 番目の前記半導体デバイスへ流れ込むという条件のもと

、

前記 i 番目の前記半導体デバイスから前記電子回路基板へ流れる雑音  $V_n[i]$  を、反射の式より、

$$V_n[i] = V_{amp}[i] \cdot (Z_{l s i}[i] - Z_{1 1}[i]) / (Z_{l s i}[i] + Z_{1 1}[i])$$

10

にて算出し、

n 個の前記半導体デバイスについて、前記半導体デバイスから前記電子回路基板へ流れる前記雑音  $V_n[i]$  ( $i = 1 \sim n$ ) の和をとることで、前記電子回路基板全体の電源雑音を解析する、ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の電源雑音解析装置。

【請求項 9】

電子回路基板の設計情報及び前記電子回路基板上に実装される半導体デバイスの設計情報を参照して、前記電子回路基板上に実装される前記半導体デバイスの電源 - グランド間のインピーダンス特性に基づき、前記半導体デバイスでの電源雑音の反射電圧を求め、前記電子回路基板の電源雑音を解析する処理をコンピュータに実行させるプログラムであって、

20

前記電子回路基板の設計情報から電源とグランド情報と、前記電源とグランドに接続するキャパシタ及び前記半導体デバイスを少なくとも含む部品を抽出する処理と、

抽出された前記部品のインピーダンス特性のモデルを、前記電子回路基板に関する基板モデルの実装位置に接続することで、電源雑音の解析モデルを作成する処理と、

前記電源雑音の解析モデルに関して、前記半導体デバイスより前記電子回路基板へ流れる電源雑音の伝播を計算し、

前記電子回路基板に実装されている複数の前記半導体デバイスの各々の電源雑音に基づき、前記電子回路基板における電源雑音の伝播の振る舞いを解析する処理と、

を前記コンピュータに実行させるプログラム。

30

【請求項 10】

前記電子回路基板上に実装される前記半導体デバイスの設計情報を参照し、前記半導体デバイスの内部ゲート数、出力インピーダンス、半導体デバイス端子、パッケージ、チップ端子部分の電源 - グランドの特性インピーダンス、チップ内配線の特性インピーダンスから前記半導体デバイスの電源 - グランド間の入力インピーダンスを求める処理を前記コンピュータに実行させる請求項 9 記載のプログラム。

【請求項 11】

前記電子回路基板に実装される前記半導体デバイスの設計情報を参照し、前記半導体デバイスの内部ゲート数を n、

出力インピーダンスを  $R_{out}$ 、

40

前記半導体デバイス端子部分、パッケージ部分、チップ端子部分の電源 - グランドの特性インピーダンスを  $Z_{v t e r m}$ 、 $Z_{v p k g}$ 、 $Z_{v b u m p}$ 、チップ内配線の特性インピーダンスを  $Z_{s c h i p}$  とし、

前記半導体デバイスの電源 - グランド間の入力インピーダンス  $Z_{l s i}$  を、

$$Z_{l s i} = Z_{v t e r m} + Z_{v p k g} + Z_{v b u m p} + (R_{o u t} + Z_{s c h i p}) / n$$

n

で算出する処理を前記コンピュータに実行させる請求項 10 記載のプログラム。

【請求項 12】

前記電子回路基板の設計情報及び前記電子回路基板に実装される前記半導体デバイスの設計情報を参照し、前記半導体デバイスでの前記反射電圧から前記半導体デバイスより前

50

記電子回路基板へ流れる電源雑音を算出する処理と、

前記電子回路基板上に実装される複数の前記半導体デバイスに関して、重ね合わせの原理に基づき、前記半導体デバイスより前記電子回路基板へ流れる電源雑音の和から、前記電子回路基板の基板全体での電源雑音を算出する処理と、

を前記コンピュータに実行させる請求項 9 乃至 11 のいずれか 1 項に記載のプログラム

。

【請求項 13】

前記電子回路基板の電源層を 2 次元伝送線路でモデル化した基板モデルを用いる、請求項 9 乃至 12 のいずれか 1 項に記載のプログラム。

【請求項 14】

部品のインピーダンス特性のモデルが登録されているデータベースから、前記電子回路基板に実装される前記部品のインピーダンス特性のモデルを取得する処理と、

前記電子回路基板に実装される前記部品のインピーダンス特性のモデルを用いて前記電子回路基板の電源雑音解析用のモデルを構成する処理と、

を前記コンピュータに実行させる請求項 9 乃至 13 のいずれか 1 項に記載のプログラム

。

【請求項 15】

電源雑音に関して、前記電源雑音は前記半導体デバイスのスイッチング動作に起因するとみなすモデルを用いる、請求項 9 乃至 14 のいずれか 1 項に記載のプログラム。

【請求項 16】

前記電子回路基板の設計情報及び前記電子回路基板に実装される前記半導体デバイスの設計情報を参照し、 $n$  個 ( $n$  は所定の正整数) の前記半導体デバイスが前記電子回路基板に実装されるものとして、

電源雑音を前記半導体デバイスのスイッチング動作に起因する雑音として扱い、

$i$  番目 (ただし、 $i = 1 \sim n$ ) の前記半導体デバイスに関して、

入力インピーダンス特性を  $Z_{1s}[i]$  とし、

前記電子回路基板全体から前記  $i$  番目の前記半導体デバイスを除いた特性であり、且つ、前記  $i$  番目の前記半導体デバイスが実装される位置から見た反射インピーダンス特性を  $Z_{11}[i]$  とし、

前記  $i$  番目の前記半導体デバイスの前記電子回路基板の実装位置では、

最大電圧として電源電圧  $V_{CC}$ 、

最小電圧として  $V_{CC} \cdot Z_{11}[i] / (Z_{11}[i] + Z_{1s}[i])$

が印加され、

前記最大電圧と前記最小電圧の差を振幅とする雑音、

$V_{amp}[i] = V_{CC} - V_{CC} \cdot Z_{1s}[i] / (Z_{11}[i] + Z_{1s}[i])$

)

が前記電子回路基板から前記  $i$  番目の前記半導体デバイスへ流れ込むという条件のもと

、

前記  $i$  番目の前記半導体デバイスから前記電子回路基板へ流れる雑音  $V_n[i]$  を、反射の式より、

$V_n[i] = V_{amp}[i] \cdot (Z_{1s}[i] - Z_{11}[i]) / (Z_{1s}[i] + Z_{11}[i])$

にて算出し、

$n$  個の前記半導体デバイスについて、前記半導体デバイスから前記電子回路基板へ流れる前記雑音  $V_n[i]$  ( $i = 1 \sim n$ ) の和をとることで、前記電子回路基板全体の電源雑音を解析する処理を、前記コンピュータに実行させる請求項 9 乃至 14 のいずれか 1 項に記載のプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、電源雑音解析技術に関し、特に、電子回路基板の電源雑音の解析に適用して好適な装置並びにプログラムに関する。

【背景技術】

【0002】

電子回路基板に搭載されるLSI (Large Integrated Circuit) 等の半導体部品は、信号の高速化、電源の低電圧化が進んでいるため、電源雑音が、電子回路の安定動作、品質に影響を与えている。パワーインテグリティ (PI) と称される電源雑音の抑制が、電子回路設計に欠かせないものとなっている。

【0003】

電子回路基板 (「プリント基板」あるいは「プリント回路基板」ともいう) の設計段階等において、電源雑音の抑制、解析を行う手法について、各種提案が行われている。例えば特許文献1には、基板製造前の基板レイアウト作成中もしくはレイアウト作成後に、電源電圧変動を抑え、電源供給系回路の共振による不要電磁放射を防止したプリント回路基板が設計できているかを評価する方法として、プリント回路基板上に実装された各アクティブ素子の電源端子接続位置から見た基板内の電源供給系回路のインピーダンス特性を算出する工程と、電源端子接続位置からそれに最も近い位置に接続したコンデンサ素子までのインピーダンス特性とを算出する工程と、前記電源供給系回路のインピーダンス特性と前記コンデンサ素子までのインピーダンス特性の大きさ、位相、実数部、虚数部のいずれかを比較することによって、この電源供給系回路内で共振が起こるか否かを判断する工程と、を含むプリント回路基板特性評価方法が開示されている。

10

20

【0004】

この方法は、電源 - GND 設計情報からインピーダンスを抽出し、基板の共振を計算し、設計の妥当性を検証するものであるが、LSI の特性等を考慮して電源雑音の解析を行うものではない。すなわち、LSI からプリント回路基板上で伝播する電源雑音を解析するものではない。

【0005】

LSI から基板上に伝播する電源雑音を考慮した手法として、例えば特許文献2には、プリント基板の設計段階において、プリント基板の影響を考慮して半導体集積回路内部の電源ノイズを解析すると共に、半導体集積回路から発生するプリント基板上の電源ノイズを解析することを可能たらしめる電源ノイズ解析方法として、半導体集積回路を複数の第1の単位領域に分割し、各第1の単位領域について電源配線、回路、及び回路の電流消費を簡略化した電源網、容量、及び電流源で表し、該電源網、容量、及び電流源を該複数の第1の単位領域について纏めることで該半導体集積回路の全体のモデルを求め、該半導体集積回路が搭載されるプリント基板を複数の第2の単位領域に分割し、各第2の単位領域について電源層を電源網と容量で表し、該複数の第2の単位領域について該電源網を纏めることで該プリント基板の全体のモデルを求め、該半導体集積回路の全体のモデル及び該プリント基板の全体のモデルを結合して回路方程式を解く各段階を含むこと方法が開示されている。

30

【0006】

この電源ノイズ解析方法によれば、半導体集積回路の電源ノイズ解析用のモデルとプリント基板の電源ノイズ解析用のモデルとを結合して電源解析することで、着目している半導体集積回路について、プリント基板上の他の半導体集積回路が発生する電源ノイズの影響を考慮することができると共に、半導体集積回路から発生してプリント基板上で伝播する電源ノイズの解析を可能としている。

40

【0007】

【特許文献1】特開2005 - 251223号公報

【特許文献2】特開2005 - 31850号公報

【0008】

以下に、本発明による関連技術の分析を与えられる。

【0009】

50

関連技術（例えば特許文献1等）においては、プリント基板やバイパスコンデンサの特性だけに頼っており、雑音源となるLSIの振る舞いを考慮していない。この結果、本来、LSIが出す雑音量が小さくても、電源雑音対策を余儀なくされ、過剰品質、すなわち、原価アップにつながる場合がある。

【0010】

半導体デバイスの高速化は、電源雑音を増加させ、低電圧化は、電源雑音耐量を低下させ、プリント基板の設計を難易化させている。

【0011】

このように、プリント基板における電源雑音の抑制が不可欠となるに到っているが、電源雑音を適確に解析する手法が明確になっていない。

10

【0012】

特許文献2においては、プリント基板上の他の半導体集積回路が発生する電源ノイズの影響を考慮することができると共に、半導体集積回路から発生してプリント基板上で伝播する電源ノイズについて解析することを可能とするものであるが、該半導体集積回路の全体のモデル及び該プリント基板の全体のモデルを結合して回路方程式を解くものであり、後述されるように、本発明とは全く相違している。

【0013】

したがって、本発明の目的は、電子回路基板の電源雑音を解析し、電子回路の安定動作を可能とする装置及びプログラムを提供することにある。

【発明の開示】

20

【課題を解決するための手段】

【0014】

本発明によれば、電子回路基板においてプリント基板の電源 - GND(グラウンド)間の特性インピーダンスおよびLSIの電源 - GNDの入力インピーダンスから、電源雑音量を予測して、電子回路が安定した動作できる雑音量を予測する、方法、システム、プログラムが提供される。本発明においては、LSIの電源 - GND間の入力インピーダンスの求めるにあたり、LSIからの出力信号本数(同時動作数)とその駆動能力からLSIの電源 - GND間の入力インピーダンスを求める。

【発明の効果】

【0015】

30

本発明によれば、半導体デバイスの電源 - GND間のインピーダンスを求め、電子回路基板の電源雑音を解析することで、電子回路の安定動作を可能としている。

【発明を実施するための最良の形態】

【0016】

本発明は、グラウンド間のインピーダンス特性と、電子回路基板上に実装される半導体デバイス(LSI)の電源、グラウンド間のインピーダンス特性と、に基づき、当該半導体デバイス(LSI)での電源雑音の反射電圧を算出し、電子回路基板の電源雑音を解析する。本発明においては、当該半導体デバイス(LSI)での反射電圧から半導体デバイス(LSI)より電子回路基板へ流れる電源雑音を求め、電子回路基板上に実装される複数の半導体デバイス(LSI)に関して、重ね合わせの原理に基づき、半導体デバイス(LSI)より電子回路基板へ流れる電源雑音の和から、電子回路基板の基板全体での電源雑音を算出する。

40

【0017】

本発明においては、その一態様において、半導体デバイス(LSI)の出力信号本数とその駆動能力から、前記半導体デバイスの電源 - グラウンド間の入力インピーダンスを求める。

【0018】

本発明においては、電子回路基板上に実装される半導体デバイス(LSI)の設計情報を参照し、半導体デバイス(LSI)における出力バッファ数、出力バッファの出力インピーダンス、半導体デバイス端子部分、半導体デバイスパッケージ部分、及びチップ端子

50

部分のそれぞれの電源 - グランドの特性インピーダンス及び信号の特性インピーダンス、前記半導体デバイス出力端子に接続する配線の特性インピーダンス、出力信号のダンピング抵抗に基づき、半導体デバイス (LSI) の電源 - グランド間の入力インピーダンスを求め。

【0019】

本発明において、半導体デバイス (LSI) の出力バッファ数を  $n$ 、  
 半導体デバイス (LSI) の出力バッファの出力インピーダンスを  $R_{out}$ 、  
 半導体デバイス (LSI) 端子部分の電源 / グランドの特性インピーダンスを  $Z_{vterm}$ 、信号の特性インピーダンスを  $Z_{sterm}$ 、  
 半導体デバイス (LSI) パッケージ部分の電源 / グランドの特性インピーダンスを  $Z_{vpkg}$ 、信号の特性インピーダンスを  $Z_{spkg}$ 、  
 チップの端子部分の電源 / グランドの特性インピーダンスを  $Z_{vbump}$ 、信号の特性インピーダンスを  $Z_{sbump}$  とし、  
 半導体デバイス (LSI) の出力バッファの端子に接続する配線パターンの特性インピーダンス  $Z_0$ 、  
 配線パターンにダンピング抵抗が実装されていればその抵抗値を  $R_s$   
 とし、  
 半導体デバイス (LSI) の電源 - グランド間の入力インピーダンス  $Z_{lsi}$  を、  

$$Z_{lsi} = Z_{vterm} + Z_{vpkg} + Z_{vbump} + \{ R_{out} + Z_{sbump} + Z_{spkg} + Z_{sterm} + R_s + Z_0 \} / n$$
  
 で算出する。

【0020】

本発明においては、半導体デバイス (LSI) の出力バッファの出力インピーダンスを  $R_{out}$ 、  
 半導体デバイス (LSI) の出力バッファの端子に接続する配線パターン of 特性インピーダンスを  $Z_0$ 、  
 配線パターンにダンピング抵抗が実装されていればその抵抗値を  $R_s$   
 とし、  
 半導体デバイス (LSI) の電源 - グランド間の入力インピーダンス  $Z_{lsi}$  を、  

$$Z_{lsi} = \{ R_{out} + R_s + Z_0 \} / n$$
  
 で算出してもよい。

【0021】

本発明においては、電子回路基板上に実装される半導体デバイス (LSI) の設計情報を参照し、半導体デバイス (LSI) の内部ゲート数、出力インピーダンス、半導体デバイス (LSI) 端子、パッケージ、チップ端子部分の電源 - グランドの特性インピーダンス、チップ内配線の特性インピーダンスから半導体デバイス (LSI) の電源 - グランド間の入力インピーダンスを求める構成としてもよい。本発明においては、半導体デバイス (LSI) の内部ゲート数を  $n$ 、出力インピーダンスを  $R_{out}$ 、半導体デバイス (LSI) 端子部分、パッケージ部分、チップ端子部分の電源 - グランドの特性インピーダンスを  $Z_{vterm}$ 、 $Z_{vpkg}$ 、 $Z_{vbump}$ 、チップ内配線の特性インピーダンスを  $Z_{schip}$  とし、半導体デバイス (LSI) の電源 - グランド間の入力インピーダンス  $Z_{lsi}$  を、  

$$Z_{lsi} = Z_{vterm} + Z_{vpkg} + Z_{vbump} + ( R_{out} + Z_{schip} ) / n$$
  
 で算出するようにしてもよい。

【0022】

本発明においては、半導体デバイス (LSI) での反射電圧から当該半導体デバイス (LSI) より電子回路基板へ流れる電源雑音を算出し、  
 電子回路基板上に実装される複数の半導体デバイス (LSI) に関して、重ね合わせの原理に基づき、半導体デバイス (LSI) より電子回路基板へ流れる電源雑音の和から、電子回路基板の基板全体での電源雑音を算出する。

## 【 0 0 2 3 】

本発明においては、半導体デバイス（LSI）の電源雑音量と予め定められた電源雑音耐量とを比較し、設計の妥当性を検証するようにしてもよい。

## 【 0 0 2 4 】

本発明においては、電子回路基板の電源層を2次元伝送線路でモデル化した基板モデルを用いる。

## 【 0 0 2 5 】

本発明においては、部品のインピーダンス特性のモデルが登録されているデータベースから、電子回路基板に実装される前記部品のインピーダンス特性のモデルを取得し、

電子回路基板に実装される前記部品のインピーダンス特性のモデルを用いて、電子回路基板の電源雑音解析用のモデルを構成する、ようにしてもよい。

## 【 0 0 2 6 】

本発明においては、電源雑音に関して、前記電源雑音は半導体デバイス（LSI）のスイッチング動作に起因するとみなすモデルを用いる。

## 【 0 0 2 7 】

本発明においては、電子回路基板の設計情報から電源とグランド情報と、前記電源とグランドに接続するキャパシタ及び半導体デバイス（LSI）を少なくとも含む部品を抽出し、

抽出された部品のインピーダンス特性のモデルを、電子回路基板に関する基板モデルの実装位置に接続することで、電源雑音の解析モデルを作成し、

前記電源雑音の解析モデルに関して、半導体デバイス（LSI）より電子回路基板へ流れる電源雑音の伝播を計算し、電子回路基板に実装されている複数の前記半導体デバイスの各々の電源雑音に基づき、電子回路基板における電源雑音の伝播の振る舞いを解析する。

## 【 0 0 2 8 】

本発明においては、 $n$ 個（ $n$ は所定の正整数）の半導体デバイス（LSI）が電子回路基板に実装されるものとして、電源雑音を半導体デバイス（LSI）のスイッチング動作に起因する雑音として扱い、

$i$ 番目（ただし、 $i = 1 \sim n$ ）の半導体デバイス（LSI）に関して、

入力インピーダンス特性を $Z_{1s i [i]}$ とし、

電子回路基板全体から前記 $i$ 番目の前記半導体デバイス（LSI）を除いた特性であり、且つ、 $i$ 番目の半導体デバイス（LSI）が実装される位置から見た反射インピーダンス特性を $Z_{11 [i]}$ とし、

前記 $i$ 番目の半導体デバイス（LSI）の電子回路基板の実装位置では、

最大電圧として電源電圧 $V_{CC}$ 、

最小電圧として $V_{CC} \cdot Z_{11 [i]} / (Z_{11 [i]} + Z_{1s i [i]})$

が印加され、

前記最大電圧と前記最小電圧の差を振幅とする雑音、

$V_{amp [i]} = V_{CC} - V_{CC} \cdot Z_{1s i [i]} / (Z_{11 [i]} + Z_{1s i [i]})$

が電子回路基板から $i$ 番目の半導体デバイス（LSI）へ流れ込むという条件のもと、

$i$ 番目の半導体デバイス（LSI）から電子回路基板へ流れる雑音 $V_n [i]$ を、反射の式より、

$V_n [i] = V_{amp [i]} \cdot (Z_{1s i [i]} - Z_{11 [i]}) / (Z_{1s i [i]} + Z_{11 [i]})$

にて算出し、

$n$ 個の前記半導体デバイスについて、半導体デバイス（LSI）から電子回路基板へ流れる雑音 $V_n [i]$ （ $i = 1 \sim n$ ）の和をとることで、電子回路基板全体の電源雑音を解析する。以下、実施例に即して説明する。

## 【実施例】

10

20

30

40

50

## 【0029】

図1は、本発明の一実施例の動作原理（構成、及び処理フロー）を説明するための図である。なお、図1に示した構成のシステム（電源雑音解析システム）は、演算装置、記憶装置、入出力装置、必要に応じて通信装置等を備えたデータ処理装置により実現することができる。また図1の各ステップは、データ処理装置上で実行されるプログラムによりその処理・機能の全て又は一部を実現するようにしてもよい。

## 【0030】

まず、電子回路基板の設計情報（電子回路設計情報）1から電源、グランド（GND）に関する設計情報を抽出する（ステップS11）。

## 【0031】

電子回路基板は、例えば図2（A）に示すように、プリント基板10上に、半導体デバイス（LSI）11やコンデンサ（バイパスコンデンサ）12等の部品が実装される。

## 【0032】

一般に、多層プリント基板は、図2（B）に示すように、例えばプリント基板10の絶縁樹脂を間に挟んで電源層（電源配線層）21とGND層（GND配線層）22を備えている。この層を通して電源13からLSI11へ給電される。電子回路設計情報1には、電子回路基板、及び搭載される部品情報、接続情報が含まれ、所定の記憶装置（記憶領域）に記憶保持される。

## 【0033】

図1のステップS11では、電子回路設計情報1から、電源、GNDに接続する物理情報と回路情報を抽出する。

## 【0034】

次に、図3（A）の電源-GNDプレーンは、図3（B）に示すように、伝送線路モデルや、図3（C）に示すように、抵抗・キャパシタ・インダクタ等のメッシュ構造で近似（モデル化）される。なお、図3（C）は、図3（B）の2次元伝送線路モデルをL（インダクタ）、C（キャパシタ）、R（抵抗）を用いてモデル化した一例を示す図である。

## 【0035】

次に、図1のステップS12において、電源-GND間のインピーダンス特性（Zパラメータ）を計算する。

## 【0036】

本実施例による電源-GND間のインピーダンスの計算例を、図4（A）、（B）に示す。図4（A）は、ある位置での反射インピーダンス（ $Z_{11}$ ）[Ohm]（対数スケール）、図4（B）はある位置からある位置への透過インピーダンス（ $Z_{21}$ ）[Ohm]（対数スケール）である。横軸は周波数（対数スケール）である。なお、図4（A）、図4（B）において、“ $100\text{um}$ （ $r=4.4$ ）”における $r$ は平行平板コンデンサ（例えば図3（A）の電源層21、グランド層22の平行平板とその間の絶縁体24からなるコンデンサ）の絶縁体（誘電体）の比誘電率であり、 $100\text{um}$ （マイクロメートル）は絶縁体（誘電体）の膜厚である。

## 【0037】

図1のステップS13において、電子回路設計情報1から、電源とGNDに接続する部品を抽出する。ステップS13で抽出される部品は、バイパスコンデンサとして使用されるキャパシタと半導体デバイス（LSI）である。

## 【0038】

キャパシタは、図5（A）に示すように、純容量ではなく、容量（C）、等価直列抵抗（ESR：Equivalent Series Resistance）、等価直列インダクタ（ESL：Equivalent Series Inductance）の直列回路で示される。図5（B）には、キャパシタ（コンデンサ）のインピーダンス特性（対数スケール）を示している。横軸は周波数（対数スケール）である。キャパシタのモデルは、実測（LCRメータ測定値）から電源-GNDインピーダンス（Zパラメータ）を計算する方法や、SパラメータS11を測定して、Zパラメータに変換することでインピ

10

20

30

40

50

ードانس特性を求めるとしてもよい。あるいはシミュレーションからもインピーダンス特性を求めてもよい。キャパシタの電源 - GNDインピーダンスはデータベース2に部品情報として予め登録しておく(図1のステップS20)。

【0039】

図1のステップS14において、電子回路設計情報1から抽出された部品(部品情報)は、データベース2からインピーダンス特性を読み出し、図3に示した基板モデルの実装位置に接続する。ステップS14において、LSIについても、同様に、データベース2から特性(インピーダンス特性)を読み出し、図3の基板モデルに接続する。

【0040】

LSIのモデルは、

実デバイスを駆動させ、電源電圧と電源電流(VI特性)から、LSIの電源 - GNDインピーダンス(Zパラメータ)を計算する方法や、

リターンロス(SパラメータS11)を測定して、Zパラメータに変換することで、インピーダンス特性を求めることができる。あるいは、

半導体モデル(SPICEモデルなど)があれば、シミュレーションからも同様の方法で、インピーダンス特性は求められる。なお、LSIについても、インピーダンス特性をデータベース2に登録しておく(図1のステップS19)。

【0041】

図6は、電子回路基板(プリント基板)上にキャパシタを配置したインピーダンス特性(図6(A)は反射インピーダンス、図6(B)は透過インピーダンス)である。プリント基板上にキャパシタを実装することで、基板全体のインピーダンス特性が変化することを示しており、同じ容量のキャパシタでも、実装位置が変わると、特性自体が変化することを示している。なお、図6(A)、(B)において、“No CAP”はコンデンサ無しを表している。“0.1uF x 4 Upside @ 50mm”は、容量0.1uF(マイクロファラッド)のコンデンサ4つを部品面側に互いに50mm離間させて配置した場合を表している。また、“0.1uF x 4 Downside @ 50mm”は、容量0.1uF(マイクロファラッド)のコンデンサ4つを半田面側に互いに50mm離間させて配置した場合を表している。

【0042】

次に図1のステップS15において、図1のステップS12で計算した電源 - GNDのインピーダンス特性(Zパラメータ)と、データベース2から取得したLSI、キャパシタのインピーダンス特性を用いて電源雑音の解析モデルを作成する。より詳細には、例えば図7に示すように、基板モデル(プリント基板のモデル)100において、キャパシタモデル102と、LSIモデル102を実装位置に接続することで、電源雑音の解析モデルを構成する。

【0043】

次に、図1のステップS16において、電源雑音の解析を行う。以下、電源雑音解析について具体例に即して説明する。

【0044】

図8は、本実施例における電源雑音解析を説明する模式図である。図8に示すように、n個のLSIが電子回路基板に実装されるものとして、i番目(i=1~n)のLSIに注目する。

【0045】

i番目のLSIの特性(入力インピーダンス)を $Z_{l s i}[i]$ とする。

【0046】

基板全体からi番目のLSIを除いた特性で、かつ、i番目のLSIが実装される位置から見た反射インピーダンス特性( $Z_{11}$ )を計算し、これを、 $Z_{11}[i]$ とする。

【0047】

電源雑音は、LSI内部のスイッチング動作(例えばCMOS LSI等では、論理0、1のスイッチング動作)に起因するので、図8の簡易モデルとみなすことができる。

10

20

30

40

50

## 【0048】

その際、 $i$  番目の L S I と電子回路基板（プリント基板）との境界（実装位置）では、最大値は、電源電圧  $VCC$ 、

最小値は、電源電圧  $VCC$  を、 $Z11[i]$  と  $Z1si[i]$  とで分圧した電圧  $VCC \cdot Z11[i] / (Z11[i] + Z1si[i])$

が、 $i$  番目の L S I の入力に印加され、最大値と最小値の差を振幅とする雑音電圧が、基板から  $i$  番目の L S I へ印加される。

## 【0049】

この雑音電圧の振幅を  $Vamp[i]$  とすると、最大値 - 最小値で与えられ、次式（19）と表される。

## 【0050】

$Vamp[i] = VCC - VCC \cdot Z1si[i] / (Z11[i] + Z1si[i])$   
 $\cdot \cdot \cdot (1)$

である。

## 【0051】

ここで、一般に、インピーダンス  $Z11[i]$  と  $Z1si[i]$  とは等しくない。このため、反射や透過の影響が生じる。

## 【0052】

すなわち、 $i$  番目の L S I から基板へ流れる雑音  $Vn[i]$  は、反射の式から、

$Vn[i] = Vamp[i] \cdot (Z1si[i] - Z11[i]) / (Z1si[i]$   
 $+ Z11[i])$   
 $\cdot \cdot \cdot (2)$

となる。

## 【0053】

この雑音  $Vn[i]$  が基板全体に広がる。なお、式（2）から、 $Vn[i]$  は一般に、実数部と虚数部からなる複素数で表現される。

## 【0054】

$i$  番目の L S I から任意の L S I への透過インピーダンスを計算することで、 $i$  番目の L S I から基板へ流れる雑音  $Vn[i]$  の伝播が計算できる。

## 【0055】

更に、1 番目の L S I から電子回路基板に実装されている  $n$  個の L S I までの全てについて、それぞれの雑音  $Vn[i]$  ( $i = 1 \sim n$ ) を計算し、重ねの理の原理から、全ての雑音の和、

$Vn[i]$   
 $\cdot \cdot \cdot (3)$

をとることで、電子回路基板全体の電源雑音伝播の振る舞いを解析することができる。

## 【0056】

次に、各 L S I の電源雑音耐量を定義しておき、解析した各 L S I の電源雑音量を電源雑音耐量と比較して、設計が妥当かを検証する（図1のステップ S17）。比較の結果、電源雑音量が適正でない場合（図1のステップ S17 の NG）、電源雑音量の低減のため、設計変更が行われる（図1のステップ S18）。

## 【0057】

一般に、L S I の電源許容範囲（電源雑音マージン）は 5 % 程度であるため、これを電源雑音の閾値（電源雑音耐量）とすることで、実設計に応用することは十分可能である。なお、例えば図1のデータベース 2 内に、L S I の電源雑音耐量を L S I と対応させて予め登録しておくようにしてもよい。

## 【0058】

図1のステップ S16 の電源雑音解析に関して、図9に示した具体例に基づき、解析原理を説明する。図9は、プリント基板上に2個の L S I と数個のバイパスコンデンサが実装されたモデルである。便宜上、L S I のモデルを純抵抗、キャパシタモデルを純容量で記載しているが、それぞれ周波数特性を持ったインピーダンス特性であるものとする。また、図9では、単純化のため、L S I を2個搭載した構成とされるが、実際の解析におい

10

20

30

40

50

ては、電子回路基板上に実装されるLSIや半導体部品の特性インピーダンスデータを用いて解析される。

【0059】

プリント基板の電源GNDは、図3にも示したように、電源-GNDの並行平板コンデンサをメッシュ構造に分割している。図9に示す例では、電源層が1枚、GND層が1枚の構成であるが、電源、GNDが複数存在してもかまわず、その場合、それぞれの電源層、GND層の結合を考慮したモデル化を行う必要がある。

【0060】

このメッシュ状のモデルに、電子回路基板上での実装位置に合わせ、LSIやキャパシタのモデルを接続し解析モデルを構成している。

10

【0061】

次に、図9に示したモデルを用いた電源雑音解析手法を説明する。1番目のLSIについて、図8から求められる反射波 $V_n[1]$ は、プリント基板上の伝送線路網を四方に伝播する。図9のモデルでは、1接点(ノード)から4本の伝送線路が接続され、1本あたり、雑音 $V_n[1]/4$ の振幅が伝播される。

【0062】

任意の伝送線路中を伝播するノイズは、次の接点(ノード)にぶつかると、反射・透過という現象が生じる。

【0063】

全ての伝送線路は、同一インピーダンスを持つものとして、1本の伝送線路が3本へ分岐するから、特性インピーダンスが $1/3$ の伝送線路へ接続されることと等価である。

20

【0064】

その際、

$$\begin{aligned} \text{反射する雑音振幅} &= \text{元の振幅} \cdot (Z_0/3 - Z_0) / (Z_0/3 + Z_0) \\ &= -\text{元の振幅} / 2 \quad \dots (4) \end{aligned}$$

【0065】

$$\begin{aligned} \text{1本当り透過する雑音振幅} &= (1 - \text{反射する振幅}) / 3 \\ &= \text{元の振幅} / 2 \quad \dots (5) \end{aligned}$$

となり、伝播が進むほど振幅は小さくなっていく。

【0066】

また、反射も接点にぶつかる度に、反射・透過を繰り返し、全体としては、波紋が広がるように、基板全体へと雑音が伝播されていく。なお、上式(4)、(5)は、1ノードに4つの伝送線路を接続したモデルの場合であって、モデルの形式によっては異なる式になる。

30

【0067】

このような演算を繰り返すことで、LSI1から発生する雑音は、基板全体へと広がり、かつ、それぞれの雑音量も計算することができる。

【0068】

次に、2番目のLSIについても同様に計算し、3つ以上LSIが実装されていれば全てのLSIについて計算を行う。

40

【0069】

次に、全てのLSIの雑音量の和を取ることで、重ねの理の原理により、全てのLSIを考慮した電源雑音の計算をしたことに相当する。このように、電源雑音発生メカニズムを再現することができ、プリント基板設計段階で電源雑音を把握することが出来る。

【0070】

また、図1において、ステップS17の電源雑音妥当性判断において、電源雑音の閾値をLSIのデータベース2に登録し、その値を参照することで、明確な判断させることが可能になり、設計へのフィードバックが容易になる。

【0071】

一般のLSIでは、電源電圧 $\pm 5\%$ 程度のスペックなので、この値を基準値にしておけ

50

ば、データベースの作成に煩わされることはなくなる。

【0072】

LSI内部にPLL(Phase Locked Loop)などがあり、電源雑音の周波数特性が必要な場合には、個別データベースに登録することで、より設計品質を向上させることが可能となる。

【0073】

本発明において、電源-GNDプレーンのモデル化として、伝送線路(図3(B))や、抵抗・キャパシタ・インダクタのメッシュ構造モデル(図3(C))で説明したが、有限要素法、境界要素法、FDTD(Finite Difference Time Domain)法など様々なモデル化手法が適用可能である。電源-GNDモデル化の手法に特に制限は課せられない。基板の縦横を、 $m \times n$ に分割し( $m \times n$ )ポートを持つSパラメータやZパラメータとして記述することも可能である。

【0074】

なお、図1のステップS11~S20の各ステップは、データ処理装置で実行されるプログラムによりその機能を実現するようにしてもよいことは勿論である。この場合、例えば図1のステップS13、S15、S16、S17の部品情報抽出、解析モデル作成、電源雑音解析、電源雑音妥当性判断の各処理を実現するデータ処理装置(電源雑音解析装置)の手段(プログラムモジュール)は、部品情報抽出手段、解析モデル作成手段、電源雑音解析手段、電源雑音妥当性判断手段をそれぞれ構成する(他のステップについても同様である)。

【0075】

<関連技術との対比>

上記特許文献2に記載された発明は、電源雑音解析対象の半導体集積回路とプリント基板を電源網及び電流源網で表現し、半導体集積回路の全体のモデル及び該プリント基板の全体のモデルを結合して回路方程式を解くというものである。特許文献2では、半導体デバイスの反射電圧を求めることは開示されていない、この反射電圧から半導体デバイスより前記電子回路基板へ流れる電源雑音を計算し前記電子回路基板へ流れる電源雑音から、重ね合わせの原理に基づき、前記電子回路基板の基板全体での電源雑音を解析する構成の本発明とは全く相違している。

【0076】

次に、本発明の別の実施例として、LSIの電源-GND間の入力インピーダンスのモデルの作成について、図10乃至図14を参照して説明する。

【0077】

図10は、LSIのI/O(Input/Output、LSIの外部インターフェース用)電源の電源-GND間入力インピーダンスモデルを作成する手順を示す図である。図11は、図10の手順に基づく、LSI実装基板のモデルである。図11には、プリント配線基板(プリント基板)10における電源30、電源層21/GND層22、LSI(LSIパッケージ)11、LSI端子(リード、BGA(Ball Grid Array)等)28、LSIパッケージにおける電源層/GND層、LSIチップ11A、チップ端子25(ワイヤ、パンプ等)、n個の出力バッファ27、チップ端子(ワイヤ、パンプ等)26、信号配線/GND層、LSI端子(リード、BGA(Ball Grid Array)等)28'、nビットの信号配線/GND層の接続構成が模式的に示されている。

【0078】

図12は、図11を簡略化し、プリント配線基板(プリント基板)10上に実装したLSIへ電源供給されそのエネルギーが信号線へと流れる様子を模式的に示す図である。図12(A)は、プリント配線基板の構成が側断面図として示されており、図12(B)には、電源30からプリント基板10の電源-GND層を通過して、LSI11に供給され、LSI11の出力バッファ27から信号線23へ流れ込む様子が示されている。電源と信号線23は、トランジスタ(PMOS、NMOS)を介して接続している。

## 【 0 0 7 9 】

図 1 0 を参照すると、本実施例においては、まず、半導体デバイスである I C や L S I の設計情報 ( 1 A ) から、対象とする I / O 電源から供給される出力バッファ数 n を抽出する ( ステップ S 2 1 ) 。 その際、最大同時動作数が既知であれば、最大同時動作数を n としてもよい。

## 【 0 0 8 0 】

出力バッファの特性から出力インピーダンスを求める ( ステップ S 2 2 ) 。

## 【 0 0 8 1 】

図 1 2 ( B ) を参照すると、 L S I の出力バッファモデルは、 P M O S トランジスタと N M O S トランジスタからなる C M O S インバータで構成されているが、その他の回路でも基本的考えは変わらない。

10

## 【 0 0 8 2 】

出力バッファ 2 7 を構成する C M O S インバータは、図 1 3 ( B ) に示すように、 P M O S トランジスタと N M O S トランジスタのソースは電源 V C C とグラウンド ( G N D ) にそれぞれ接続され、ドレインは出力端子に共通接続され、ゲートは共通接続され入力信号を受ける。

## 【 0 0 8 3 】

図 1 3 ( B ) の P M O S トランジスタと N M O S トランジスタは、図 1 3 ( C ) に示すように、可変抵抗で表すことができる。

## 【 0 0 8 4 】

20

図 1 3 ( A ) は、図 1 3 ( B ) の出力バッファの P M O S 、 N M O S のインピーダンス特性の時間変化を示す図である。すなわち、図 1 3 ( A ) には、ゲート電圧が時間変化した際の図 1 3 ( C ) の P M O S 、 N M O S の出力インピーダンス ( オン抵抗  $R_{on}$  ) の変化の様子が示されている。図 1 3 ( A ) に示すように、 P M O S と N M O S のオン抵抗  $R_{on}$  ( P M O S ) と  $R_{on}$  ( N M O S ) は相補的に変化する。

## 【 0 0 8 5 】

出力バッファの出力インピーダンス  $R_{out}$  は、 P M O S と N M O S のオン抵抗  $R_{on}$  ( P M O S ) と  $R_{on}$  ( N M O S ) との合成抵抗であることは、テブナンの定理より明らかである。

## 【 0 0 8 6 】

30

$$R_{out} = \{ R_{on} ( P M O S ) \times R_{on} ( N M O S ) \} / \{ R_{on} ( P M O S ) + R_{on} ( N M O S ) \} \quad \dots ( 6 )$$

## 【 0 0 8 7 】

なお、電源雑音や消費電流で議論される「貫通電流」は、  $R_{on}$  ( P M O S ) と  $R_{on}$  ( N M O S ) とが両方が同時に O N になり、電源 V C C からグラウンド G N D に流れる電流である。この貫通電流は、相補的な可変抵抗の振る舞いで説明することができ、この出力インピーダンスには貫通電流が考慮されていることになる。

## 【 0 0 8 8 】

更に、出力バッファの出力インピーダンスの求め方について説明する。出力インピーダンスは、図 1 4 に示した、出力インピーダンスの電流 - 電圧特性から導くことができる。図 1 4 のグラフ ( 横軸 : 電流、縦軸 : 電圧 ) は、出力バッファの H i g h レベル特性と、 L o w レベル特性を重ね、更に、出力バッファの駆動能力 ( 4 m A 、 6 m A 、 8 m A 、 1 2 m A 、 2 4 m A ) に対応させて複数プロットしてある。本来であれば、入力バッファの特性を描いて負荷曲線を描くべきであるが、出力バッファの特性だけで説明ができるので、省略されている。

40

## 【 0 0 8 9 】

L o w レベルから H i g h レベルへ変化する際、最初の安定点を、電流 0 A 、 0 V とし、そこから配線の特性インピーダンスの負荷曲線を描く。 H i g h 特性のカーブとの交点が信号配線を駆動する電圧と電流にあたる。

## 【 0 0 9 0 】

50

図14では、出力バッファの駆動能力12mAのカーブを示している。この交点における、電流-電圧カーブの接線の傾き(交点の傾き)が出力インピーダンス $R_{out}$ に相当する。このように、出力バッファの出力インピーダンスは、容易に求めることができる。

【0091】

再び図10を参照すると、次に、LSIを構成するLSI端子、LSIパッケージ、ボンディングワイヤやバンプなどの電源-GND、信号についてそれぞれインピーダンス特性を抽出する(ステップS23)。

【0092】

LSI端子部分の電源/グラウンドの特性インピーダンスを $Z_{vterm}$ 、信号の特性インピーダンスを $Z_{sterm}$ 、

LSIパッケージ部分の電源/グラウンドの特性インピーダンスを $Z_{vpkg}$ 、信号の特性インピーダンスを $Z_{spkg}$ 、

チップの端子部分の電源/グラウンドの特性インピーダンスを $Z_{vbump}$ 、信号の特性インピーダンスを $Z_{sbump}$ とする。これらは、出力インピーダンス $R_{out}$ や、後述するプリント基板の特性に比べ影響が小さいことから、これら情報が無くても、精度は落ちるものの、電源雑音解析には、特に、支障はない。

【0093】

図10を参照すると、更に、電子回路設計条件1からLSIの出力バッファの端子に接続する配線パターンの特性インピーダンス $Z_0$ を抽出する。その際、配線パターンに直列抵抗(ダンピング抵抗)が実装されていればその抵抗値 $R_s$ も抽出する(ステップS25)。

【0094】

これらの情報が抽出できると、次式(7)により、LSIの電源-GND間の入力インピーダンスを算出することができる。

【0095】

$$Z_{lsi} = Z_{vterm} + Z_{vpkg} + Z_{vbump} + \{ R_{out} + Z_{sbump} + Z_{spkg} + Z_{sterm} + R_s + Z_0 \} / n \quad \dots (7)$$

【0096】

なお、 $Z_{vterm}$ 、 $Z_{sterm}$ 、 $Z_{vpkg}$ 、 $Z_{spkg}$ 、 $Z_{vbump}$ 、 $Z_{sbump}$ を省略した場合には、単純に

$$Z_{lsi} = \{ R_{out} + R_s + Z_0 \} / n \quad \dots (8)$$

となる。

【0097】

式(8)は、本発明における特徴の1つを構成する式でもある。すなわち、LSIの電源-GND間の入力インピーダンス $Z_{lsi}$ は、信号出力の出力インピーダンス $R_{out}$ と配線の特性インピーダンス $Z_0$ とダンピング抵抗 $R_s$ の和の信号線数で割ったものに等しいことになる。

【0098】

また、ここでは、全て同じ出力インピーダンス、同じ配線の特性インピーダンス、ダンピング抵抗としているが、異なっても原理的には、合成抵抗の計算に置き換えることができる。すなわち、求める抵抗値 $R$ として

$$1/R = 1/R_1 + 1/R_2 + \dots + 1/R_n \quad \dots (9)$$

となる。

【0099】

それぞれ $R_{out}$ 、 $R_s$ 、 $Z_0$ が異なっても、求めることは可能である。

【0100】

次にLSIの電源-GND間の入力インピーダンスの動作原理を説明する。前述したように、図12において、出力バッファ27のPMOS、NMOSTランジスタは、図13(C)に示す通り相補的な可変抵抗で表される。

【0101】

10

20

30

40

50

プリント基板の電源 - GNDも1つの伝送路とみなすことができ、信号配線とプリント基板の電源 - GNDとは抵抗を介して接続しているとみなせる。プリント基板の電源 - GNDと信号配線との間で反射、透過の関係が成り立つ。ここから、LSIの電源 - GND間の入力インピーダンスは信号配線のインピーダンスと出力バッファの出力インピーダンスの和であり、同一特性の出力バッファがn個接続されていれば、その1/nであることが理解できる。

【0102】

また、異種出力バッファの場合は、式(9)の合成抵抗の計算で求める。ただし、LSI内部にはインターポーザ(LSIパッケージ)の配線や端子、チップとのワイヤ(またはパンプなど)等、インピーダンスを決定する要因がある。これらを示したのが、図11

10

である。

【0103】

次に本実施例における電源雑音解析手法について図9を参照して説明する。1番目のLSIについて、図8から求められる反射波 $V_n[1]$ は、プリント基板上の伝送線路網を四方に伝播する。図9のモデルでは、1接点(ノード)から4本の伝送線路が接続され、1本あたり、 $V_n[1] \div 4$ の振幅が伝播される。

【0104】

任意の伝送線路中を伝播するノイズは次の接点(ノード)にぶつかると、反射・透過という現象が生じる。全ての伝送線路は同一インピーダンスを持つものとして、1本の伝送線路が3本へ分岐するから、特性インピーダンスが1/3の伝送線路へ接続されるのと透過である。その際、

20

$$\begin{aligned} \text{反射する雑音振幅} &= \text{元の振幅} \times (Z_0 / 3 - Z_0) / (Z_0 / 3 + Z_0) \\ &= - \text{元の振幅} / 2 \quad \dots (10) \end{aligned}$$

$$\begin{aligned} \text{1本当たり透過する雑音振幅} &= (1 - \text{反射する振幅}) / 3 \text{本} \\ &= \text{元の振幅} / 2 \quad \dots (11) \end{aligned}$$

となり、伝播が進むほど振幅は小さくなっていく。

【0105】

また、反射も接点にぶつかる度に、反射・透過を繰り返し、全体としては波紋が広がるように基板全体へと雑音が伝播されていく。なお、この上式(10)、(11)は、1ノードに4つの伝送線路を接続したモデルの場合であって、モデルの形式によっては異なる式になる。このような演算を繰り返すことで、LSI1から発生する雑音は基板全体へと広がり、かつ、それぞれの雑音量も計算することができる。

30

【0106】

次に2番目のLSIについても同様に計算し、3つ以上LSIが実装されていれば全てのLSIについて計算を行う。最後に、全てのLSIの雑音量の和を取ることで重ねの理の原理により全てのLSIを考慮した電源雑音の計算をしたことに相当する。

【0107】

このように、電源雑音発生メカニズムを再現することができ、プリント基板設計段階で電源雑音を把握することが出来るというメリットがある。

【0108】

40

また、図1の電源雑音妥当性判断(ステップS17)のフローの中で、電源雑音の閾値をLSIのデータベースに登録し、その値を参照することで、明確な判断させることが可能になり、設計へのフィードバックが容易になることは明白である。前述したように、一般にLSIでは電源電圧 $\pm 5\%$ 程度のスペックなので、この値を基準値にしておくことで、データベース作成に煩わされることはなくなるが、LSI内部にPLLなどがあり、電源雑音の周波数特性が必要な場合には、個別データベースに登録することで、より設計品質を向上させることが可能となる。更に、LSI内部をブラックボックスとすることなく、出力バッファの出力インピーダンス、さらに配線のインピーダンスといった比較的入手しやすい情報からLSIの電源 - GND間の入力インピーダンスを求めることができるという利点がある。

50

## 【0109】

図15は、LSIの電源-GND間の入力インピーダンスを求める手法として、コア電源(内部回路用電源)のフローと構成を示す。図16は、プリント配線基板10に実装されたLSIチップの内部構成(nビット相当の出力バッファを備える)を模式的に示す図である。

## 【0110】

LSI内部回路の場合は、チップ内の内部出力ゲート数、チップ内配線(アルミ配線など)の特性インピーダンスを必要とするが、基本的な考え方は、前記実施例と同じである。

## 【0111】

LSI設計情報1Aより、  
 チップ内の内部出力ゲート数をn、  
 出力インピーダンスをRout、  
 LSI端子部分の電源/グランドの特性インピーダンスをZvterm、  
 LSIパッケージ部分の電源/グランドの特性インピーダンスをZvpkg、  
 チップの端子部分の電源/グランドの特性インピーダンスをZvbump、  
 チップ内配線(アルミ配線など)の特性インピーダンスをZschip、  
 とし、LSIの電源-GND間の入力インピーダンスを式(12)で算出することができる。

## 【0112】

$$Z_{lsi} = Z_{vterm} + Z_{vpkg} + Z_{vbump} + \{R_{out} + Z_{schip}\} / n \quad \dots (12)$$

## 【0113】

本発明の全開示(請求の範囲を含む)の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

## 【図面の簡単な説明】

## 【0114】

【図1】本発明の一実施例の処理手順を説明する図である。

【図2】電子回路基板(プリント基板)の構成例を説明する図である。

【図3】電源・GNDプレーンのモデルを説明する図である。

【図4】電源-GNDのインピーダンス特性を示す図である。

【図5】コンデンサの等価回路とインピーダンス特性を示す図である。

【図6】電子回路基板上にキャパシタを配置したインピーダンス特性である。

【図7】プリント基板のモデルを示す図である。

【図8】本発明の一実施例における電源雑音解析を説明する図である。

【図9】本発明の一実施例における電源雑音解析の具体例を説明する図である。

【図10】本発明の第2の実施例の処理手順を説明する図である。

【図11】本発明の第2の実施例を説明する図である。

【図12】本発明の第2の実施例を説明する図である。

【図13】CMOS出力バッファを説明する図である。

【図14】CMOS出力バッファの出力インピーダンスの導出を説明する図である。

【図15】本発明の第2の実施例の処理手順を説明する図である。

【図16】本発明の第2の実施例を説明する図である。

## 【符号の説明】

## 【0115】

1 電子回路基板設計情報

2 データベース

10

20

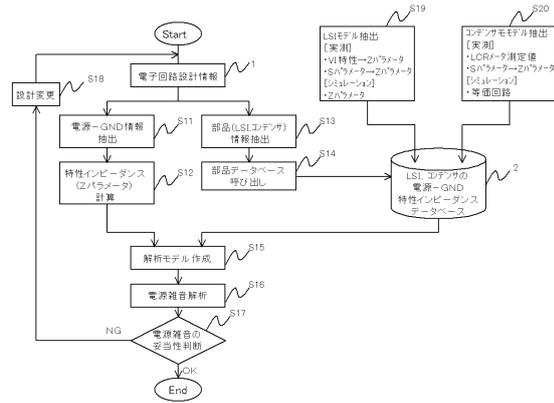
30

40

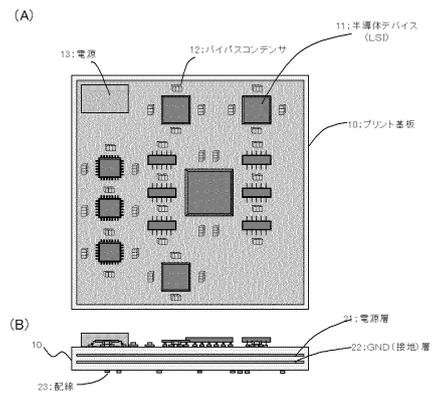
50

1 0	プリント基板	
1 1、1 1'	LSI (半導体デバイス)	
1 1 A	LSIチップ	
1 2	バイパスコンデンサ	
1 3	電源	
2 1	電源層	
2 2	GND層	
2 3	配線	
2 4	絶縁体	
2 5	チップ端子	10
2 7	出力バッファ	
2 8、2 8'	LSI端子	
2 9	ダンピング抵抗	
3 0	電源	
3 1	入力バッファ	
1 0 0	プリント基板	
1 0 1	LSIモデル	
1 0 2	キャパシタモデル	
S 1 1	電源 - GND情報抽出ステップ (電源 - GND情報抽出手段)	
S 1 2	特性インピーダンス計算ステップ (特性インピーダンス計算手段)	20
S 1 3	部品情報抽出ステップ (部品情報抽出手段)	
S 1 4	部品データベース呼び出しステップ (部品データベース呼び出し手段)	
S 1 5	解析モデル作成ステップ (解析モデル手段)	
S 1 6	電源雑音解析ステップ (電源雑音解析手段)	
S 1 7	電源雑音妥当性判断ステップ (電源雑音妥当性判断手段)	
S 1 8	設計変更ステップ (設計変更手段)	
S 1 9	LSIモデル抽出ステップ (LSIモデル抽出手段)	
S 2 0	コンデンサモデル抽出ステップ (コンデンサモデル抽出手段)	

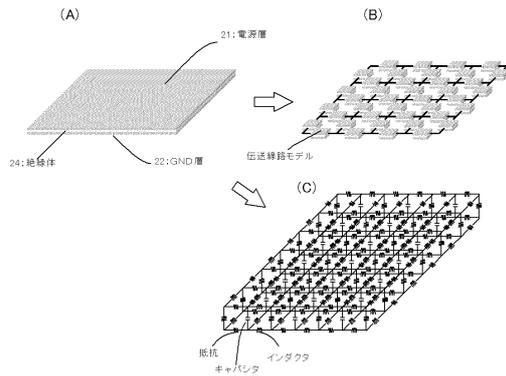
【図1】



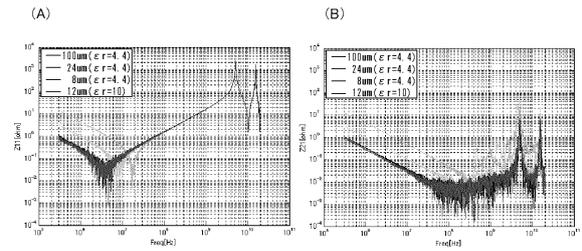
【図2】



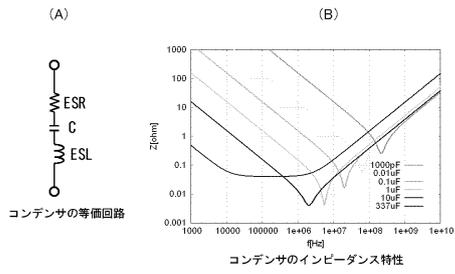
【図3】



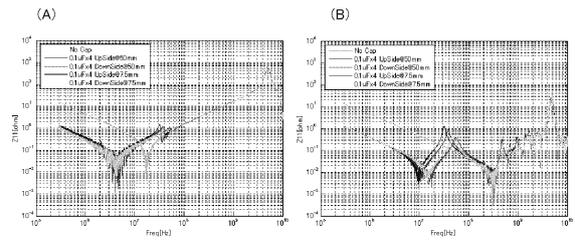
【図4】



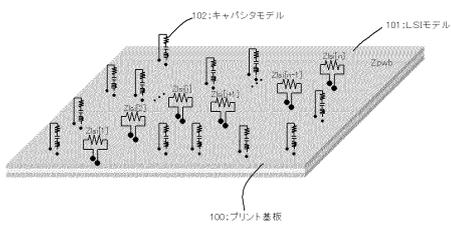
【 図 5 】



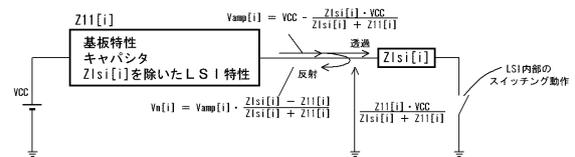
【 図 6 】



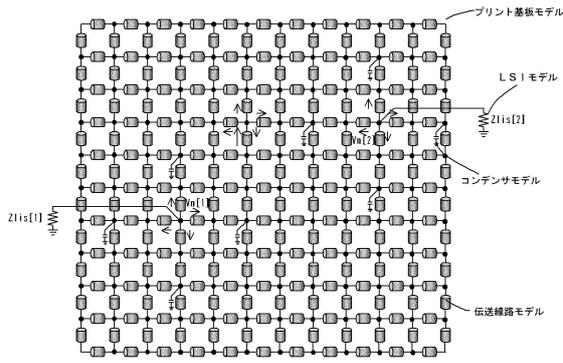
【 図 7 】



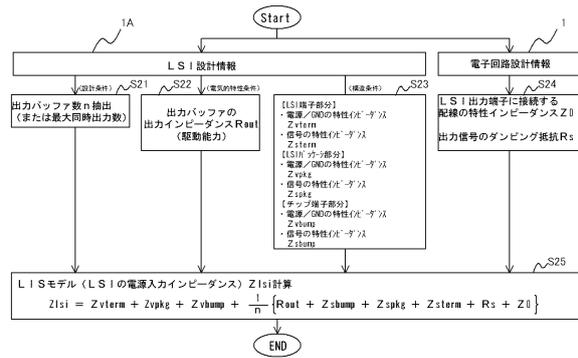
【 図 8 】



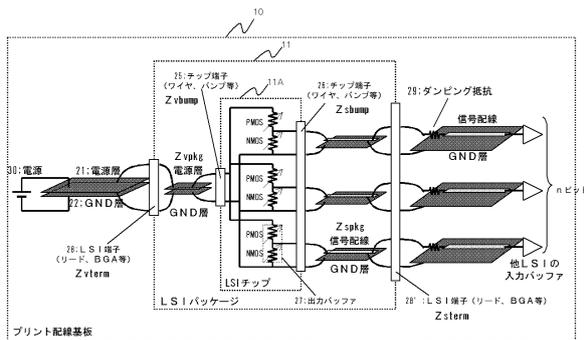
【図9】



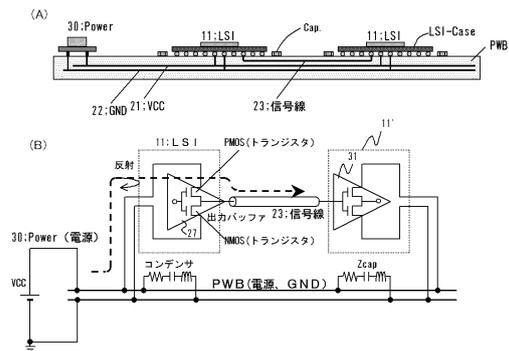
【図10】



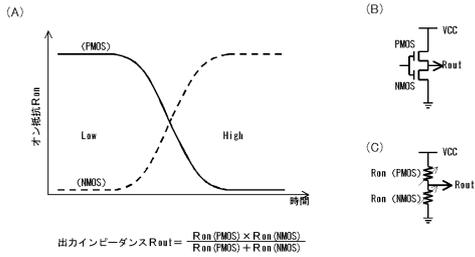
【図11】



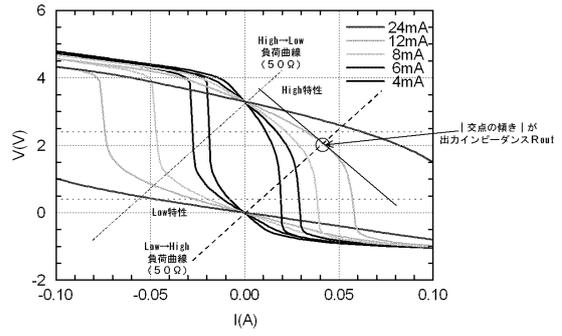
【図12】



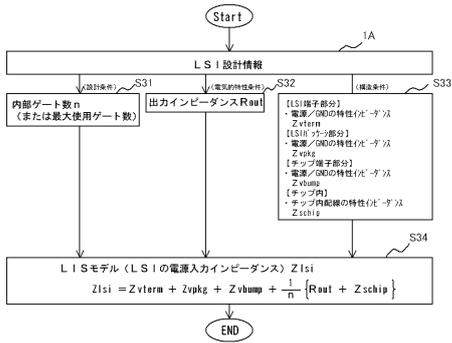
【図13】



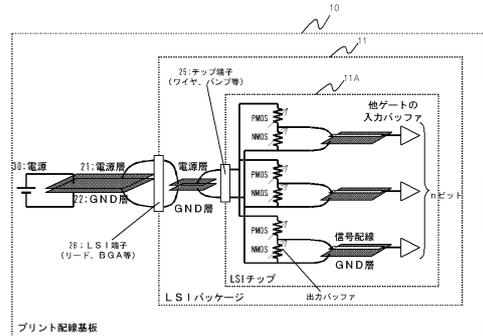
【図14】



【図15】



【図16】



---

フロントページの続き

(56)参考文献 米国特許出願公開第2007/0085193 (US, A1)

特開2007-115772 (JP, A)

特開2005-031850 (JP, A)

特開2005-251223 (JP, A)

BAZES, M., Output Buffer Impedance Control and Noise Reduction Using a Speed-Locked Loop, ISSCC. 2004 IEEE International Solid-State Circuits Conference 2004 Digest of Technical Papers, 2004年, Pages 486 - 488

(58)調査した分野(Int.Cl., DB名)

G06F 17/50