

(此處由本局於收
文時黏貼條碼)

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93102365

※申請日期：93.2.3

※IPC 分類：H01L²³/₁₀

(2006.01)

壹、發明名稱：(中文/英文)

積體多晶片之晶片尺寸級封裝件

INTEGRATED MULTI-CHIP CHIP SCALE PACKAGE

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

金石科技股份有限公司

KINGSTON TECHNOLOGY CORPORATION

代表人：(中文/英文) 細川孝一 / HOSOKAWA, KOICHI

住居所或營業所地址：(中文/英文)

美國·加州 92708·噴泉谷·新希望街 17600 號

17600 Newhope Street, Fountain Valley, CA 92708, U.S.A.

國籍：(中文/英文) 美國 / U.S.A.

參、發明人：(共3人)

姓名：(中文/英文)

1. 葛維滬 / KOH, WEI H.

2. 孔言 / KONG, FRED

3. 許勝漳 / HSU, DANIEL

住居所地址：(中文/英文)

1. 美國·加州 92614·艾弗林·羅利 11 號

11 Laurelglen, Irvine, CA 92614, U.S.A.

2. 美國·加州 92614·艾弗林·柯羅曼 1 號

1 Coromande, Irvine, CA 92614, U.S.A.

3. 美國·加州 92708·噴泉谷·史都華山 18214 號

18214 Mt. Stewart, Fountain Valley, CA 92708, U.S.A.

國籍：(中文/英文)

1. 2. 3. 美國 / U.S.A.

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2003 年 06 月 13 日；10/340,961 (無主張優先權)

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係有關於一種積體、有效運用空間的多層半導體晶片級尺寸封裝件，更詳而言之，係有關於一種透過最少數量的錫球陣列作為板層級互連之高容量記憶體半導體封裝件。

【先前技術】

為同時達到高電性表現以及空間管理，晶片尺寸級封裝件(Chip Scale Package；CSP)現今被應用在多數的高密度雙排記憶體模組(dual inline memory module,dimm)中，原因在於該封裝件尺寸通常不會超過裸晶片尺寸的百分之二十。與其他類型的半導體封裝件，如導線架類型薄型小尺寸封裝(Thin Small Outline ackage；TSOP)或者球柵陣列式(Ball Grid Array；BGA)封裝件等，晶片尺寸級封裝件確實有較小的尺寸，因此大量的記憶體封裝件可置於DIMM模組上俾實現更多的記憶體容量。

當典型的半導體封裝件整體配置佔用了用於DIMM模組的印刷線路板(PWB)所有的可用空間時，通常用以增加該記憶體密度的方法係透過垂直堆疊封裝件的方式與以實現，如西元2002年6月11日公告的美國專利第6,404,662號，其中顯示用於Rambus記憶體封裝件之堆疊記憶體封裝件。於西元2001年5月29日公告的美國專利第6,239,496號中揭露有超薄多晶片封裝件構裝。於西元2002年9月24日公告的美國專利第6,455,928號中則揭露有複數可堆

疊的薄形球柵陣列(Fine Ball Grid Array ; FBGA)構裝。於此種可堆疊的構裝中，相同的 FBGA 封裝件通常透過如第 1 圖所示將一封裝件置於另一封裝件頂部的方式垂直堆疊。

該堆疊封裝件 10-1 與 10-2 係如第 1 圖中的構裝所示，包括一些(如二個)置於另一積體電路晶片上方的積體電路晶片 1。每一個堆疊封裝件 10-1 與 10-2 的積體電路晶片 1 係透過晶片接置黏著層 5 與基板 3 接合。每一個基板 3 係置於基板金屬化電路層 7 上方，且每一個金屬化電路層 7 係透過沿著該封裝件外緣配置的導電錫球陣列 9 予以支撐。該與上層積體電路晶片封裝件 10-1 相連結的錫球 9 係透過分別經由該下層基板 3 相互連結的錫墊 14 和該與下層積體電路晶片封裝件 10-2 相連結的錫球 9 電性連接。因此，須注意者，該承載各自積體電路晶片 1 之上層封裝件 10-1 與下層封裝件 10-2 係透過錫球 9 相互分離。金線 11 透過形成於該上層封裝件 10-1 與下層封裝件 10-2 之基板 3 的開孔，自位於每一個積體電路晶片 1 上且面向下的輸入/輸出錫墊 13 伸出以與該基板金屬化電路層 7 連接。該金線 11 係由適當的保護封膠 15 予以包覆。

因此，第 1 圖中的堆疊封裝件構裝的高度係與該各自積體電路晶片封裝件 10-1 與 10-2 結合的高度相同。更進一步言，除非於相鄰的堆疊封裝件間使用間隔填充材料，否則透過每一個封裝件 10-1 與 10-2 上的錫球 9 陣列作為封裝件間的電性互連時，該錫球 9 的高度通常會高過半導

體晶片 1 及其承載基板的厚度，因此將會在垂直堆疊的情況下於該上層積體電路晶片封裝件 10-1 與下層積體電路晶片封裝件 10-2 間形成一間隙 16。若不使用該間隔填充材料，則由於僅有沿著該構裝外緣之錫球 9 互連，而該薄且脆弱積體電路晶片 1 係以懸吊的方式或甚至部分懸空的方式介於該錫球陣列間，將導致該堆疊封裝件 10-1 與 10-2 的整體結構變得脆弱。

如第 1 圖所示的周圍錫球互連復具有一缺點，亦即該封裝件的整體尺寸必須增加藉以容納形成於該周圍相對較大的錫球 9。因此，第 1 圖中之堆疊封裝件構裝的尺寸會較具有於該積體電路晶片底部形成有錫球陣列之等體積單晶片之晶片尺寸級封裝件 10-1 或 10-2 為大。尺寸的增加減少作為緊密的晶片級尺寸封裝件的堆疊封裝件構裝的效益。因此，對於相較具有接置於積體電路晶片下的錫球之單晶片封裝件而不會增加平面面積(以 X-Y 軸形成的二維平面而言)已堆疊封裝件構裝產生一種需求。亦即，需要一種多層堆疊封裝件構裝，其僅小幅的增加由等面積的單晶片封裝件所產生的面積。該堆疊封裝件構裝復需具有堅固的整體強度以實現操作、裝配以及長時間信賴性。

同樣的，於可攜式電子裝置的應用中不斷的要求及積體電路晶片封裝件在結構上要更薄、更輕且更堅固。因此，需要提供一種用於 DRAM 記憶體或其他應用產品且可改進在結構上堅固、低高度與高密度的堆疊晶片尺寸級封裝件。相較於第 1 圖中習知介於各自垂直堆疊的單晶片封裝

件間形成有周圍銲球互連之可堆疊晶片尺寸級構裝，該改進的封裝件具有較低的整體高度與更強的堅固性。為求最大的彈性，於構裝前之單晶片封裝件必須可選擇性的各自作用為單獨運用之單晶片封裝件以成為單片基板構裝 (monolithic board assembly) 之用。或於需要時，該單獨的單晶片封裝件可透過於堆疊程序前與單晶片封裝件相同的步驟相互構裝以形成垂直積體的多層晶片尺寸級封裝件。此外，該封裝件構裝的整體高度應較個別的封裝件於透過其本身所個別形成的銲球陣列堆疊時的高度總和為低。

【發明內容】

一般而言，垂直的積體多晶片的晶片尺寸級封裝件係透過相互堆疊二個或更多的單晶片之晶片尺寸級封裝件次構裝 (subassembly) 所組成。接著於該構裝周圍利用封裝材料予以封裝，據此該完成堆疊封裝件構裝具有單晶片尺寸級封裝件的外觀，該單晶片尺寸級封裝件具有相同的互連銲球陣列以作為板級構裝至印刷線路板上。該上層與下層晶片尺寸級封裝件次構裝係透過習知的晶片接置黏著材料相互接合。於一實施例中可具有雙晶片封裝件堆疊，該上層與下層封裝件次構裝兩者均為單晶片記憶體球柵陣列 (mBGA)，例如可為具有面向下結構的中央銲墊接合特徵且適用於 DRAM 記憶體模組之晶片尺寸級封裝件。

更詳而言之，實質相同的上層與下層單獨晶片尺寸級封裝件次構裝係將其中之一次構裝堆疊至另一次構裝上，藉以形成有效運用空間積體雙封裝件堆疊構裝。每一個上

層與下層單獨晶片尺寸級封裝件次構裝包括接合於薄基板上的單一積體電路晶片。置於該晶片下方的輸入/輸出鐳線墊係透過金線電性連接至該基板之鐳線墊上。該基板上之鐳線墊係藉由保護封膠予以封裝。周圍的鐳線墊係置於該基板的頂部而鐳球墊則係置於該基板之底部。該周圍的鐳線墊與該鐳球墊係置於該基板之相對側邊並透過該基板相互電性連接。鐳球陣列係沿著該基板的底部之鐳球墊上設置。該雙封裝件堆疊構裝之上層與下層晶片尺寸級封裝件次構裝彼此間不同之處在於，下層次構裝的基板與該下層基板上的周圍鐳線墊之長度係較該上層次構裝的基板與上層基板的鐳線墊為長。此種長度上的差異係鐳線機具於該上層與下層晶片尺寸級封裝件次構裝之上層與下層鐳線墊間執行垂直鐳線接合作業時所必要的。

該上層晶片尺寸級封裝件次構裝係置於且黏著接合於該下層封裝件次構裝上，且於該上層晶片尺寸級封裝件次構裝與該下層封裝件次構裝間未設置有任何鐳球。因此，形成具有以上層晶片尺寸級封裝件次構裝堆疊於下層晶片尺寸級封裝件次構裝上的積體堆疊封裝件。該堆疊晶片尺寸級封裝件次構裝係透過介於該上層與下層晶片尺寸級封裝件次構裝的基板周圍的鐳線墊間之金線接合方式予以接合。接著施加封膠於全部的堆疊構裝藉以密封鐳線以增強該上層與下層封裝件次構裝間的接合強度。於完成的堆疊構裝中，僅有單一的鐳球陣列沿著該下層晶片尺寸級封裝件次構裝的基板底部予以形成。

儘管較佳的堆疊裝配係具有一對堆疊晶片尺寸級封裝件次構裝，此外任何合適數目(如四個)的晶片尺寸級封裝件次構裝亦可依據本發明之技術以垂直堆疊的形式積體。據此，積體封裝件構裝可包含複數個在不額外增加印刷線路板空間的情況下以堆疊方式形成之相同積體電路晶片，藉以滿足大容量 DRAM 記憶體模組的使用需求。

【實施方式】

於第 2 圖中，顯示有獨立的單晶片之晶片尺寸級封裝件 20 之斷面圖。於參閱第 4 圖時將詳予說明，該晶片尺寸級封裝件 20 亦可適用於改良的、有效運用空間的可堆疊封裝件構裝中的上層封裝件次構裝。積體電路晶片 22 係透過晶片接置黏著材料 26 接置於薄型基板 24 上。該黏著材料 26 可為一順向材料(compliant material)藉以減緩介於該基板 24 與該積體電路晶片 22 間因熱膨脹所產生的應力。舉例而言，該基板 24 可為一撓性聚亞醞膜(polyimide)、薄核心壓層玻璃環氧樹脂(thin-core laminated glass-epoxy)印刷線路板、液晶聚合物(LCP)薄膜。設置於該積體電路晶片 22 中央區域上之面向下的積體電路輸入/輸出鐳墊 28 係透過延伸通過該基板 24 的開孔用以接置鐳墊 30 之金線 32 鐳線接合至該基板鐳線墊 30。該金線 32 係透過封裝材料 34 予以封裝保護。

該單晶片封裝件 20 之基板 24 包含金屬化導體電路跡線(metallized conductor circuitry trace)36 藉以自該基板鐳線墊 30 傳送電性訊號至該鐳球墊 38 以及周圍鐳線墊 40。

最後，鐳球陣列 42 係沿著該基板 24 底部之鐳球墊 38 上予以形成。於第 2 圖中之單晶片封裝件 20，該周圍鐳線墊 40 與該鐳球墊 38 係設置於該基板 24 之相對兩側邊並透過電鍍導通孔 41 彼此互連。

請參閱第 8 圖，圖中所示的單晶片封裝件 20-1 具有基板 24-1 以及沿著該基板 24-1 底部設置的單一金屬化電路層 46。於此情況下，該周圍鐳線墊 48 係與該鐳球墊 38 設置於同一側邊上。形成於該鐳線墊 48 上的開孔 49 係貫穿該基板 24-1 藉以容置該金線(如第 9a 與 9b 圖所示)。該開孔 49 可透過如微影蝕刻或雷射消蝕等方式預先形成於該基板 24-1 上。

第 3 圖係用以顯示適用於作為第 4 圖中之改良堆疊封裝件構裝的下層封裝件次構裝之單獨的單晶片之晶片尺寸級封裝件 50。除了基板 24-2 側面的延伸部以及該下層晶片尺寸級封裝件 50 的周圍鐳線墊 40-1 較該上層晶片尺寸級封裝件 20 為長之外，第 3 圖中之單晶片下層封裝件 50 具有與第 2 圖中的單晶片上層封裝件 20 幾近相同的結構。該基板 24-2 額外的邊緣延伸部以及下層晶片尺寸級封裝件 50 鐳線墊 40-1 係於鐳線機具沿著第 5 圖所示的堆疊封裝件構裝中之上層封裝件 20 與下層封裝件 50 邊緣執行該上層鐳線墊 40 與下層鐳線墊 40-1 間的垂直鐳線接合時所必要的。該額外的長度可依據該鐳線機具毛細尖端尺寸與所選擇之線徑而有所不同。經評估該下層晶片尺寸級封裝件 50 之鐳線墊 40-1 僅長於該上層晶片尺寸級封裝件 20 之

銲線墊 40 約零點幾毫米(如 0.1 至 0.2 毫米)。此外，第 2 圖中的每一個單晶片之晶片尺寸級封裝件 20 以及第 3 圖中的每一個單晶片之晶片尺寸級封裝件 50 可具有基板，且該基板依據第 8 圖中所示的方法沿其底部設置有單一金屬化電路層 46。

於單獨使用時，第 2 與 3 圖中獨立的晶片尺寸級封裝件 20 與 50 具有相互獨立的功能且可透過其個別的銲球陣列 42 藉由習知的單片表面接置型構裝製程(monolithic surface mount assembly process)設置於印刷線路板上。然而，如前所述，第 2 圖中的上層封裝件 20 具有略小於第 3 圖中的下層封裝件 50 之周圍接合區域，因此當該上層與下層封裝件次組裝垂直堆疊時，該下層封裝件的周圍接合墊向外突出藉以提供足夠的空隙俾供銲線機具於該上層與下層銲墊間執行向下的銲線接合作業。

於第 4 圖中，顯示第 2 圖中的上層晶片尺寸級封裝件次構裝 20 係接置於第 3 圖中的下層晶片尺寸級封裝件次構裝 50 之頂部，且該次構裝間並未接置有佔用空間的銲球。亦即，於第 4 圖所示的積體構裝前，除非封裝件 20 係用於單獨的單晶片封裝件，否則並不需要接置該銲球陣列 42 於第 2 圖的上層封裝件 20 上。電子級黏著層 57 係用以直接接合該上層封裝件次構裝 20 至該下層封裝件次構裝 50 上，藉以形成積體堆疊封裝件構裝 55。該接合黏著層 57 可為一黏著材料薄片並透過第 4 圖所示之方法敷設於該下層封裝件次構裝 50 的積體電路晶片 22 之上表面或敷設於

該上層封裝件次構裝 20 的基板 24 之下表面。此外，如第 5 圖所示之堆疊封裝件構裝 55-1，複合滴狀黏著層 59 可實施於該下層封裝件次構裝 50 之積體電路晶片 22 頂上。該黏著層 57 或 59 適當的層壓與固化係透過預先設定的溫度與壓力予以敷設，藉以層壓二相鄰的晶片尺寸級封裝件次構裝 20 與 50 成為有效率的堆疊形式。

於層壓作業之後，第 5 圖中之堆疊封裝件構裝 55-1 係透過連接於該上層封裝件 20 外露的周圍鉚線墊 40 與該下層封裝件 50 外露的周圍鉚線墊 40-1 間適當的微電子級金線 60 等等予以鉚線接合。該堆疊封裝件 55-1 復可藉由其他如條狀導體(ribbon conductor)、自動化接合帶(tape automated bonding)、接合條(ribbon bonding)、鉚條(solder strip)或導電聚合物(conductive polymer)等方式透過鉚線墊 40 與 40-1 垂直互連。於鉚線接合完成後，施加封裝材料 62 以封裝該金線 60 並確保介於該積體封裝件構裝 55-1 之上層與下層封裝件次構裝 20 與 50 間的層壓結構。

第 6 圖係用以顯示於堆疊封裝件構裝 55-1 透過金屬削、雷射切割或衝壓等方法由條狀成為單一化後之封裝 62，其將更詳細說明於第 7a 圖中。該封裝可藉由通過該上層基板 24 的條狀結構間開孔液態封膠或藉由利用適當的模壓晶片機具的移轉成型技術予以完成。單一的導電鉚球陣列 64 係沿著該堆疊封裝件構裝 55-1 之下層封裝件 50 的基板 24 面設置。

第 6 圖復顯示介於沿著堆疊構裝 55-1 之上層與下層晶

片尺寸級封裝件次構裝 20 與 50 的基板 24 之外部邊緣的周圍鍍線墊 40 與 40-1 間之微電子級金線 60 的鍍線接合。該堆疊封裝件構裝 55-1 之封裝可限制在相對形成有該鍍線墊 40 與 40-1 以及金線 60 的邊緣周圍(如第 6 圖所示), 或亦可包括該上層次構裝 20 外露的晶片表面, 藉以讓該封裝 62 可覆蓋於該構裝 55-1 的頂部與所有的四邊。透過前述之優點, 增加容量的積體構裝 55-1 已可在不增加通常僅由單一晶片尺寸級封裝件於印刷線路板上所佔用的空間之情況下具有一對相同的堆疊積體電路晶片 1。

第 6 圖中用以製造該堆疊構裝 55-1 的完整積體流程可利用單一(如獨立的)封裝件予以實現。然而, 在大量製造的情況下, 該流程亦可透過典型應用於單晶片之晶片尺寸級封裝件製程的基板條形式予以實現。在條狀形式下, 透過框架固定的條狀基板材料係用以於批次流程中構裝複數的積體電路。依據基板條的尺寸, 該基板條可包含 10 到 50 個獨立封裝件陣列。複數的電路 72 與開孔 75(如第 7a 圖所示)係形成於基板條之每一個基板上。相反的該開孔 75 的寬度可影響該基板的寬度。舉例而言, 對於用作為該上層封裝件次構裝之基板條而言, 該開孔 75 可預切略大於用做為該下層封裝件次構裝之基板條的預切開孔。

第 7a 圖係用以顯示包含有複數個相同的單晶片基板 72 之基板條 70。第 7b 圖則用以顯示每一個獨立的基板 72 之電路佈局圖, 其中鍍線墊 30 係設置於接近中央開孔 74 之處且鍍球墊 38 以及周圍鍍線墊 40 係透過獨立的導電金

屬跡線 36 予以連接。

於第 7b 圖中的基板 72 上之電路係用以重新編排來自該積體電路所輸入/輸出的訊號並用以形成作為鐳線墊接置以及鐳球墊接置之用的鐳墊。於製造過程中，該獨立的積體電路晶片係透過第 2 與 3 圖中所述之方法接置且鐳線接合至第 7a 圖所示之該基板條 70。當執行堆疊構裝時，作為上層次構裝之基板條係透過適當的黏著材料重疊或層壓於下基板條上。該層壓的基板條係透過適當的溫度與壓力予以壓製和固化。

於前述所提及之第 8 圖中，該上層與下層晶片尺寸級封裝件(如 20-1)之每一個基板 24-1 可包含沿著該底部用以接受鐳線接合的單一金屬化電路層 46。請參閱第 9a 與 9b 圖，於此種替代的情況下，形成有積體堆疊晶片尺寸級封裝件構裝 80，其中一對單獨晶片尺寸級封裝件 20-1 的上層與下層基板 24-1 包括單一金屬化電路層 46 以及個別具有如鎳與金等可鐳線接合金屬加工之周圍鐳線墊 48 與 48-1。該鎳/金加工典型的係透過電鍍形成，但亦可透過非電鍍沉積方式予以沉積。如前參閱第 8 圖時所述，基板材料係透過蝕刻或雷射消蝕予以移除，舉例而言，於預製該基板條的期間形成通過該基板 24-1 的開孔 49，藉以允許微電子級金線 82 與沿著該開孔 49 底部設置外露的周圍鐳線墊 48 與 48-1 鐳線接合。

當第 4 圖與 9a 圖積體堆疊封裝件構裝 55 與 80 顯示一對以垂直堆疊的方式配置的晶片尺寸級封裝件次構裝，需

了解者係任何適當數量的晶片尺寸級封裝件均可相互堆疊藉以達到本發明高容量有效運用空間的優點。舉例而言，於第 10 圖中顯示具有以連串形式相互堆疊的四個單獨晶片尺寸級封裝件 20-1、20-2、20-3、20-4 之多層晶片尺寸級封裝件構裝 90。僅需要單一鉑球陣列 92 接置於該最低的晶片尺寸級封裝件底部藉以縮小該封裝件 90 的垂直高度。再者，如先前參閱第 2 與 3 圖時所述，該堆疊封裝件之基板 24-1、24-2、24-3、24-4 的周圍的長度以漸進的方式變長，據此可於施加封膠 94 至封裝件 90 以完成封裝作業前，透過鉑線接合機具於相繼變長的周圍鉑線墊間執行鉑線接合作業。

前述積體堆疊晶片尺寸級封裝件 55、80 與 90 均具有相對小的尺寸。亦即，每一個堆疊封裝件由外觀之均具有單一封裝件的外觀，且其高度較透過設置其間之鉑球互連的方式所堆疊二獨立封裝件之高度為低。本發明之堆疊封裝件構裝特別適用於高記憶容量之 DRAM 記憶體模組。於此情況下，該構裝之上層與下層封裝件較佳的可如第 2 與 3 圖所示，具有以面向下的結構接合的中央鉑墊之單晶片記憶體球柵陣列封裝件。

【圖式簡單說明】

第 1 圖係用以顯示習知具有複數個周圍鉑球互連陣列之堆疊晶片尺寸級封裝件構裝之示意圖；

第 2 圖係用以顯示適用於作為本發明之改良堆疊封裝件構裝的上層次構裝之單獨的單晶片晶片之尺寸級封裝件

次構裝之示意圖；

第 3 圖係用以顯示適用於作為本發明之改良堆疊封裝件構裝的下層次構裝之單獨的單晶片之晶片尺寸級封裝件次裝配之示意圖；

第 4 圖係用以顯示本發明之改良積體堆疊封裝件構裝於接置錫球前，於第 2 圖的上層晶片尺寸級封裝件次構裝接置於第 3 圖的下層晶片尺寸級封裝件次構裝頂部之示意圖；

第 5 圖係用以顯示介於第 4 圖的積體堆疊封裝件構裝之上層與下層晶片尺寸級封裝件次構裝間的錫線接合互連與封裝之示意圖，其中該第 4 圖中的積體堆疊封裝件構裝沿著該下層封裝件次構裝底部接置有單一錫球陣列；

第 6 圖係用以顯示第 5 圖中的積體堆疊封裝件構裝之透視與部分斷面圖，該第 5 圖中的積體堆疊封裝件構裝具有一對相互堆疊之單晶片之晶片尺寸級封裝件次構裝；

第 7a 與 7b 圖係用以顯示作為製造第 2 與 3 圖中的單晶片之晶片尺寸級封裝件次構裝之用的基板條，以及由電路佈局與周圍錫墊所形成的單晶片圖案的上視圖；

第 8 圖係用以顯示應用於本發明之堆疊封裝件構裝中替代的單獨單晶片之晶片尺寸級封裝件次構裝之示意圖；

第 9a 與 9b 圖係用以顯示介於積體堆疊封裝件構裝之上層與下層晶片尺寸級封裝件次構裝間的錫線接合互連與封裝之示意圖，其中每一個晶片尺寸級封裝件次構裝係依據第 8 圖中的替代構裝所製造；以及

第 10 圖係用以顯示本發明之具有以層層堆疊的方式形成的四個晶片尺寸級封裝件次構裝堆疊的積體堆疊封裝件構裝。

[元件符號說明]

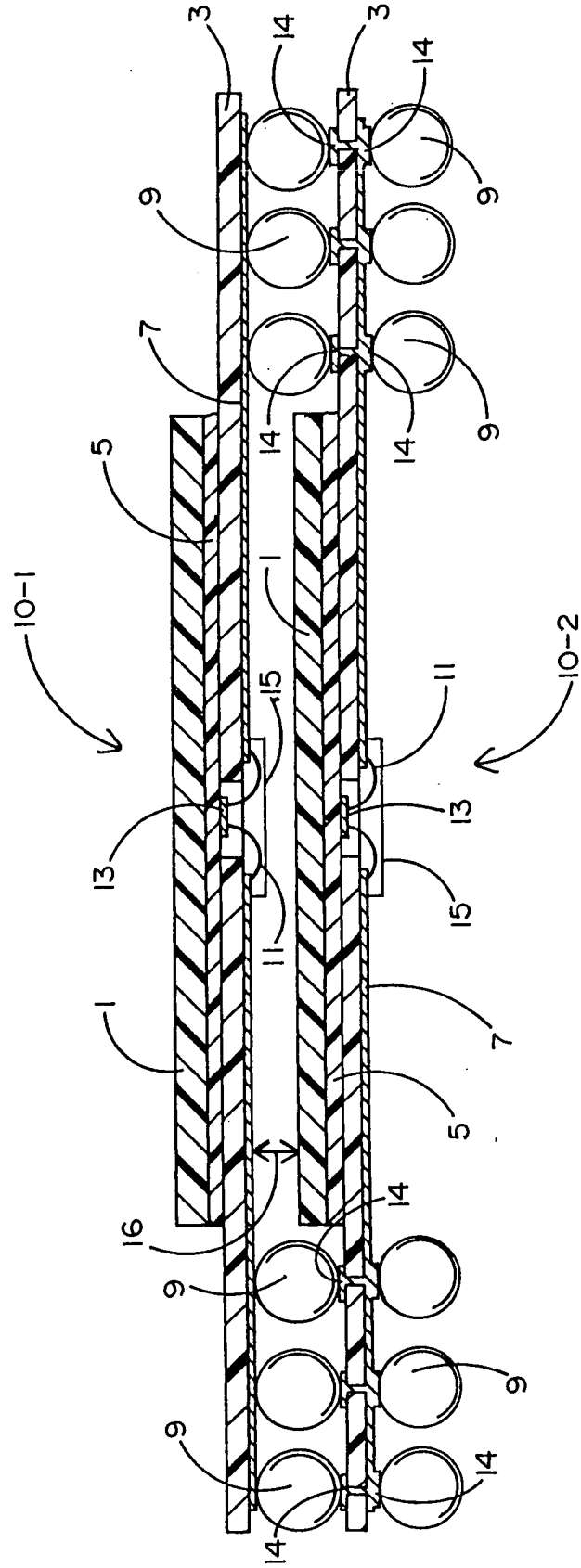
1	積體電路晶片		
3、24、24-1、24-2、24-3、24-4		基板	
5	黏著層	7	金屬化電路層
9、42、42-1、64、92 錫球		10-1、10-2	堆疊封裝件
11、32、60、82 金線		13	輸入/輸出錫墊
14、30	錫墊	15、94	封膠
16	間隙		
20、20-1、20-2、20-3、20-4			晶片尺寸級封裝件
22、22-1	積體電路晶片	26、26-1	黏著材料
28、28-1	輸入/輸出錫墊	34、34-1	封裝材料
36	金屬化導體電路跡線	38	錫球墊
40、40-1	周圍錫線墊	41	貫孔
46	單一金屬化電路層	48、48-1	周圍錫線墊
49、74、75	開孔	50	晶片尺寸級封裝件
55、55-1	堆疊封裝件構裝	57、59	黏著層
62	封裝	70	基板條
72	電路		
80、90	晶片尺寸級封裝件構裝		

伍、中文發明摘要：

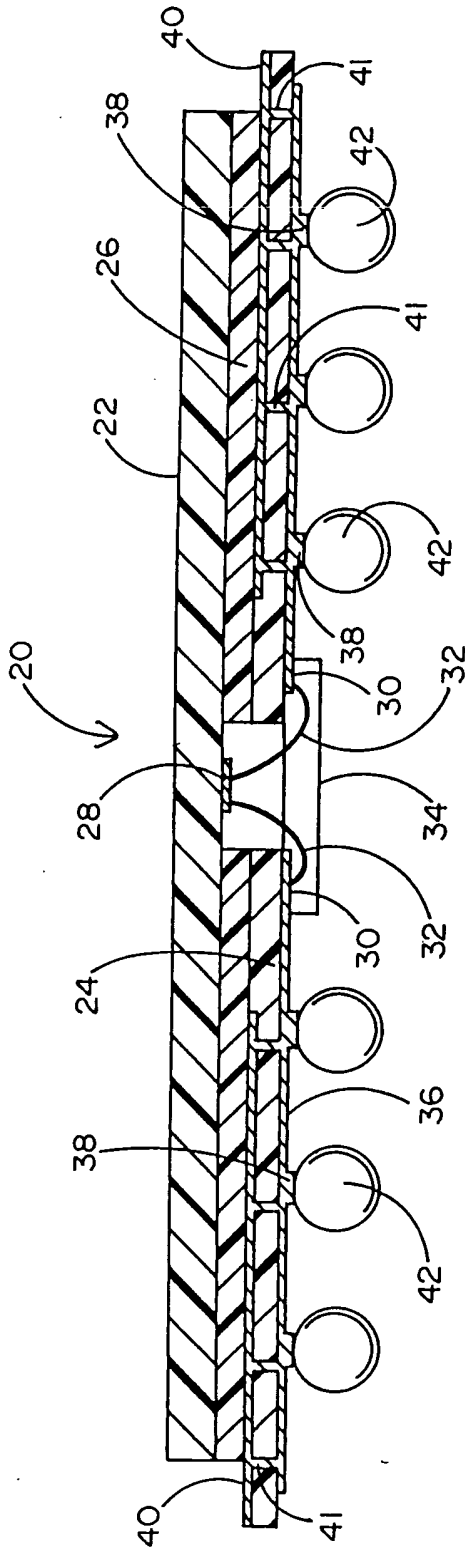
一種以垂直堆疊方式構裝之積體晶片尺寸級封裝件 (Chip Scale Package; CSP)(55)，係包含二個或更多的單晶片封裝件次構裝 (subassemblies)，該次構裝具有置於下層 CSP 次構裝 (50) 上的上層 CSP 次構裝 (20)。於垂直堆疊中最下層的 CSP 次構裝 (50) 包含用以與印刷線路板互連之錫球 (64) 陣列。介於該上層與下層封裝件次構裝 (20、50) 間的垂直電性連接 (60) 係透過錫線接合方式，自形成於上層基板延伸部上的周圍錫墊 (40) 接合至形成於下層基板延伸部 (24) 上的周圍錫墊 (40-1)，其中該下層基板延伸部 (24) 長度係較上層基板延伸部為長。該堆疊的次構裝 (20、50) 係透過薄型黏著材料相接合，且該周圍錫線接合係透過封膠 (62) 予以封裝保護。該構裝的垂直堆疊具有單一 CSP 的外觀，但其高度小於二透過錫球互連設置其間之相互堆疊的獨立封裝件之高度。

陸、英文發明摘要：

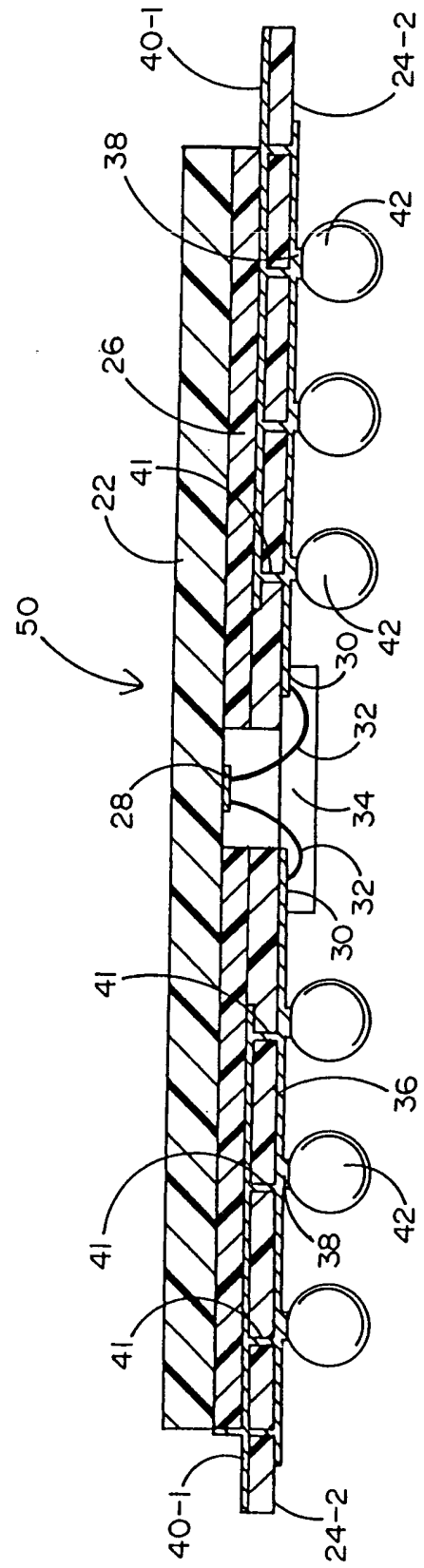
An integrated chip scale package (CSP) (55) arranged in a vertical stack and comprising two or more single chip package subassemblies having an upper level CSP subassembly (20) superimposed directly above a lower level CSP subassembly (50). The lower-most CSP subassembly (50) in the vertical stack contains an array of solder balls (64) for interconnection to a printed wiring board. The vertical electrical connection (60) between the upper and lower level package subassemblies (20, 50) is accomplished by using wire bonding from perimeter wire bonding pads (40) located on an upper level substrate extension to matching perimeter wire bonding pads (40-1) located on a lower level substrate extension (24) that is longer in length than the upper level substrate extension. The stacked subassemblies (20, 50) are bonded together by using a thin adhesive material, and the perimeter wire bonds are encapsulated by an encapsulant (62) for protection. The assembled vertical stack has the appearance of a single CSP but is shorter in height than two individual packages that are stacked together with solder ball interconnects located therebetween.



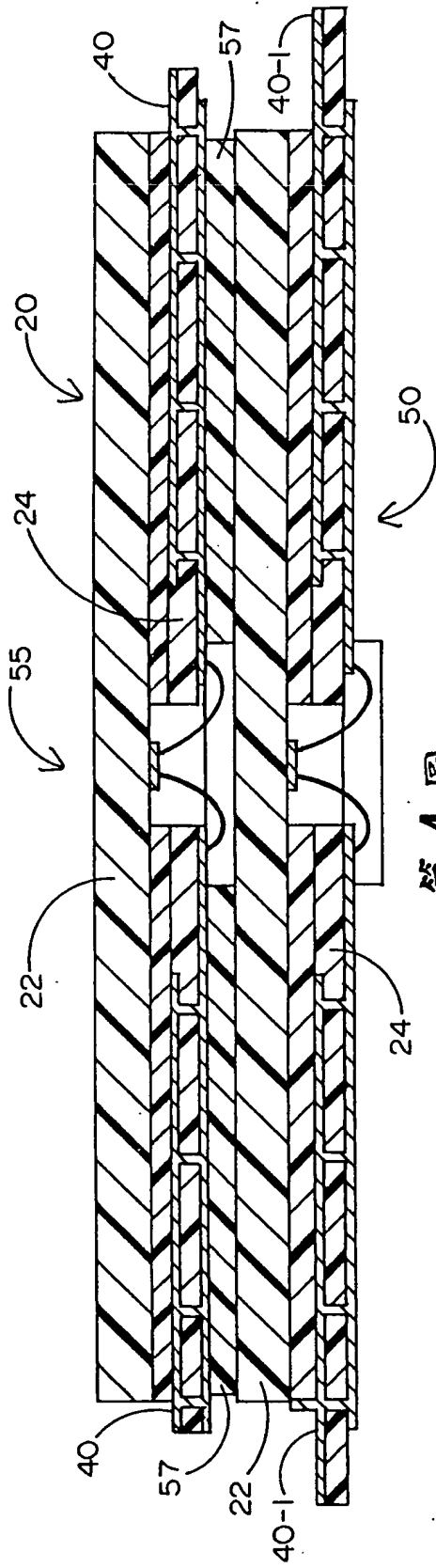
第 1 圖 (先前技術)



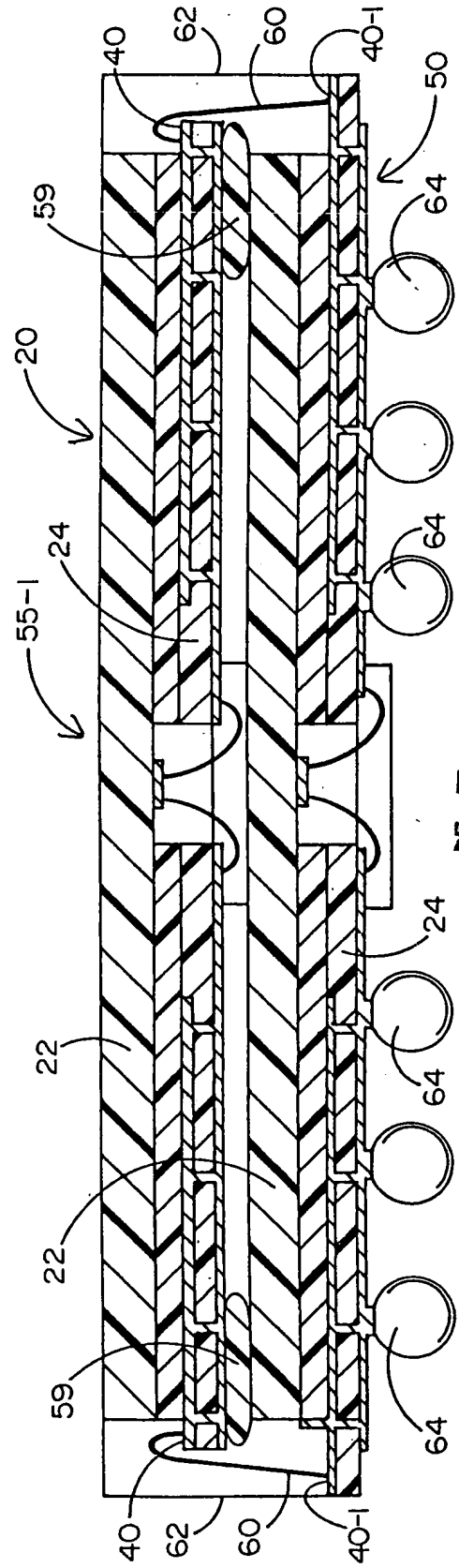
第 2 圖



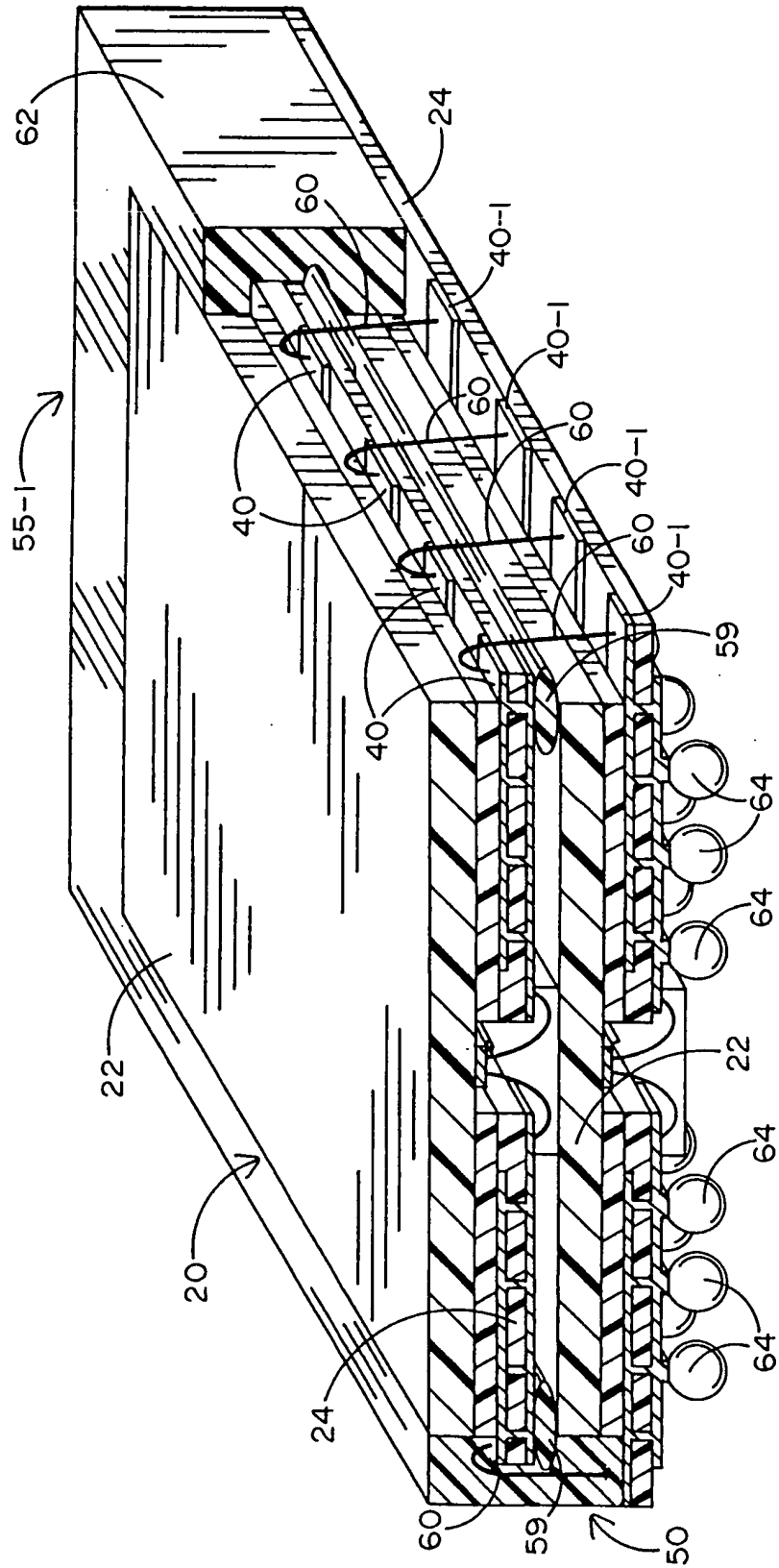
第 3 圖



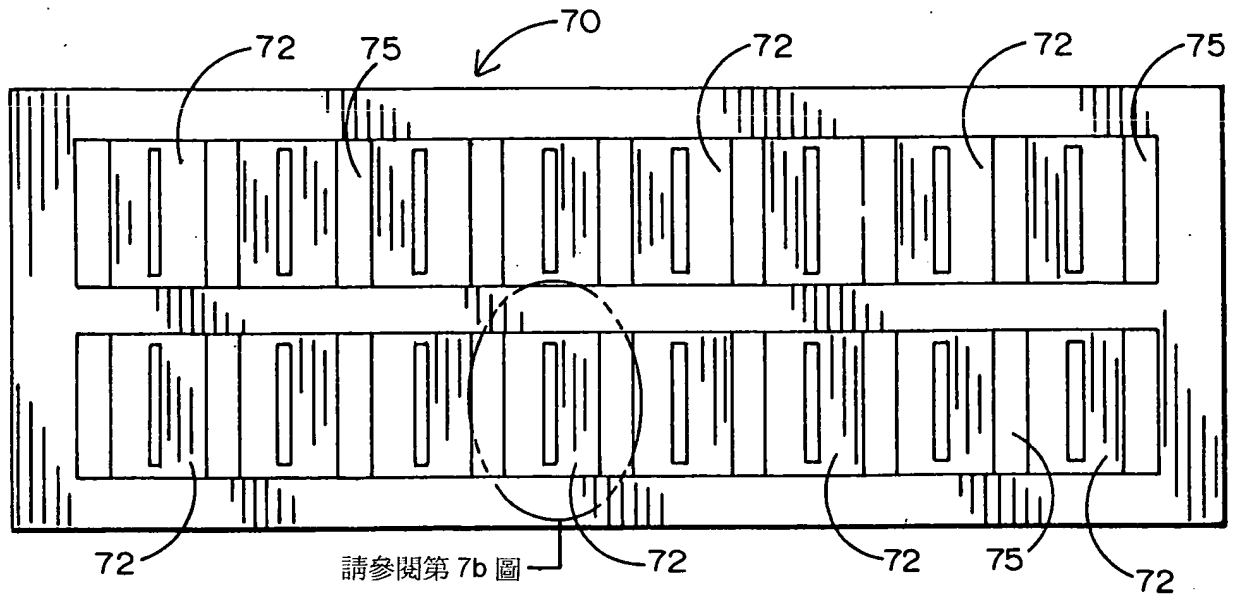
第4圖



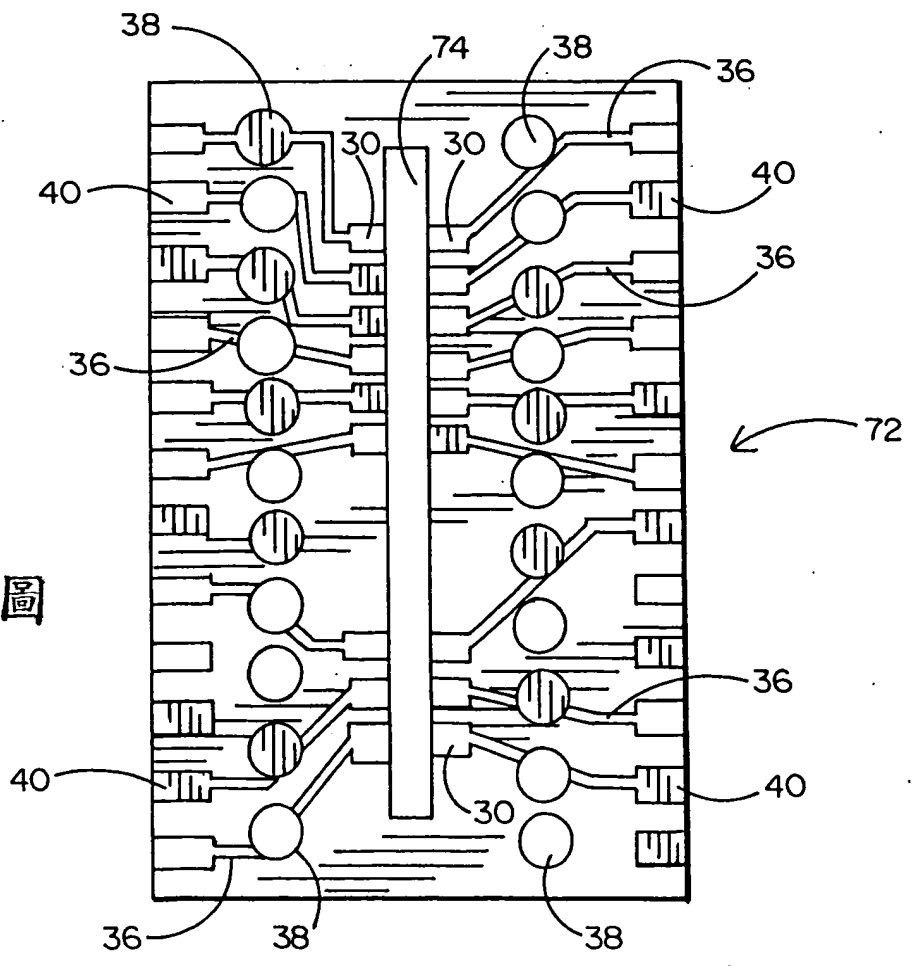
第5圖



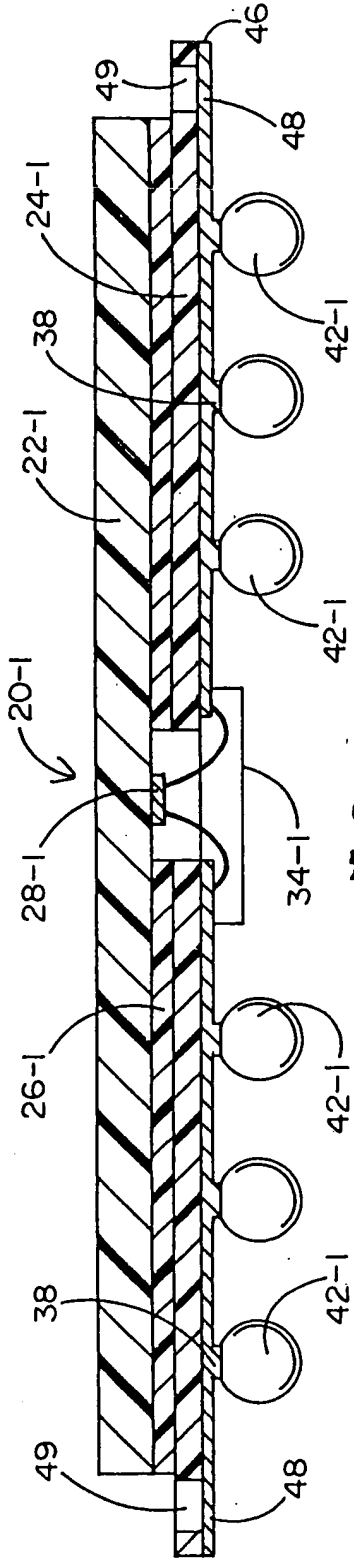
第 6 圖



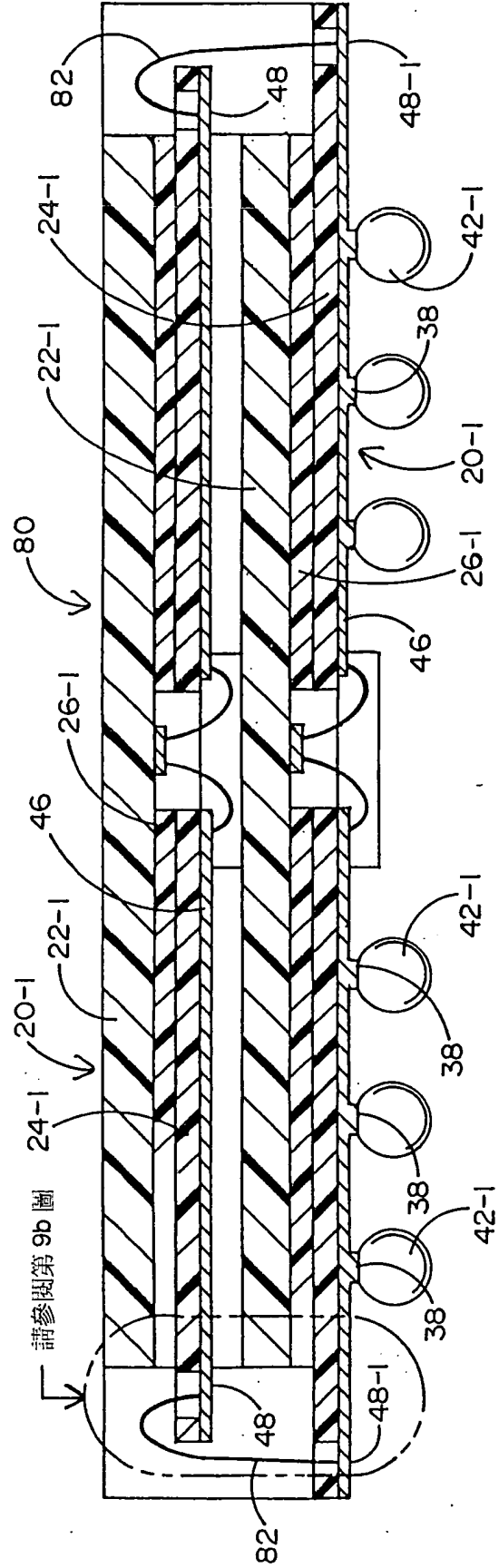
第 7a 圖



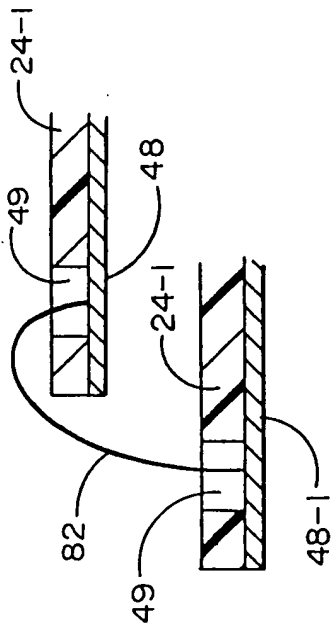
第 7b 圖



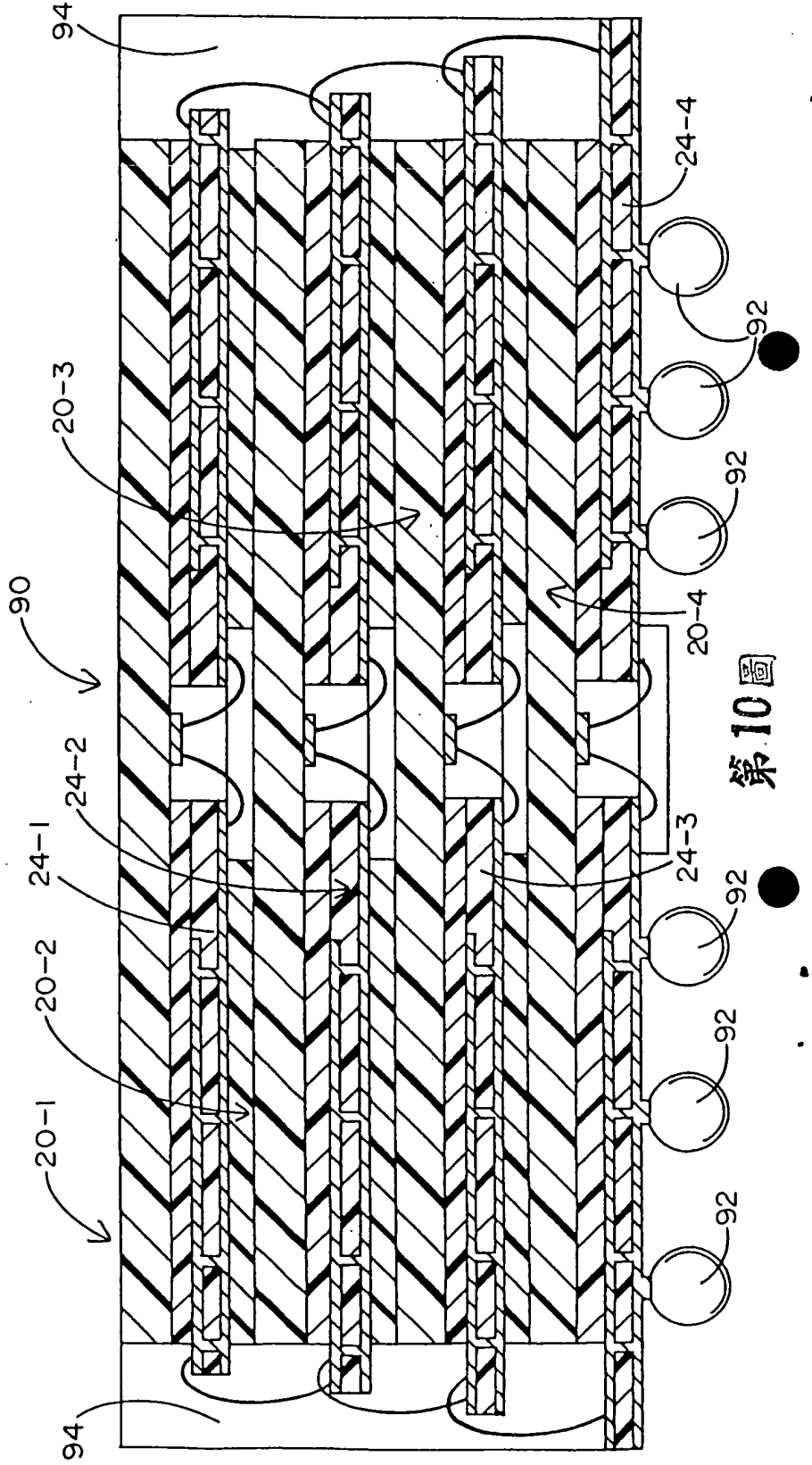
第 8 圖



第 9a 圖



第9b圖



第10圖

柒、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件代表符號簡單說明：

20	晶片尺寸級封裝件	22	積體電路晶片
24	基板	40、40-1	周圍鐳線墊
50	晶片尺寸級封裝件	55-1	堆疊封裝件構裝
59	黏著層	60	金線
62	封裝	64	鐳球

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

99年2月26日修正替換頁

第 93102365 號專利申請案
(99年2月26日)

拾、申請專利範圍：

1. 一種積體電路晶片封裝件構裝(55-1)，係包含相互堆疊的至少第一(20)與第二(50)積體電路晶片封裝件，該第一積體電路晶片封裝件(20)具有第一積體電路晶片(22)且包括：

安裝該第一積體電路晶片(22)之基板(24)，該基板向外延伸並超過該第一積體電路晶片之相對端；

複數個形成於該基板延伸部的周圍鐳線墊(40)；

位於該基板上並電性互連於該第一積體電路晶片(22)與該複數個周圍鐳線墊(40)之間的導電訊號跡線(36)；

接置於該第一積體電路晶片(22)之底部上之面向下的訊號輸入/輸出墊(28)，以及複數個位於該基板(24)底部並透過該導電訊號跡線(36)與該複數個周圍鐳線墊(40)電性互連的基板鐳線墊(30)；

將該第一積體電路晶片封裝件(20)之該訊號輸入/輸出墊(28)連接至該複數個基板鐳線墊(30)的導電線(32)；以及

該第二積體電路晶片封裝件(50)具有第二積體電路晶片(22)且包括：

安裝該第二積體電路晶片(22)之基板(24)，該基板向外延伸並超過該第二積體電路晶片之相對端，該該第二積體電路晶片封裝件(50)之基板延伸部係較該該第一積體電路晶片封裝件(20)之基板延伸部長；

99年2月26日修正換頁

第 93102365 號專利申請案
(99 年 2 月 26 日)

複數個位於該基板(24)底部的鐳球墊(38)；

複數個位於該基板延伸部的周圍鐳線墊(40-1)；

位於該基板(24)上並電性互連於該第二積體電路晶片(22)與各該複數個鐳球墊(38)及該複數個周圍鐳線墊(40-1)之間的導電訊號跡線(36)；

複數個連接至該基板(24)底部之各該複數個鐳球墊(38)的鐳球互連(42)，該第二積體電路晶片封裝件(50)可藉由該複數個鐳球互連(42)接置於印刷線路板上；

接置於該第二積體電路晶片(22)之底部上之面向下的訊號輸入/輸出墊(28)，以及複數個位於該基板(24)底部並透過該導電訊號跡線(36)與該複數個鐳球墊(38)及該複數個周圍鐳線墊(40-1)電性互連的基板鐳線墊(30)；

將該第二積體電路晶片封裝件(50)之該訊號輸入/輸出墊(28)連接至該複數個基板鐳線墊(30)的導電線(32)；

將該第一積體電路晶片封裝件(20)置於該第二積體電路晶片封裝件(50)上方，並且無須使用該第一積體電路晶片封裝件之該基板(24)底部的鐳球互連而將該第一積體電路晶片封裝件(20)接置於該第二積體電路晶片封裝件(50)，使得該第一及第二積體電路晶片封裝件係配置成垂直堆疊而無鐳球互連存在於兩者之間；

連接在位於該第二積體電路晶片封裝件(50)之較長基板延伸部上之該複數個周圍鐳線墊(40-1)與位於該

第 93102365 號專利申請案
(99年2月26日)

第一積體電路晶片封裝件(20)之較短基板延伸部上之該複數個周圍鐸線墊(40)之間的電性導體(60)；以及

封膠(62)，該封膠係環繞該第一(20)與第二(50)積體電路晶片封裝件所形成的垂直堆疊，並封裝延伸於其間之該電性導體(60)。

2. 如申請專利範圍第 1 項之積體電路晶片封裝件構裝(55-1)，其中，各該複數個基板鐸線墊(30)、該複數個鐸球墊(38)及該導電訊號跡線(36)係皆彼此電性連接於該第二積體電路晶片封裝件(50)之該基板(24)的單一面上，該單一面向為該基板的底面。
3. 如申請專利範圍第 1 項之積體電路晶片封裝件構裝(55-1)，其中，該複數個周圍鐸線墊(40-1)係位於該第二積體電路晶片封裝件(50)之該基板(24)頂部，藉以將相對側的該複數個鐸球墊(38)置於該基板底部上。
4. 如申請專利範圍第 1 項之積體電路晶片封裝件構裝(55-1)，其中，該第二積體電路晶片封裝件(50)係透過位於該第一積體電路晶片封裝件之該基板(24)與該第二積體電路晶片封裝件之該積體電路晶片(22)間的黏著材料層(57)而黏著接合至該第一積體電路晶片封裝件(20)。
5. 如申請專利範圍第 4 項之積體電路晶片封裝件構裝(55-1)，其中，該第二積體電路晶片封裝件(50)係透過位於該第一積體電路晶片封裝件之該基板(24)與該第二積體電路晶片封裝件之該積體電路晶片(22)間的個

別黏著劑滴(59)而黏著接合至該第一積體電路晶片封裝件(20)。

6. 如申請專利範圍第 1 項之積體電路晶片封裝件構裝(55-1)，其中，連接於形成在該第一與第二積體電路晶片封裝件之各該基板延伸部之該複數個周圍鐳線墊(40, 40-1)間之該電性導體(60)係為微電子級金線。
7. 如申請專利範圍第 1 項之積體電路晶片封裝件構裝(80)，其中，該電性導體(82)係透過該第一與第二積體電路晶片封裝件之各該基板延伸部(24-1)中所形成的貫孔(49)，而連接於該第一與第二積體電路晶片封裝件(20, 50)之該複數個周圍鐳線墊(48, 48-1)間。