

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 11/407

(45) 공고일자 1999년 10월 15일
(11) 등록번호 10-0224690
(24) 등록일자 1999년 07월 15일

(21) 출원번호 10-1997-0003573 (65) 공개번호 특1998-0067511
(22) 출원일자 1997년 02월 05일 (43) 공개일자 1998년 10월 15일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 이정배
경기도 군포시 산본동 수리한양아파트 810-501호
(74) 대리인 권석흠, 노민식, 이영필

심사관 : 장현근

(54) 위상동기 지연회로

요약

외부 시스템 클럭에 동기하는 내부 클럭을 발생하는 위상 동기 지연 회로에 있어서, 지연 버퍼, 주지연부, 지연 라인, 위상 동기 검출 수단, 스위칭부, 클럭 드라이버 및 프래그 신호 발생기를 구비하는 위상 동기 지연 회로가 개시되어 있다. 지연 버퍼는 외부 시스템 클럭을 입력하여 이를 소정의 제 1 지연 시간만큼 지연하여 출력하거나 지연 버퍼는 프래그 신호에 따라 지연 버퍼로부터의 출력을 소정의 제 2 지연 시간만큼 지연하여 출력하거나 지연 버퍼의 출력을 그대로 바이패스시킨다. 지연 라인은 주지연부의 출력을 단위 길이 만큼 차례로 지연시켜 출력한다. 위상 동기 검출 수단은 지연 라인으로부터의 출력을 이용하여, 프래그 신호에 따라 주지연부의 출력이 지연 버퍼의 출력과 동기하는 데 필요한 제 3 지연 시간을 검출하여 해당되는 인에이블 신호를 액티브시킨다. 프래그 신호 발생기는 위상 비교 검출 수단이 제 3 지연 시간을 검출하는 경우에만 프래그 신호를 액티브시켜 출력한다. 스위칭부는 인에이블 신호들에 의해서 제어되어 지연 라인으로부터 출력되는 신호들 중에서 해당되는 신호를 스위칭시킨다. 클럭드라이버는 스위칭부로부터의 출력을 제 4 지연 시간 지연하여 내부 클럭으로서 출력한다. 본 발명에 의하면, 하나의 지연 라인만을 사용하므로 레이 아웃 면적을 줄일 수 있는 효과를 가진다.

대표도

도2

명세서

도면의 간단한 설명

- 도 1은 종래의 동기식 지연 라인 회로를 이용한 디지털 지연 동기 회로의 블록도이다.
도 2는 본 발명의 실시예에 따른 위상 동기 지연 회로의 블록도이다.
도 3은 도 2에 있어서, 주지연부의 구체적인 일 실시예에 따른 회로의 회로도이다.
도 4는 도 2에 있어서, 위상 비교 검출기들의 구체적인 일 실시예에 따른 회로의 회로도이다.
도 5는 도 2에 있어서, 선택적 위상 비교 검출기의 구체적인 일 실시예에 따른 회로의 회로도이다.
도 6은 도 2에 있어서, 프래그 신호 발생기의 구체적인 일 실시예에 따른 회로의 회로도이다.
도 7은 도 2에 있어서, 스위칭부의 구체적인 일 실시예에 따른 회로의 회로도이다.
도 8은 도 2의 상세한 회로도이다.
도 9는 도 8의 동작을 설명하기 위한 각 신호들의 타이밍도이다.
도 10은 도 8에 있어서, 내부 클럭을 발생할 때까지의 개념적인 과정을 나타내는 블록도이다.
도 11은 도 10을 설명하기 위한 각 신호들의 타이밍도이다.

<도면의 부호에 대한 자세한 설명>

CLK: 외부 시스템 클럭, PCLK: 내부 클럭

F1 내지 Fn: 인에이블 신호들, FLAG: 프래그 신호,

RESET: 리셋 신호, CR2 내지 CRn: 캐리 신호들,

D1 내지 Dn, D1' 내지 Dn': 지연 신호들, d1, t1, t2: 지연 기간들,

dt: 단위 지연 기간, tCC: 외부 시스템 사이클 주기.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 위상 동기 지연 회로(Phase Locked Delay Circuit)에 관한 것으로서, 특히 동기식 반도체 메모리 장치 내에 사용되는 내부 클럭을 외부 시스템 클럭에 동기시키기 위한 위상 동기 지연 회로에 관한 것이다.

동기식 반도체 메모리 장치는 외부 시스템 클럭에 동기하여 칩 내부 회로들을 동작시키기 위하여, 외부 시스템 클럭을 입력하여 칩 내부 회로에서 필요로 하는 내부 클럭으로 변환하여 출력하는 클럭 버퍼를 구비한다. 이 때, 외부 시스템 클럭과 내부 클럭 사이에는 필연적으로 위상 차이가 발생하게 된다. 따라서, 이와 같은 위상차이를 없애기 위한, 즉 외부 시스템 클럭에 완전히 동기되는 내부 클럭을 발생시키기 위한 연구가 계속 진행되어 오고 있다.

위에서 언급한 문제점을 해결하기 위한 종래의 대표적인 방법은 위상 동기 루프(PLL: Phase Locked Loop)와 지연 동기 루프(DLL: Delay Locked Loop) 등을 사용하여 외부 시스템 클럭과 내부 클럭 사이의 스큐(Skew)를 최소화하는 것이었다. 그러나, 위상 동기 루프(PLL)나 지연 동기 루프(DLL) 등을 사용하는 종래의 방법은 외부 시스템 클럭과 내부 클럭이 일치하는 데 걸리는 시간, 즉 동기 시간(Locking Time)이 길어 칩 내부의 데이터 액세스 타임이 길게되는 문제(Slow Acquisition Time)를 야기시킨다. 또한 칩 회로의 동작이 스탠바이(Stan-by) 상태에 있는 경우에도 위상 동기 루프(PLL)나 지연 동기 루프(DLL)를 사용하는 종래의 방법에 있어서는 위상 동기 루프(PLL)나 지연 동기 루프(DLL)를 항상 동작시켜야 하므로 스탠바이 전류에 의하여 전력 소모가 증가되는 문제점이 있다.

클럭 스큐를 줄이고 외부 시스템 클럭에 완전히 동기되는 내부 클럭을 발생시키기 위한 종래의 다른 시도는 전압 제어 지연 라인(Voltage Controlled Delay Line)을 사용하는 것이다. 그 대표적인 회로가 동기식 지연 라인(SDL: Synchronous Delay Line) 회로로서, U.S. kpoent 4,975,605에 개시되어 있다. 또한 이를 개선한 것이 최근에 256M DRAM에 채용된 동기식 미러 지연 회로(SMD: Synchronous Mirror Delay)와 계층 위상 동기 지연 회로(HPLD: Hierarchical Phase Locking Delay)이다.

도 1은 외부 시스템 클럭에 동기하는 내부 클럭을 발생시키는 종래의 방법 중에서 동기식 지연 라인(SDL) 회로를 이용한 디지털 지연 동기 회로(DLL)의 블록도를 나타내고 있다.

도 1을 참조하면, 종래의 동기식 지연 라인(SDL) 회로를 이용한 디지털 지연 동기 회로(DLL)는 지연 버퍼(100), 주지연기(110), 지연 라인들(120,150), 선택적 위상 비교 검출기(130), 위상 비교 검출부(140), 다수의 스위칭 수단들(160), 및 클럭 드라이버(170)를 구비한다.

지연 버퍼(100)는 외부 시스템 클럭(CLK)을 입력하여 이를 소정 기간(d1) 지연 버퍼링하여 제 1 내부 클럭(PCLK1)으로서 출력한다.

주지연기(110)는 제 1 내부 클럭(PCLK1)을 입력하여 이를 소정 기간(t1) 지연하여 제 2 내부 클럭(PCLK2)으로서 출력한다.

지연 라인(120)은 직렬로 연결되어 있는 다수의 단위 지연기들(122 내지 129)로써 구성되어 있다. 여기서, 단위 지연기(122)는 제 2 내부 클럭(PCLK2)을 소정의 단위 길이(dt)로 지연하여 이를 신호(D2)로서 출력하고, 단위 지연기들(123 내지 129)은 각각 대응되는 전단의 단위 지연기로부터 출력되는 신호를 소정의 단위 길이(dt)로 지연하여, 이들을 신호들(D3 내지 Dn)로서 출력한다.

지연 라인(150)은 직렬로 연결되어 있는 다수의 단위 지연기들(152 내지 159)로써 구성되어 있다. 여기서, 단위 지연기(152)는 제 1 내부 클럭(PCLK1)을 소정의 단위 길이(dt)로 지연하여 이를 신호(D2')로서 출력하고, 단위 지연기들(153 내지 159)은 각각 대응되는 전단의 단위 지연기로부터 출력되는 신호를 소정의 단위 길이(dt)로 지연하여, 이들을 신호들(D3' 내지 Dn')로서 출력한다.

위상 비교 검출부(140)는 다수의 위상 비교 검출기들(142 내지 149)로써 구성되어 있다. 다수의 위상 비교 검출기들(142 내지 149)은 각각 다수의 단위 지연기들(122 내지 129) 중에서 대응되는 단위 지연기로부터 출력되는 신호의 위상과 지연 버퍼(100)로부터 출력되는 제 1 내부 클럭(PCLK1)의 위상이 일치하고 또한 전단의 위상 비교 검출기로부터 출력되는 인에이블 신호가 액티브되지 않은 경우에만 액티브되는 대응되는 인에이블 신호를 출력한다. 다시 말하면, 위상 비교 검출부(140)는 다수의 단위 지연기들(122 내지 129)을 이용하여 제 2 내부 클럭(PCLK2)의 위상이 제 1 내부 클럭(PCLK1)의 위상과 동기되는 데 필요한 지연기간(t2)을 검출하여 저장한다.

선택적 위상 비교 검출기(130)는 사용자의 선택에 의해 동작하는 동작 선택 모드를 구비하고, 제 1 내부 클럭(PCLK1)과 제 2 내부 클럭(PCLK2)을 입력하여, 이들의 위상을 비교하여 일치하는 경우에만 액티브되는 인에이블 신호(F1)를 출력한다. 선택적 위상 비교 검출기(130)는 사용자에게 의해서 인에이블되어 외부 시스템 클럭(CLK)의 주기가 지연 라인들(120,150) 선택의 지연 길이 보다 클 경우에 제 1 내부 클럭(PCLK1)을 그대로 노드(165)로 출력하기 위한 것이다.

스위칭부(160)는 다수의 단위 지연기들(152 내지 159) 중에서 각각 대응되는 단위 지연기와 노드(165) 사이에 연결되어 있는 다수의 스위칭 수단들(161 내지 169)로써 구성되어 있다. 다수의 스위칭 수단들(161 내지 169)은 각각 선택적 위상 비교 검출기(130) 및 위상 비교 검출기들(142 내지 149)로부터 출력되는 인에이블 신호들(F1 내지 F9) 중에서 대응되는 인에이블 신호에 의해서 제어되어, 대응되는 단위 지연기로부터 출력되는 신호를 선택하여 노드(165)로 출력한다.

클럭 드라이버(170)는 노드(165)의 신호를 입력하여 이를 소정 기간(d2) 지연하여 내부 클럭(PCLK)으로서 출력한다. 여기서 소정의 지연기간(t1)은 소정의 지연기간(d1)과 소정의 지연기간(d2)의 합과 같다.

도 1을 참조하여, 외부 시스템 클럭(CLK)에 동기되는 내부 클럭(PCLK)을 발생시키는 동작에 대해서 자세히 설명하면 다음과 같다.

외부 시스템 클럭(CLK)이 지연 버퍼(100)에 입력되면, 지연버퍼(100)는 외부 시스템 클럭(CLK)을 소정 지연시간 d1만큼 지연 버퍼링하여 제 1 내부 클럭(PCLK1)으로서 출력한다. 주지연기(110)는 제 1 내부 클럭(PCLK1)을 입력하여 이를 소정 지연시간 t1만큼 지연시켜 제 2 내부 클럭(PCLK2)으로서 출력한다. 여기서 소정의 지연시간 t1은 소정의 지연시간 d1과 소정의 지연시간 d2의 합이다. 지연 길이(120)는 제 2 내부 클럭(PCLK2)을 입력하여 이를 단위지연기들(122 내지 129)을 통하여 차례로 통과시키면서 소정의 단위 길이만큼 각각 지연시키어, 지연된 신호들을 단위지연기들(122 내지 129)의 출력단자들로 각각 출력시킨다. 선택적 위상 비교 검출기(130) 및 위상 비교 검출기들(142 내지 149)은 각각 단위지연기들(122 내지 129)의 출력 단자들로부터 각각 출력되는 신호들 중에서 대응되는 신호를 입력하여 이의 위상을 제 1 내부 클럭(PCLK1)의 위상과 비교하여 가장 먼저 일치하는 경우에만 액티브되는 인에이블신호를 출력한다. 즉 선택적 위상 비교 검출기(130) 및 위상 비교 검출기들(142 내지 149)은 제 2 내부 클럭(PCLK2)의 위상이 제 1 내부 클럭(PCLK1)의 위상과 일치하는 데 필요한 지연기간 t2를 검출하여 저장하는 역할을 한다. 지연라인(150)은 제 1 내부 클럭(PCLK1)을 입력하여 이를 단위지연기들(152 내지 159)을 통하여 차례로 통과시키면서 소정의 단위 길이만큼 각각 지연시키어, 지연된 신호들을 단위지연기들(152 내지 159)의 출력단자들로 각각 출력시킨다. 스위칭부(160)의 스위칭 수단들(161 내지 169)은 각각 선택적 위상 비교 검출기(130) 및 위상 비교 검출기들(142 내지 149)로부터 출력되는 인에이블 신호들 중에서 대응되는 인에이블신호에 의해서 제어되어, 단위 지연기들(152 내지 159)의 출력단자들로 출력되는 신호들 중에서 대응되는 신호를 스위칭하여 클럭 드라이버(170)의 입력단자로 입력시킨다. 즉 스위칭부(160)는 제 1 내부 클럭(PCLK1)이 지연 라인(150)을 통하여 지연기간 t2만큼 지연되어 출력되는 신호를 클럭 드라이버(170)의 입력단자로 입력시킨다. 클럭 드라이버(170)는 입력된 신호를 소정의 지연시간 d2만큼 지연시켜 내부 클럭(PCLK)으로서 출력한다. 따라서 외부 시스템 클럭(CLK)이 지연 버퍼(100)에 입력되어 클럭드라이버(170)로부터 내부 클럭(PCLK)으로서 출력될 때까지의 총 지연시간은 지연버퍼(100), 주지연기(110), 지연 라인들(120, 150), 및 클럭 드라이버(170)에 의한 지연시간들을 합한 값으로서 아래 식과 같이 나타낼 수 있다.

[수학적 식 1]

$$\begin{aligned} \text{총지연시간} &= d1+d1+d2+d2+d2 \\ &= d1+d1+(tCC-d1)+(tCC-d1)+d2 \\ &= d1+2tCC-d1+d2 \\ &= d1+2tCC-(d1+d2)+d2 \\ &= 2tCC \end{aligned}$$

여기서 tCC는 외부 시스템 클럭(CLK)의 사이클 시간이다.

이와 같이 종래의 동기식 지연 라인(SDL) 회로를 이용한 디지털 지연 동기 루프(DLL) 회로는 근본적으로 문제점을 가지고 있다. 저주파, 즉 긴 주기를 가지는 외부 시스템 클럭에 동기되는 내부 클럭을 발생시키기 위해서는 물리적으로 긴 단위 지연기들의 연결이 필요한데 이는 레이아웃 면적의 제약 때문에 한계가 있게 된다. 이는 동기식 미러 지연(SMD) 회로를 이용하는 경우에도 마찬가지다. 다시말 하면, 동기식 미러 지연(SMD) 회로에서는 미러 형태의 순방향의 단위 지연기들과 역방향의 단위 지연기들의 연결고리를 단순히 논리 게이트, 예컨대 NAND 게이트들로만 이루어진 미러 형태의 제어 회로(Mirror Control Circuit)로써 제어하여 위상 동기를 실현한다. 따라서, 동기식 미러 지연(SMD) 회로는 온도 및 공정과정에 따른 변화는 극복할 수 있으나, 저 주파의 외부 시스템 클럭에 대해서는 근본적으로 미러 형태의 순방향의 단위 지연기들과 역방향의 단위 지연기들에 의한 지연길이가 길려야 하며 이는 레이아웃의 증가를 필요로 한다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 종래의 동기식 지연 라인(SDL) 회로를 이용한 위상 동기 지연 회로의 특성을 그대로 유지하면서 그 레이아웃 면적의 크기를 줄일 수 있는 위상 동기 지연 회로를 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 따른 위상 동기 지연 회로는 지연 버퍼, 주지연부, 지연 라인, 위상 동기 검출 수단, 스위칭부, 프래그 신호 발생기, 및 클럭 드라이버를 구비하는 것을 특징으로 한다.

지연 버퍼는 외부 시스템 클럭을 입력하여 이를 소정의 제 1 지연 시간만큼 지연 버퍼링하여 제 1 클럭으로서 출력한다.

주지연부는 프래그 신호에 따라, 제 1 클럭을 입력하여 이를 소정의 제 2 지연 시간만큼 지연하거나 제 1 클럭을 그대로 바이패스시켜 제 2 클럭으로서 출력한다.

지연 라인은 제 2 클럭을 입력하여, 소정의 단위 길이만큼 차례로 지연하여 각각 출력하는 다수의 단위 지연기들의 직렬 결합으로 구성되어 있다.

위상 동기 검출 수단은 각각, 프래그 신호에 의해서 제어되고, 다수의 단위 지연기들 중에서 대응되는 단위 지연기의 출력 단자들로부터 출력되는 신호와 제 1 클럭을 입력하여, 신호의 위상과 제 1 클럭의 위상을 비교하여, 서로 일치하는 경우에만 대응되는 인에이블 신호를 액티브시켜 출력하는 다수의 위상 검출 비교기들로써 구성되어 있다.

즉, 위상 동기 검출 수단은 각각, 프래그 신호에 의해서 제어되고, 다수의 단위 지연기들의 출력 단자들 중에서 대응되는 단위 지연기의 출력 단자들로부터 출력되는 지연 신호를 입력하여, 제 2 클럭이 제 1 클럭에 동기되는 데 필요한 제 3 지연 시간을 검출하여 저장하고 이를 다수의 인에이블 신호들 중에서 해당되

는 인에이블 신호를 액티브시켜 출력하여 나타낸다.

프래그 신호 발생기는 리셋 신호에 의해서 제어되어, 인에이블 신호들에 따라 프래그 신호를 출력한다.

스위칭부는 각각, 위상 동기 검출 수단으로부터 출력되는 인에이블 신호들 중에서 대응되는 인에이블 신호에 의해서 제어되어, 제 1 클럭이 다수의 단위 지연기들을 통하여 지연되어 출력되는 신호들 중에서 대응되는 신호를 스위칭하여 출력하는 다수의 스위칭 수단들을 구비한다.

즉, 스위칭부는 다수의 단위 지연기들로부터 출력되는 신호들 중에서 제 1 클럭을 제 3 지연 시간만큼 지연시킨 것에 해당되는 신호만을 선택하여 스위칭한다.

클럭 드라이버는 스위칭부로부터 스위칭되어 전달되는 신호를 입력하여 이를 소정의 제 4 지연 시간만큼 지연시켜 내부 클럭으로서 출력한다.

본 발명에 따른 위상 동기 지연 회로에 있어서, 위상 동기 검출 수단은 프래그 신호에 따라 상기 제 1 클럭이 상기 주지연부에서 바이패스되는 경우에는 인에이블 신호들의 상태를 그대로 유지하며, 제 2 지연 시간은 상기 제 1 지연 시간과 상기 제 4 지연 시간을 합한 것과 동일하다. 또한 프래그 신호 발생기는 리셋 신호에 의해서 제어되어, 인에이블 신호들을 입력하여, 이들 중에서 어느 하나라도 액티브되어 있는 경우에만 액티브되는 프래그 신호를 출력한다.

이어서 첨부한 도면을 참조하여 본 발명의 구체적인 실시예에 대하여 자세히 설명하기로 한다.

도 2는 본 발명의 실시예에 따른 위상 동기 지연 회로의 블록도를 나타내고 있다.

도 2를 참조하면, 본 발명의 실시예에 따른 위상 동기 지연 회로는 지연 버퍼(200), 주지연기(210), 바이패스 경로(220), 스위칭부들(230,270), 지연 라인(240), 위상 동기 검출 수단(250), 프래그 신호 발생기(260), 클럭 드라이버(280), 및 리셋 신호 발생기(290)를 구비한다.

지연 버퍼(200)는 외부 시스템 클럭(CLK)을 입력하여 이를 지연 시간(d_1) 지연 버퍼링하여 클럭 신호(PCLK1)로서 출력한다. 여기서, 클럭 신호(PCLK1)는 외부 시스템 클럭(CLK)과 동일한 사이클 주기(tCC)를 가진다.

주지연기(210)는 클럭 신호(PCLK1)를 입력하여 이를 지연시간(t_1) 지연하여 클럭 신호(PCLK2)로서 출력한다.

바이패스 경로(220)는 주지연기(210)를 바이패스시킨다.

스위칭부(230)는 프래그 신호(FLAG)에 의해서 제어되어, 바이패스 경로(220)와 주지연기(210) 중에서 하나를 선택하여 지연 버퍼(200)의 출력 단자와 노드(235) 사이에 접속시킨다.

스위칭부(230)는 스위칭 수단들(231,232,233,234)로써 구성되어 있다.

스위칭 수단(231)은 지연 버퍼(200)의 출력 단자와 바이패스 경로(220)의 입력 단자 사이에 접속되어 있고, 프래그 신호(FLAG)가 액티브 상태일 때 인에이블되어 지연 버퍼(200)로부터 출력되는 클럭 신호(PCLK1)를 바이패스 경로(220)로 스위칭시킨다.

스위칭 수단(232)은 바이패스 경로(220)의 출력 단자와 노드(235) 사이에 접속되어 있고, 프래그 신호(FLAG)가 액티브(Active) 상태일 때 인에이블되어, 바이패스 경로(220)를 통하여 전달되는 클럭 신호(PCLK1)를 노드(235)로 스위칭시킨다.

스위칭 수단(233)은 지연 버퍼(200)의 출력 단자와 주지연기(210)의 입력 단자 사이에 접속되어 있고, 프래그 신호(FLAG)가 비액티브(Nonactive) 상태일 때 인에이블되어 지연 버퍼(200)로부터 출력되는 클럭 신호(PCLK1)를 주지연기(210)로 스위칭시킨다.

스위칭 수단(234)은 주지연기(210)의 출력 단자와 노드(235) 사이에 접속되어 있고, 프래그 신호(FLAG)가 비액티브 상태일 때 인에이블되어, 주지연기(210)로부터 출력되는 클럭 신호(PCLK2)를 노드(235)로 스위칭시킨다.

지연 라인(240)은 노드(235)에 전달되는 클럭 신호(PCLK2)를 차례로 단위 지연시간(dt)만큼 지연하여 얻어지는 신호들(D_1 내지 D_n) 및 클럭 신호(PCLK1)를 차례로 단위 지연시간(dt)만큼 지연하여 얻어지는 신호들(D_1' 내지 D_n')을 출력한다.

지연 라인(240)은 직렬로 연결되어 있는 다수의 단위 지연기들(241 내지 248)로써 구성되어 있다.

다수의 단위 지연기들(241 내지 248)은 바이패스 경로(220)를 통하여 노드(235)에 전달되는 클럭 신호(PCLK1)와 주지연기(210)를 통하여 노드(235)에 전달되는 클럭 신호(PCLK2)를 단위 길이(dt)만큼 차례로 지연하여 출력한다. 즉 단위 지연기(241)는 프래그 신호(FLAG)가 비액티브한 경우에 노드(235)에 전달되는 클럭 신호(PCLK2)를 단위 길이(dt)만큼 지연하여 신호(D_2)로서 출력한다. 그리고, 단위 지연기(242)는 프래그 신호(FLAG)가 비액티브한 경우에 단위 지연기(241)로부터 출력되는 신호(D_2)를 입력하여 이를 단위 길이(dt)만큼 지연하여 신호(D_3)로서 출력한다. 마찬가지로, 단위 지연기(248)는 프래그 신호(FLAG)가 비액티브한 경우에 입력 단자에 접속되어 있는 단위 지연기의 출력 단자로부터 출력되는 신호를 입력하여 이를 단위 길이(dt)만큼 지연하여 신호(D_n)로서 출력한다. 또한 단위 지연기(241)는 프래그 신호(FLAG)가 액티브한 경우에 노드(235)에 전달되는 클럭 신호(PCLK1)를 단위길이(dt)만큼 지연하여 신호(D_2')로서 출력한다. 그리고, 단위 지연기(242)는 프래그 신호(FLAG)가 액티브한 경우에 단위 지연기(241)로부터 출력되는 신호(D_2')를 입력하여 이를 단위 길이(dt)만큼 지연하여 신호(D_3')로서 출력한다. 마찬가지로, 단위 지연기(248)는 프래그 신호(FLAG)가 액티브한 경우에 입력 단자에 접속되어 있는 단위 지연기의 출력 단자로부터 출력되는 신호를 입력하여 이를 단위 길이(dt)만큼 지연하여 신호(D_n')로서 출력한다.

리셋 신호 발생기(290)는 사용자의 필요에 따라 외부 시스템 클럭(CLK)에 동기되는 내부 클럭(PCLK)을 발생시키는 동작을 리셋(Reset)하는 리셋 신호(RESET)를 발생시킨다. 리셋 신호(RESET)는 외부 시스템 클럭

(CLK)에 동기되는 내부 클럭(PCLK)이 일단 발생되면 년액티브되는 펄스 신호이다. 따라서 리셋 신호(RESET)가 년액티브되어 있는 동안에는 발생된 내부 클럭(PCLK)의 상태가 변화하지 않고 계속적으로, 주어진 외부 시스템 클럭(CLK)에 동기되어 발생하게 된다.

위상 동기 검출 수단(250)은 프래그 신호(FLAG)에 따라, 외부 시스템 클럭(CLK)의 사이클 주기(tCC)에서 지연 시간(t1)을 제외한 나머지 기간을 감지하기 위한 것이다. 즉 위상 동기 검출 수단(250)은 클럭 신호(PCLK2)가 클럭 신호(PCLK1)에 동기되는 데 필요한 지연 시간(t2)을 검출하기 위한 것이다.

위상 동기 검출 수단(250)은 선택적 위상 비교 검출기(259), 및 다수의 위상 비교 검출기들(251 내지 258)로써 구성되어 있다. 위상 동기 검출 수단(250)은 클럭 신호(PCLK2)를 다수의 단위 지연기들(241 내지 248)을 통하여 단위 지연 시간(dt)만큼씩 지연시켜 출력되는 신호들(D1 내지 Dn)의 위상들을 클럭 신호(PCLK1)의 위상과 비교하여 일치하는지를 검출하므로써 클럭 신호(PCLK2)와 클럭 신호(PCLK1)의 위상 차이를 검출해낸다.

다수의 위상 비교 검출기들(251 내지 258)은 각각, 프래그 신호(FLAG)가 년액티브 상태인 경우에만 인에이블되어, 다수의 단위 지연기들(241 내지 248)의 출력 단자들 중에서 대응되는 출력 단자로부터 출력되는 신호(D2 및 D8)와 클럭 신호(PCLK1)를 입력하여, 신호(D2 및 D8)의 위상과 클럭 신호(PCLK1)의 위상을 비교하여, 가장 먼저 서로 일치하는 경우에만 대응되는 인에이블 신호를 액티브시켜 출력한다. 즉 위상 비교 검출기(251)는 프래그 신호(FLAG)가 년액티브 상태일 경우에만 인에이블되어, 단위 지연기(241)로부터 출력되는 신호(D2)와 클럭 신호(PCLK1)를 입력하여, 이들의 위상을 비교하고 서로 일치하는 경우에만 대응되는 인에이블 신호(F2)를 액티브시켜 출력한다. 그리고, 위상 비교 검출기(252)는 프래그 신호(FLAG)가 년액티브 상태일 경우에만 인에이블되어, 단위 지연기(242)로부터 출력되는 신호(D3)와 클럭 신호(PCLK1)를 입력하여, 이들의 위상을 비교하고 서로 일치하고 단위 지연기로부터 출력되는 인에이블 신호(F2)가 액티브되지 않는 경우에만 대응되는 인에이블 신호(F3)를 액티브시켜 출력한다. 마찬가지로, 위상 비교 검출기(258)는 프래그 신호(FLAG)가 년액티브 상태일 경우에만 인에이블되어, 단위 지연기(248)로부터 출력되는 신호(Dn)와 클럭 신호(PCLK1)를 입력하여, 이들의 위상을 비교하고 서로 일치하고 전단의 단위 지연기로부터 출력되는 인에이블 신호가 액티브되지 않는 경우에만 대응되는 인에이블 신호(Fn)를 액티브시켜 출력한다. 따라서, 단위 지연기들로부터 출력되는 신호들(D1 내지 Dn) 중에서 클럭 신호(PCLK1)와 가장 먼저 일치하는 경우에 대응하는 인에이블 신호만 액티브되고 나머지 인에이블 신호들은 년액티브된다.

선택적 위상 비교 검출기(259)는 사용자의 선택에 따라 그 동작이 결정이 된다. 선택적 위상 비교 검출기(259)는 외부 시스템 클럭(CLK)의 주기가 지연 길이(240)의 단위 지연기들(241 내지 248)에서 지연되는 시간보다 긴 경우에 사용자에게 의해서 그 동작이 선택되어 클럭 신호(PCLK1)를 그대로 내부 클럭(PCLK)으로서 출력시키기 위한 것이다.

프래그 신호 발생기(260)는 리셋 신호(RESET)에 의해서 인에이블되어, 선택적 위상 비교 검출기(259) 및 위상 비교 검출기들(251 내지 258)로부터 출력되는 인에이블 신호들(F1 내지 Fn)을 입력하여 이들 중에서 어느 하나라도 액티브되어 있는 경우에만 액티브되는 프래그 신호(FLAG)를 출력한다.

스위칭부(270)는 다수의 스위칭 수단들(271 내지 279)로써 구성되어 있다.

다수의 스위칭 수단들(271 내지 279)은 각각, 인에이블 신호들(F1 내지 Fn) 중에서 대응되는 인에이블 신호에 의해서 인에이블되어, 노드(235) 및 단위 지연기들(241 내지 248)로부터 출력되는 신호들(D1' 내지 Dn')을 선택하여 노드(285)로 스위칭한다.

클럭 드라이버(285)는 노드(285)에 전달되는 신호를 입력하여, 이를 지연 시간(d2)만큼 지연하여 내부 클럭(PCLK)으로서 출력한다.

도 3은 도 2에 있어서, 스위칭부(230)의 구체적인 일실시예에 따른 회로의 회로도도 나타내고 있다.

도 3을 참조하면, 스위칭부(230)의 구체적인 일실시예에 따른 회로는 전송게이트들(310, 320, 330, 340)로써 구성되어 있다.

전송게이트(310)는 지연 버퍼(200)의 출력 단자와 바이패스 경로(220)의 입력 단자 사이에 접속되어 있고, 프래그 신호(FLAG)가 하이('H') 레벨일 때 턴 온(Turn On)되어 지연 버퍼(200)로부터 출력되는 클럭 신호(PCLK1)를 바이패스 경로(220)로 전송시킨다.

전송게이트(320)는 바이패스 경로(220)의 출력 단자와 노드(235) 사이에 접속되어 있고, 프래그 신호(FLAG)가 하이('H') 레벨일 때 턴 온 되어, 바이패스 경로(220)를 통하여 전달되는 클럭 신호(PCLK1)를 노드(235)로 전송시킨다.

전송게이트(330)는 지연 버퍼(200)의 출력 단자와 주지연기(210)의 입력 단자 사이에 접속되어 있고, 프래그 신호(FLAG)가 로우('L') 레벨일 때 턴 온 되어 지연 버퍼(200)로부터 출력되는 클럭 신호(PCLK1)를 주지연기(210)로 전송시킨다.

전송게이트(340)는 주지연기(210)의 출력 단자와 노드(235) 사이에 접속되어 있고, 프래그 신호(FLAG)가 로우('L') 레벨일 때 턴 온 되어, 주지연기(210)로부터 출력되는 클럭 신호(PCLK2)를 노드(235)로 전송시킨다.

도 4는 도 2에 있어서, 위상 비교 검출기들(251 내지 258)의 구체적인 일실시예에 따른 회로의 회로도이다.

도 4를 참조하면, 위상 비교 검출기들(251 내지 258)의 구체적인 일실시예에 따른 회로는 NAND 게이트들(402, 414, 416), 인버터(408, 418), 및 래치수단들(406, 412)을 구비한다.

NAND 게이트(402)는 클럭 신호(PCLK1)와 프래그 신호(FLAG)를 입력하여 클럭 신호(PCLK1)가 하이('H') 레벨이고 프래그 신호(FLAG)가 로우('L') 레벨일 경우에만 로우('L') 레벨이 되는 신호를 출력한다.

전송게이트(404)는 NAND 게이트(402)로부터 출력되는 신호에 의해서 제어되어, 즉 NAND 게이트(402)로부터 출력되는 신호가 로우('L') 레벨일 경우에만 턴 온 되어, 단위 지연기들(241 내지 248)로부터 출력되는 신호들(D2 내지 Dn) 중에서 대응되는 신호를 전송한다.

래치수단(406)은 전송게이트(404)로부터 전송되는 신호를 입력하여 래치하고, 그 반전 신호를 출력한다.

인버터(408)는 래치수단(406)에 래치되어 있는 신호를 입력하여 이를 인버팅하여 출력한다.

전송게이트(410)는 클럭 신호(PCLK1)에 의해서 제어되어, 즉 클럭 신호(PCLK1)가 로우('L') 레벨일 경우에만 턴 온 되어 인버터(408)로부터 출력되는 신호를 입력하여 전송한다.

래치수단(412)은 전송게이트(412)로부터 출력되는 신호를 입력하여 래치시킨다.

NAND 게이트(414)는 래치수단(412)으로부터 출력되는 신호와 전단의 단위지연기로부터 출력되는 캐리 신호(CR_{i-1})를 입력하여, 이들이 모두 하이('H') 레벨일 경우에만 로우('L') 레벨이 되는 신호를 출력한다.

인버터(418)는 NAND 게이트(414)로부터 출력되는 신호를 입력하여 이를 인버팅하여 캐리 신호(CR_i)로서 출력한다.

NAND 게이트(416)는 NAND 게이트(414)로부터 출력되는 신호와 캐리 신호(CR_{i-1})를 입력하여, 이들이 모두 하이('H') 레벨일 경우에만 로우('L') 레벨이 되는 신호를 인에이블 신호(Fi)로서 출력한다. 인에이블 신호(Fi)는 캐리 신호(CR_{i-1})가 하이('H') 레벨이고, 래치수단(412)으로부터 출력되는 신호가 로우('L') 레벨일 경우에만 로우('L') 레벨이 된다. 즉 클럭 신호(PCLK1)가 하이('H') 레벨이고 프래그 신호(FLAG)가 로우('L') 레벨일 경우에 전송게이트(404)에 입력되는 신호(Di)가 하이('H') 레벨일 경우에만 인에이블 신호(Fi)가 로우('L') 레벨이 된다. 여기서 인에이블 신호(Fi)는 로우('L') 액티브 신호이다.

도 4를 참조하면, 위상 비교 검출기들(241 내지 248)은 프래그 신호(FLAG)가 로우('L') 레벨일 경우에만 인에이블되어 클럭 신호(PCLK1)와 해당되는 신호(Di)의 위상들을 비교하여 일치하는 지를 검출한다.

표 1은 도 4에 있어서, 프래그 신호(FLAG)가 로우('L') 레벨이고, 클럭 신호(PCLK1)가 하이('H') 레벨일 경우에, 신호(Di)와 이전 캐리 신호(CR_{i-1})에 따른 인에이블 신호(Fi)와 캐리 신호(CR_i)의 진리표를 나타내고 있다.

[표 1]

CR _{i-1}	Di	CR _i	Fi
0	0	0	1
0	1	0	1
1	0	1	1
1	1	0	0

이와 같이, 도 4의 위상 비교 검출기들(241 내지 248)의 구체적인 일실시예에 따른 회로는 클럭 신호(PCLK1)가 하이('H') 레벨이고 프래그 신호(FLAG)가 로우('L') 레벨일 경우에만 신호(Di)를 입력하여, 이전 캐리 신호(CR_{i-1})가 하이('H') 레벨이고, 클럭 신호(PCLK1)의 위상과 신호(Di)의 위상이 일치하는 경우에만 로우('L') 레벨이 되는 인에이블 신호(Fi)를 출력한다. 그리고, 프래그 신호(FLAG)가 하이('H') 레벨인 경우에는 전송게이트(404)가 항상 턴 오프(Turn off)되어 있어 래치수단들(406,412)에 래치되어 있는 신호들의 상태가 변화하지 않으므로, 인에이블 신호(Fi)의 상태는 그대로 유지된다.

도 5는 도 2에 있어서, 선택적 위상 비교 검출기(259)의 구체적인 일실시예에 따른 회로의 회로도이다.

도 5를 참조하면, 선택적 위상 비교 검출기(259)의 구체적인 일실시예에 따른 회로는 퓨즈들(516,518), PMOS 트랜지스터(504), NAND 게이트들(502,506), 인버터들(508,512), 전송게이트(514), 및 래치수단들(510,520)을 구비한다.

퓨즈들(516,518)은 사용자의 필요에 따라 선택적으로 단락 또는 비단락시키므로써 선택적 위상 비교 검출기(270)를 각각 인에이블 또는 디스에이블시키기 위한 것이다. 즉, 외부 시스템 클럭(CLK)의 주기가 지연 길이(240)를 통하여 지연될 수 있는 총 지연 시간보다 긴 경우를 고려하여야 할 경우에, 퓨즈들(516,518)은 비단락된다.

아래의 각 소자들에 대한 설명을 위하여 퓨즈들(516,518)이 비단락되어 있는 경우에 대해 고려하기로 한다.

NAND 게이트(502)는 클럭 신호(PCLK1)와 프래그 신호(FLAG)를 입력하여 클럭 신호(PCLK1)가 하이('H') 레벨이고, 프래그 신호(FLAG)가 로우('L') 레벨인 경우에만 로우('L') 레벨이 되는 신호를 출력한다.

PMOS 트랜지스터(504)는 NAND 게이트(502)로부터 출력되는 신호에 의해서 게이팅되어 NAND 게이트(502)로부터 출력되는 신호가 로우('L') 레벨인 경우에만 전원 전압(VCC) 레벨을 드레인 단자로 전송시킨다.

NAND 게이트(506)는 위상 비교 검출기들(251 내지 258)로부터 출력되는 캐리 신호들(CR2 내지 CRn)을 입력하여 캐리 신호들(CR2 내지 CRn)이 모두 하이('H') 레벨일 경우에만 로우('L') 레벨이 되는 신호를 출력한다.

인버터(508)는 NAND 게이트(506)로부터 출력되는 신호를 입력하여 이를 인버팅하여 출력한다.

래치수단(510)은 PMOS 트랜지스터(504)에 의해서 하이('H') 레벨의 신호를 래치하고 있다가, 인버터

(508)로부터 출력되는 신호를 입력하여 래치하고 이를 인버팅하여 출력한다.

인버터(512)는 래치수단(510)으로부터 출력되는 신호를 입력하여 이를 인버팅하여 출력한다.

전송게이트(514)는 클럭 신호(PCLK1)에 의해서 제어되어, 즉 클럭 신호(PCLK1)가 로우('L') 레벨일 경우에만 턴 온 되어, 인버터(512)로부터 출력되는 신호를 전송시킨다.

래치수단(520)은 전송게이트(514)로부터 출력되는 신호 또는 캐리 신호(CRn)를 입력하여 래치하고 그 인버팅된 신호를 인에이블 신호(F1)로서 출력한다.

외부 시스템 클럭(CLK)의 주기가 지연 길이(240)가 가지는 총 지연 시간보다 긴 경우에는 위상 비교 검출기들(251 내지 258)로부터 출력되는 캐리 신호들(CR2 내지 CRn)은 모두 하이('H') 레벨의 상태를 가진다. 따라서, 선택적 위상 비교 검출기(259)로부터 출력되는 인에이블 신호(F1)는 로우('L') 레벨이 된다. 여기서 인에이블 신호(F1)는 로우('L') 레벨로 액티브되는 신호이다.

외부 시스템 클럭(CLK)의 주기가 지연 길이(240)가 가지는 총 지연 시간보다 짧은 경우에는 위상 비교 검출기들(251 내지 258)로부터 출력되는 인에이블 신호들(F2 내지 Fn) 중에서 어느 하나가 로우('L') 레벨로 액티브되고, 대응되는 캐리 신호 및 나머지 캐리 신호들은 모두 로우('L') 레벨이 된다. 따라서, 인에이블 신호(F1)는 하이('H') 레벨로 년액티브된다.

도 6은 도 2에 있어서, 프래그 신호 발생기(260)의 구체적인 일실시예에 따른 회로의 회로도이다.

도 6을 참조하면, 프래그 신호 발생기(260)의 구체적인 일실시예에 따른 회로는 NAND 게이트들(602,604)로써 구성되어 있다.

NAND 게이트(602)는 위상 비교 검출기들(251 내지 258)로부터 출력되는 캐리 신호들(CR2 내지 CRn)을 입력하여 캐리 신호들(CR2 내지 CRn)이 모두 하이('H') 레벨인 경우에만 로우('L') 레벨이 되는 신호를 출력한다.

NAND 게이트(604)는 NAND 게이트(602)로부터 출력되는 신호와 리셋 신호(RESET)를 입력하여 이들이 모두 하이('H') 레벨일 경우에만 로우('L') 레벨이 되는 신호를 출력한다.

도 6의 프래그 신호 발생기(260)는 리셋 신호(RESET)가 하이('H') 레벨이고, 캐리 신호들(CR2 내지 CRn) 중의 어느 하나라도 로우('L') 레벨이 되면 하이('H') 레벨이 되는 프래그 신호(FLAGS)를 출력한다. 즉 프래그 신호 발생기(260)는 위상 동기 검출 수단(250)에 의해서 클럭 신호(PCLK2)가 클럭 신호(PCLK1)와 동기되는 데 필요한 지연 시간(t_2)이 일단 검출되면 하이('H')로 액티브되는 프래그 신호(FLAGS)를 출력한다.

도 7은 도 2에 있어서, 스위칭부(270)의 구체적인 일실시예에 따른 회로의 회로도를 나타내고 있다.

도 7을 참조하면, 스위칭부(270)의 구체적인 일실시예에 따른 회로는 다수의 스위칭 수단들(271 내지 279)을 각각 구성하는 전송게이트들(701 내지 709)로써 구성되어 있다.

전송게이트들(701 내지 709)은 각각 인에이블 신호들(F1 내지 Fn) 중에서 대응되는 인에이블 신호에 의해서 턴 온 되어, 노드(235) 및 단위지연기들(241 내지 248)의 출력 단자들로부터 출력되는 신호들(D1' 내지 Dn') 중에서 대응되는 신호를 클럭 신호(PCLK3)로서 출력한다.

도 8은 도 3 내지 도 7을 참조하여, 도 2의 구체적인 일실시예에 따른 회로의 상세한 회로도를 나타내고 있다. 여기서 도 8의 각 블록들은 도 2에서와 같은 참조부호들을 사용한다. 또한 각 블록들에 대한 설명은 도 3 내지 도 7에 대한 상기 설명들과 중복되므로 여기서 그 블록들에 대한 상세한 설명은 생략하기로 한다.

도 9는 도 8의 회로의 동작을 설명하기 위한 여러 신호들의 타이밍도를 나타내고 있다.

도 8과 9를 참조하면, 지연 버퍼(200)는 외부 시스템 클럭(CLK)을 지연 시간(d_1)만큼 지연 버퍼링하여 클럭 신호(PCLK1)로서 출력한다(도 9의 PCLK1 타이밍도 참조). 여기서 클럭 신호(PCLK1)는 외부 시스템 클럭(CLK)과 동일한 사이클 주기(t_{CC})를 가진다.

리셋 신호(RESET)는 칩회로의 동작이 외부 시스템 클럭과 동기될 필요가 있을 때마다 로우('L') 레벨로 액티브되었다가 하이('H') 레벨로 년액티브되는 신호이다. 리셋 신호(RESET) 신호가 로우('L') 레벨로 액티브되면, 프래그 신호 발생기(260)는 로우('L') 레벨의 프래그 신호(FLAGS)를 출력한다.

로우('L') 레벨의 프래그 신호(FLAGS)에 의해서 스위칭부(230)의 전송게이트들(330,340)이 턴 온 되어 지연 버퍼(200)로부터 출력되는 클럭 신호(PCLK1)가 주지연기(210)를 통하여 지연 시간(t_1)만큼 지연되어 클럭 신호(PCLK2)로서 출력된다(도 9의 PCLK2 타이밍도 참조).

클럭 신호(PCLK2)는 단위 지연기들(241 내지 248) 각각에 의해서 차례로 단위 길이(dt)만큼씩 지연되어 신호들(D2 내지 Dn)로서 출력된다(도 9의 D2 내지 D8 타이밍도 참조).

신호들(D2 내지 Dn)은 각각 위상 비교 검출기들(251 내지 258)에 입력된다. 위상 비교 검출기들(251 내지 258)은 로우('L') 레벨의 프래그 신호(FLAGS)에 의해서 인에이블되어, 각각 신호들(D2 내지 Dn) 중에서 대응되는 신호와 클럭 신호(PCLK1)를 입력하여, 이들의 위상을 비교하여 서로 일치하지 않는 경우에는, 하이('H') 레벨의 대응되는 인에이블 신호와 대응되는 캐리 신호를 각각 출력한다. 그리고, 위상 비교 검출기들(251 내지 258)은 로우('L') 레벨의 프래그 신호(FLAGS)에 의해서 인에이블되어, 각각 신호들(D2 내지 Dn) 중에서 대응되는 신호와 클럭 신호(PCLK1)를 입력하여, 이들의 위상을 비교하여 서로 일치하는 경우에는 로우('L') 레벨의 대응되는 인에이블 신호와 대응되는 캐리 신호를 각각 출력한다.

일단 위상 비교 검출기들(251 내지 258)로부터 로우('L') 레벨로 액티브되는 대응되는 인에이블 신호가 출력된 다음에는 나머지 위상 비교 검출기들은 모두 하이('H') 레벨의 대응되는 인에이블 신호와 로우('L') 레벨의 대응되는 캐리 신호를 각각 출력한다.

만약에 외부 시스템 클럭(CLK)의 주기가 단위 지연기들(241 내지 248)에서 지연되는 총 지연기간보다 길 경우에는, 즉 신호들(D2 내지 Dn) 모두의 위상들이 클럭 신호(PCLK1)의 위상과 일치하지 않는 경우에는, 위상 비교 검출기들(251 내지 258)로부터 출력되는 대응되는 모든 인에이블 신호들(F2 내지 Fn)과 대응되는 캐리 신호들(CR2 내지 CRn)은 모두 하이('H') 레벨이 된다. 따라서, 선택적 위상 비교 검출기(259)에 의해서 로우('L') 레벨의 인에이블 신호(F1)가 출력되어 클럭 신호(PCLK1)가 그대로 전송게이트(279)를 통하여 노드(285)에 클럭 신호(PCLK3)로서 출력된다.

도 9에 나타나있는 경우와 같이 예를 들어 신호(D7)의 위상이 클럭 신호(PCLK1)와 일치하는 경우에 대응되는 인에이블 신호 예컨대 F7이 로우('L') 레벨로 액티브된다(도 9의 D2 내지 D9 타이밍도 참조). 이러한 상태에서, 프래그 신호(FLAG)는 하이('H') 레벨로 액티브되고, 다시 사용자의 필요에 의해 즉 리셋 신호(RESET)에 의해 로우('L') 레벨로 비액티브될 때까지 그 상태를 유지한다.

하이('H') 레벨의 프래그 신호(FLAG)에 의해서, 클럭 신호(PCLK1)는 바이패스 경로(220)를 통하여 노드(235)로 전달되고 이는 단위 지연기들(241 내지 248)을 통하여 차례로 단위 길이(dt) 만큼 지연되어 단위 지연기들(241 내지 248)의 출력 단자들로부터 신호들(D2' 내지 Dn')로서 출력된다(도 9의 D2' 내지 Dn' 타이밍도 참조).

하이('H') 레벨의 프래그 신호(FLAG)에 의해서 선택적 위상 비교 검출기(259) 및 위상 비교 검출기들(251 내지 258)은 디스에이블되어 있으므로 인에이블 신호들(F1 내지 Fn)의 상태는 변화하지 않게 된다. 따라서, 스위칭부(270)를 구성하는 전송게이트들(271 내지 279) 중에서 로우('L') 레벨의 인에이블 신호, 예컨대 F7에 의해서 제어되는 전송게이트만이 턴 온 되어 대응되는 신호, 예컨대 D7'이 노드(285)로 클럭 신호(PCLK3)로서 출력된다.

클럭 신호(PCLK3)는 클럭드라이버(280)를 통하여 지연 시간(d2)만큼 지연되어 내부 클럭(PCLK)으로서 출력된다(도 9의 PCLK 타이밍도를 참조).

도 9의 타이밍도로부터 알 수 있는 바와 같이, 노드(235)에 전달되는 신호가 단위 지연기들(241 내지 248)을 통하여 노드(285)에 전달될 때까지의 지연 시간(t2)은 외부 시스템 클럭(CLK) 사이클 주기(tCC)에서 주지연기(210)에서의 지연 시간(t1)을 제외한 기간, 즉 tCC-t1이다. 따라서 외부 시스템 클럭(CLK)이 지연 버퍼(200)에 입력된 후 처음으로 최소한 외부 시스템 클럭(CLK)에 동기되는 내부 클럭(PCLK)을 발생할 때까지의 기간은 외부 시스템 클럭(CLK) 사이클 주기의 두 배(2tCC)에 해당된다. 그리고 나서는 외부 시스템 클럭(CLK)의 매 사이클마다 외부 시스템 클럭(CLK)에 동기되는 내부 클럭(PCLK)이 발생된다.

도 10은 도 8에 있어서, 입력된 외부 시스템 클럭(CLK)이 내부 클럭(PCLK)으로 출력될 때까지의 개념적인 과정을 나타내는 블록도이다.

도 11은 도 8에 있어서, 입력된 외부 시스템 클럭(CLK)이 내부 클럭(PCLK)으로 출력될 때까지의 과정을 클럭 신호들(PCLK1, PCLK2, PCLK3)의 타이밍도로써 나타내고 있다.

도 10 내지 11을 참조하면, 외부 시스템 클럭(CLK)이 지연 버퍼(200)에 입력되면, 지연 버퍼(200)는 외부 시스템 클럭(CLK)을 소정의 지연시간(d1)만큼 지연 버퍼링시켜 클럭 신호(PCLK1)로서 출력한다.

주지연기(210)는 클럭 신호(PCLK1)를 입력되어 다시 소정의 지연시간(t1) 만큼 지연시켜 클럭 신호(PCLK2)로서 출력한다. 여기서 지연시간(t1)은 소정의 지연시간(d1)과 소정의 지연시간(d2)을 합한 시간이다.

주지연기(210)에서 출력되는 클럭 신호(PCLK2)가 지연 라인(240)을 통해서 소정의 단위길이(dt) 만큼씩 차례로 지연되어 신호들(D2 내지 Dn)로서 출력되면, 위상 비교 검출기들(252 내지 258)은 신호들(D2 내지 D9)의 위상들을 클럭(PCLK1)의 위상과 비교하여 가장 먼저 일치하는 경우에 대해서만 대응되는 인에이블 신호를 액티브시켜 출력한다. 즉 위상 비교 검출기들(252 내지 258)은 클럭 신호(PCLK2)가 클럭 신호(PCLK1)에 동기되는 데 필요한 지연 시간(t2)을 검출하여 저장한다.

지연 라인(240)은 위상 비교 검출기들(252 내지 258)에 의해서 검출되고 저장되어 있는, 지연 시간(t2)만큼 클럭 신호(PCLK1)를 지연하여 클럭 신호(PCLK3)로서 출력한다.

클럭 드라이버(280)는 클럭 신호(PCLK3)를 소정의 지연시간(d2)만큼 지연하여 내부 클럭(PCLK)으로서 출력한다.

도 10과 도 11로부터 알 수 있는 바와 같이, 외부 시스템 클럭(CLK)이 입력되어 처음으로 외부 시스템 클럭(CLK)에 동기되는 내부 클럭(PCLK)을 발생할 때까지의 총 지연 시간을 계산하면 아래 식에서 나타나 있는 바와 같이 종래의 위상 동기 지연 수단의 경우와 동일한 것을 알 수 있다.

[수학적 식 2]

$$\begin{aligned} \text{총지연시간} &= d1+d1+d2+d2 \\ &= d1+d1+(tCC-d1)+(tCC-d1)+d2 \\ &= d1+2tCC-d1+d2 \\ &= d1+2tCC-(d1+d2)+d2 \\ &= 2tCC \end{aligned}$$

그리고 외부 시스템 클럭(CLK)이 입력된 후 처음으로 이에 동기되는 내부 클럭(PCLK)이 발생된 다음부터는 매 사이클 주기(tCC)마다 외부 시스템 클럭(CLK)에 동기되는 내부 클럭(PCLK)이 발생된다.

이와 같이, 하나의 지연 라인만을 사용하여 동일한 지연 경로들을 통하여 외부 시스템 클럭에 동기되는 내부 클럭을 발생시킬 수 있으므로, 사이클 주기가 긴 외부 시스템 클럭에 대해서 레이 아웃 면적의 한계성을 극복할 수 있다.

발명의 효과

따라서, 본 발명은 입력되는 신호를 소정의 단위 길이만큼 지연 시켜 출력하는 단위 지연기들로서 구성되어 있는 지연 길이를 하나만 구비함으로써, 지연 길이에 의해서 칩회로의 레이 아웃 면적이 증가되는 문

제가 감소될 수 있다.

(57) 청구의 범위

청구항 1

외부 시스템 클럭에 동기하는 내부 클럭을 발생하는 위상 동기 지연 회로에 있어서,

상기 외부 시스템 클럭을 입력하여 이를 소정의 제 1 지연 시간만큼 지연 버퍼링하여 제 1 클럭으로서 출력하는 지연 버퍼;

프래그 신호에 따라, 상기 제 1 클럭을 입력하여 이를 소정의 제 2 지연 시간만큼 지연하거나 상기 제 1 클럭을 그대로 바이패스시켜 제 2 클럭으로서 출력하는 주지연부;

상기 제 2 클럭을 입력하여, 소정의 단위 길이만큼 차례로 지연하여 각각 출력하는 다수의 단위 지연기들의 직렬 결합으로 구성되어 있는 지연 라인;

각각, 상기 프래그 신호에 의해서 제어되고, 상기 다수의 단위 지연기들 중에서 대응되는 단위 지연기의 출력 단자로부터 출력되는 신호와 상기 제 1 클럭을 입력하여, 상기 신호의 위상과 상기 제 1 클럭의 위상을 비교하여, 서로 일치하는 경우에만 대응되는 인에이블 신호를 액티브시켜 출력하는 다수의 위상 검출 비교기들로부터 구성되어 있는 위상 동기 검출 수단;

리셋 신호에 의해서 제어되어, 상기 인에이블 신호들에 따라 프래그 신호를 출력하는 프래그 신호 발생기;

각각, 상기 위상 동기 검출 수단으로부터 출력되는 상기 인에이블 신호들 중에서 대응되는 인에이블 신호에 의해서 제어되어, 상기 제 1 클럭이 상기 다수의 단위 지연기들을 통하여 지연되어 출력되는 신호들 중에서 대응되는 신호를 스위칭하여 출력하는 다수의 스위칭 수단들을 구비하는 스위칭부; 및

상기 스위칭부로부터 스위칭되어 전달되는 신호를 입력하여 이를 소정의 제 4 지연 시간만큼 지연시켜 내부 클럭으로서 출력하는 클럭 드라이버를 구비하고,

상기 위상 동기 검출 수단은 상기 프래그 신호에 따라 상기 제 1 클럭이 상기 주지연부에서 바이패스되는 경우에는 상기 인에이블 신호들의 상태를 그대로 유지하며,

상기 제 2 지연 시간은 상기 제 1 지연 시간과 상기 제 4 지연 시간을 합한 것과 동일한 것을 특징으로 하는 위상 동기 지연 회로.

청구항 2

제 1 항에 있어서, 상기 주지연부는,

상기 제 1 클럭을 입력하여 상기 제 2 지연 시간 지연하여 상기 제 2 클럭으로서 출력하는 주지연기;

상기 제 1 클럭을 바이패스시켜서 상기 제 2 클럭으로서 출력하는 바이패스 경로; 및

상기 프래그 신호에 따라, 상기 주지연기와 상기 바이패스 경로를 선택하여 스위칭하는 스위칭 수단을 구비하는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 3

제 2 항에 있어서, 상기 스위칭 수단은,

상기 지연 버퍼와 상기 주지연기 사이에 연결되어 있고, 프래그 신호에 의해서 제어되어, 상기 지연 버퍼로부터 출력되는 신호를 상기 주지연기로 스위칭하는 제 1 스위칭 소자;

상기 주지연기와 상기 지연 라인 사이에 연결되어 있고, 프래그 신호에 의해서 제어되어, 상기 주지연기로부터 출력되는 신호를 상기 지연 라인으로 스위칭하는 제 2 스위칭 소자;

상기 지연 버퍼와 상기 바이패스 경로 사이에 연결되어 있고, 프래그 신호에 의해서 제어되어, 상기 지연 버퍼로부터 출력되는 신호를 상기 바이패스 경로로 스위칭하는 제 3 스위칭 소자; 및

상기 바이패스 경로와 상기 지연 라인 사이에 연결되어 있고, 프래그 신호에 의해서 제어되어, 상기 바이패스 경로로부터 출력되는 신호를 상기 지연 라인으로 스위칭하는 제 4 스위칭 소자를 구비하고,

상기 제 1 스위칭 소자와 상기 제 2 스위칭 소자는 상기 제 3 스위칭 소자와 상기 제 4 스위칭 소자가 인에이블될 때에는 디스에이블되고, 상기 제 3 스위칭 소자와 상기 제 4 스위칭 소자가 디스에이블될 때에는 인에이블되는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 4

제 3 항에 있어서, 상기 제 1 스위칭 소자는 상기 프래그 신호가 액티브 상태에 있을 경우에만 디스에이블되는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 5

제 4 항에 있어서, 상기 제 1 스위칭 소자는 전송게이트인 것을 특징으로 하는 위상 동기 지연 회로.

청구항 6

제 3 항에 있어서, 상기 제 2 스위칭 소자는 상기 프래그 신호가 액티브 상태에 있을 경우에만 디스에이블되는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 7

제 6 항에 있어서, 상기 제 2 스위칭 소자는 전송게이트인 것을 특징으로 하는 위상 동기 지연 회로.

청구항 8

제 3 항에 있어서, 상기 제 3 스위칭 소자는 상기 프래그 신호가 액티브 상태에 있을 경우에만 인에이블 되는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 9

제 8 항에 있어서, 상기 제 3 스위칭 소자는 전송게이트인 것을 특징으로 하는 위상 동기 지연 회로.

청구항 10

제 3 항에 있어서, 상기 제 4 스위칭 소자는 상기 프래그 신호가 액티브 상태에 있을 경우에만 인에이블 되는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 11

제 10 항에 있어서, 상기 제 4 스위칭 소자는 전송게이트인 것을 특징으로 하는 위상 동기 지연 회로.

청구항 12

제 10 항에 있어서, 상기 프래그 신호 발생기는 리셋 신호가 년액티브하고, 상기 인에이블 신호들 중에서 어느 하나라도 액티브한 경우에만 하이 레벨로 액티브되는 프래그 신호를 발생하는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 13

제 1 항에 있어서, 상기 위상 동기 지연 회로는 상기 프래그 신호 발생기를 제어하는 리셋 신호를 발생시키는 리셋 신호 발생기를 더 구비하는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 14

제 1 항에 있어서, 상기 다수의 위상 비교 검출기들은 각각,

프래그 신호에 의해서 제어되어, 상기 다수의 단위 지연기들로부터 출력되는 신호들 중에서 대응되는 신호를 입력하여 그 위상을 상기 제 1 클럭의 위상과 비교하여 일치하는 경우에만 액티브되는 위상 동기 신호를 출력하는 위상 비교기; 및

상기 위상 비교기로부터 출력되는 상기 위상 동기 신호의 상태에 따라 액티브되는 인에이블 신호와 캐리 신호를 출력하는 캐리/인에이블 신호 발생기를 구비하는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 15

제 14 항에 있어서, 상기 위상 비교기는, 상기 프래그 신호가 액티브 상태인 경우에는 상기 다수의 단위 지연기들로부터 출력되는 신호들 중에서 대응되는 신호를 입력하지 않고 상기 위상 동기 신호의 상태를 그대로 유지하는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 16

제 15 항에 있어서, 상기 위상 비교기는,

상기 프래그 신호가 년액티브 상태이고, 상기 제 1 클럭이 액티브 상태일 경우에만 인에이블되어 상기 대응되는 단위 지연기로부터 출력되는 상기 대응되는 신호를 입력하여 전송하는 제 1 스위칭 수단;

상기 제 1 스위칭 수단으로부터 출력되는 신호를 래치하여 출력하는 제 1 래치부;

상기 제 1 래치부로부터 출력되는 신호를 입력하여 이를 인버팅하여 출력하는 인버터;

상기 제 1 클럭이 년액티브 상태에 있을 경우에만 인에이블되어 상기 인버터로부터 출력되는 신호를 스위칭하는 제 2 스위칭 수단;

상기 제 2 스위칭 수단으로부터 출력되는 신호를 래치하여 위상 동기 신호로서 출력하는 제 2 래치부를 구비하고,

상기 제 2 래치부는 제 1 스위칭 수단에 입력되는 상기 신호가 액티브 상태인 경우에만 액티브되는 위상 동기 신호를 출력하는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 17

제 16 항에 있어서, 상기 제 1 스위칭 수단은 전송게이트인 것을 특징으로 하는 위상 동기 지연 회로.

청구항 18

제 16 항에 있어서, 상기 제 2 스위칭 수단은 전송게이트인 것을 특징으로 하는 위상 동기 지연 회로.

청구항 19

제 16 항에 있어서, 상기 위상 비교기는 상기 제 1 클럭 신호가 액티브되는 레벨의 반전 레벨로 액티브되는 상기 위상 동기 신호를 출력하는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 20

제 14 항에 있어서, 상기 캐리/인에이블 신호 발생기는,

상기 제 1 클럭의 위상과 상기 대응되는 신호의 위상이 일치하고 이전 캐리 신호가 액티브되는 경우에만 액티브되는 인에이블 신호를 출력하는 인에이블 신호 발생기; 및

상기 인에이블 신호가 액티브되면 년액티브되는 캐리 신호를 출력하는 캐리 신호 발생기를 구비하고,

상기 캐리 신호는 해당되는 위상 비교 검출기의 다음 단계에 연결되어 있는 대응되는 위상 비교 검출기의 캐리/인에이블 신호 발생기의 캐리 신호 발생기로 입력되는 것을 특징으로 하는 위상 동기 지연 회로.

청구항 21

제 14 항에 있어서, 상기 위상 동기 검출 수단은,

사용자의 필요에 따라 동작이 선택되는 동작 선택 수단을 구비하고, 상기 동작 선택 수단에 의해 제어되어, 상기 다수의 단위 지연기들로부터 출력되는 신호들 중에서 어느 하나도 제 1 클럭의 위상과 일치하지 않는 경우에만 액티브되는 제 1 인에이블 신호를 출력하는 선택적 위상 비교 검출기를 더 구비하는 것을 특징으로 하는 위상 동기 지연 회로.

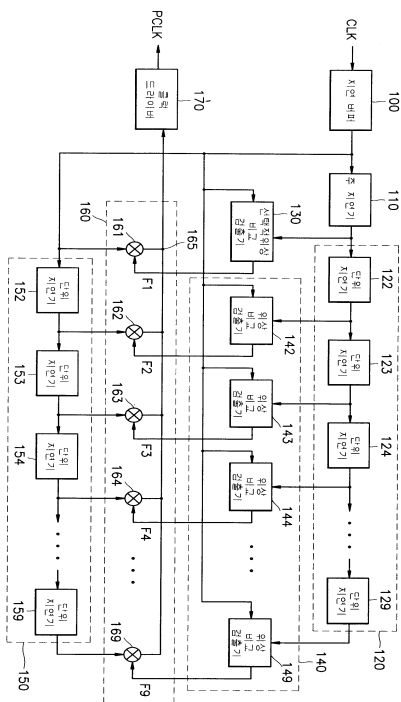
청구항 22

제 21 항에 있어서, 상기 위상 동기 지연 회로는

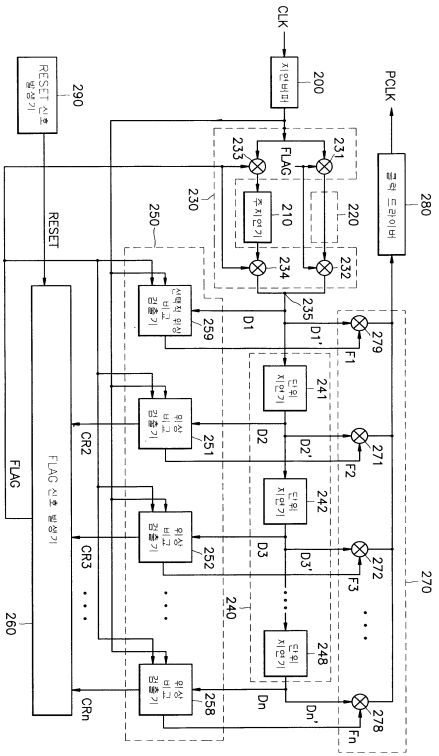
상기 제 1 인에이블 신호에 의해서 제어되어, 상기 제 1 클럭을 스위칭시키는 스위칭 수단을 더 구비하는 것을 특징으로 하는 위상 동기 지연 회로.

도면

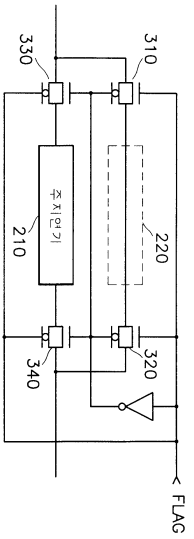
도면1



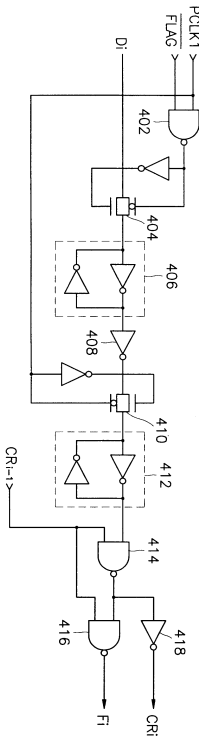
도면2



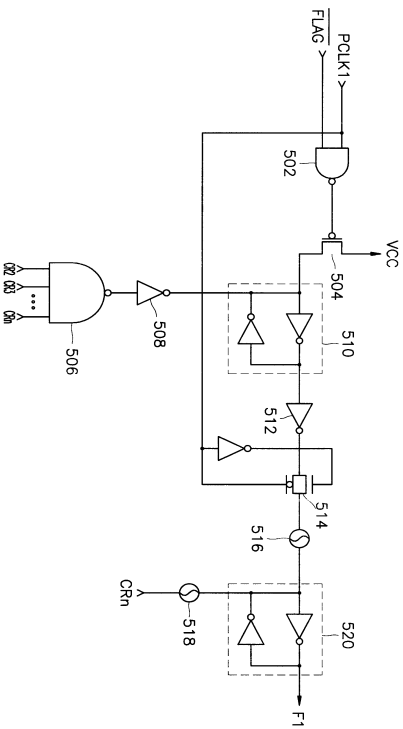
도면3



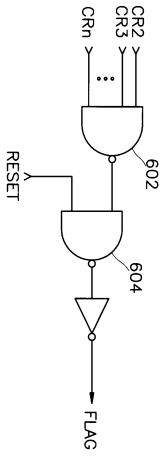
도면4



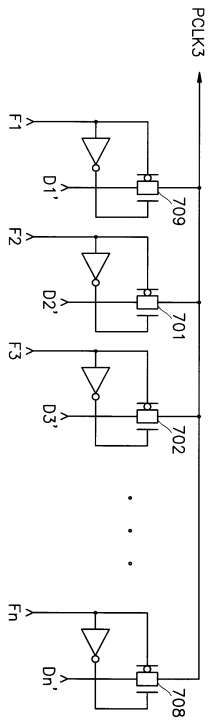
도면5



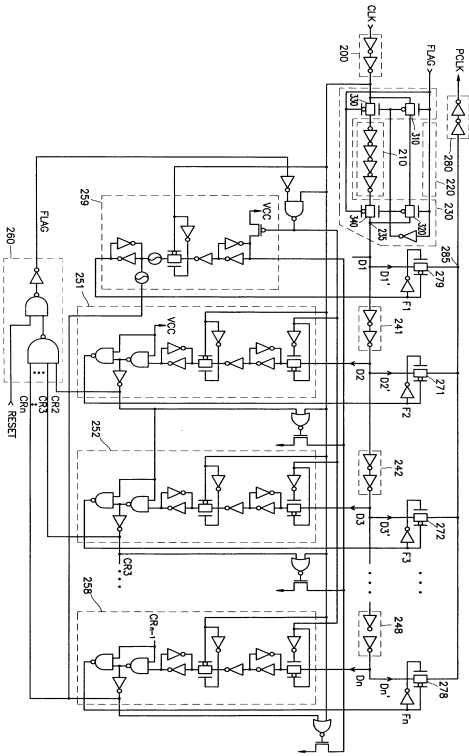
도면6



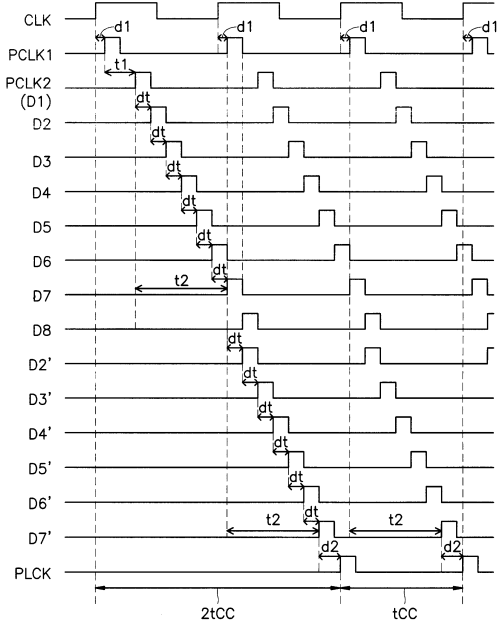
도면7



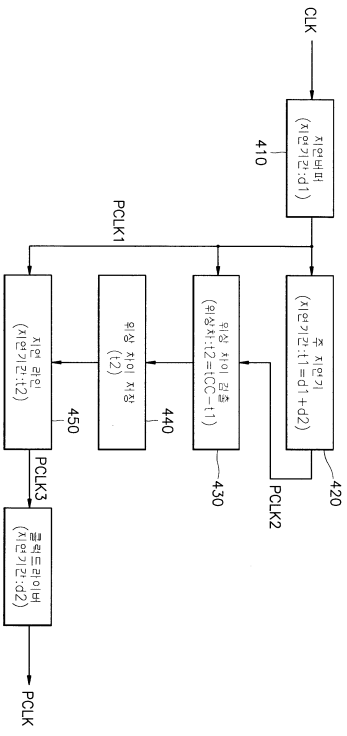
도면8



도면9



도면10



도면11

