

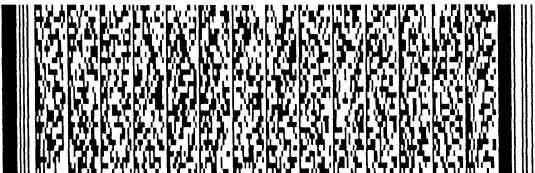
# 公告本

申請日期: 90-12-21	案號: 90131782
類別: H01L 23/60	

(以上各欄由本局填註)

## 發明專利說明書

521420

一、發明名稱	中文	積體電路輸入的靜電放電保護元件
	英文	ELECTRO-STATIC DISCHARGE PROTECTION DEVICE FOR INTEGRATED CIRCUIT INPUTS
二、發明人	姓名 (中文)	1. 繆俊偉
	姓名 (英文)	1. Jiunn-Way MIAW
	國籍	1. 中華民國
	住、居所	1. 臺南市東區東興路31巷10號之3
三、申請人	姓名 (名稱) (中文)	1. 華邦電子股份有限公司
	姓名 (名稱) (英文)	1. WINBOND ELECTRONICS CORPORATION
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹市研新三路4號
	代表人姓名 (中文)	1. 焦佑鈞
	代表人姓名 (英文)	1. Yu-Cheng CHIAO
		

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

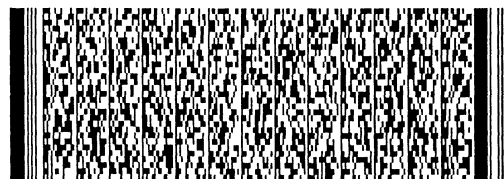
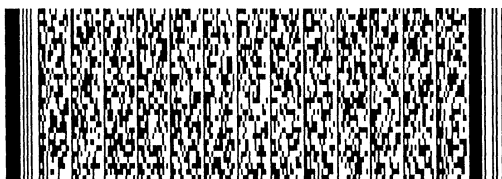
## 5-1 發明領域：

本發明係有關於積體電路元件，特別是有關於可保護積體電路、避免其受到從輸入端傳入之靜電放電的損害的元件。

## 5-2 發明背景：

對於半導體積體電路而言，長久以來存在的問題是，受到由任一外部連接接腳傳入之靜電放電所造成的破壞。對於此問題常見的解決方法是在靜電放電入侵晶片元件之時，在端點接墊(terminal pad)上，將電流導引至接地端，不致流進內部電路造成傷害。

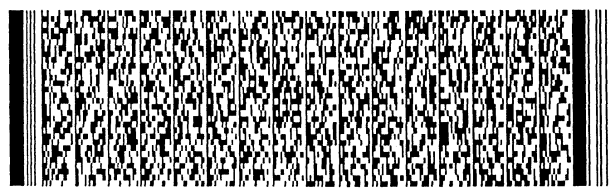
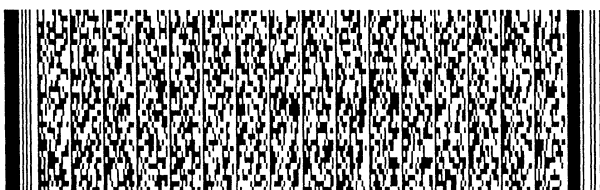
如此通路的傳統佈局之一如第一圖所示。一拉上(pull-up)電晶體105有一輸入端連接至積體電路的接墊(pad)101，而另外兩個輸入端連接至晶片的工作電壓 $V_{DD}$ 。一拉下(pull-down)電晶體106有一輸入端連接至接墊101，而另外兩個輸入端連接至晶片的接地電壓 $V_{SS}$ 。電阻107一端連接至拉上電晶體105、接墊101、拉下電晶體106，另一端則連接至積體電路的輸入級(input stage)。而一第二級電晶體103有一輸入端連接至輸入級，另兩個輸入端則連接至晶片的接地電壓 $V_{SS}$ 。



## 五、發明說明 (2)

另一傳統佈局，特別是為了高壓元件，如第二圖所示。一場氧元件(Field Oxide Device, FOD)102有一輸入端連接至積體電路的接墊(pad)101，而另外一個輸入端連接至晶片的接地電壓 $V_{ss}$ 。電阻104一端連接至接墊101與場氧元件102，另一端則連接至積體電路的輸入級。而一第二級電晶體103有一輸入端連接至輸入級，另兩個輸入端則連接至晶片的接地電壓 $V_{ss}$ 。在考量靜電放電保護效能的情況下，FOD型式的靜電放電元件所需的佈局面積小於MOS型式的靜電放電元件。

然而，FOD型式的靜電放電元件亦存在若干的缺點。首先，FOD需要長通道以避免正常操作模式下之漏電之虞，但長通道設計會導致在靜電放電模式下啟動速度過慢，進而造成靜電放電的失效。其次，當FOD的保護機制由n+/p接面崩潰(junction breakdown)所驅動時，在其圓柱接面(cylindrical junction)會產生大量的熱，如此會降低靜電放電之保護能力(level)。第三，利用LOCOS製程所形成的FOD之效能較由STI(Shallow Trench Isolation)製程所形成的佳。不幸的是，STI被廣泛應用於次微米或是深次微米技術中，如此一來，FOD的效能勢必下降。此外，在靜電放電保護元件中利用FOD時，並沒有可對應至MOS型式保護元件的拉上靜電放電保護元件，如此一來，便無法有效地利用FOD型式保護元件執行ND模式(由輸入端作負靜電放電至 $V_{DD}$ 端，測試時 $V_{DD}$ 端接地)與PD模式(由輸入端作



## 五、發明說明 (3)

正靜電放電至 $V_{DD}$ 端，測試時 $V_{DD}$ 端接地)的靜電放電測試。

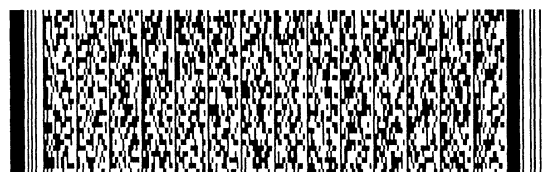
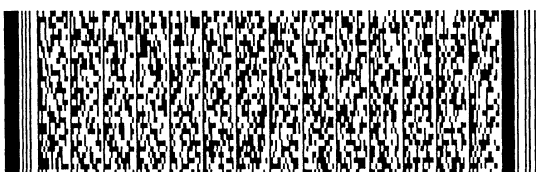
## 5-3 發明目的及概述：

鑒於上述之發明背景中，本發明的目的之一在於提供一種積體電路的保護元件；利用一結構建立有效與最短的電路通路，使得原本FOD型式之靜電放電元件不佳的ND與PD靜電放電測試模式表現得以改善。

本發明的另一目的在於提供一種保護元件，兼顧加強ND與PD靜電放電模式與較小的佈局面積。

本發明的再一目的在於提供一種FOD型式的保護元件，其利用在FOD元件上增加多晶矽方塊結構來增加接面有效面積，此些多晶矽方塊結構並可進一步避免接面過熱與避免不良的啟動效能。

根據以上所述之目的，本發明提供在一底材中、具有一輸入接墊(pad)之一積體電路的一種靜電放電(Electro-Static Discharge, ESD)保護元件，包括一拉上(pull-up)裝置，例如一MOS電晶體，為了ND與PD靜電放電模式，並連接於積體電路之一工作電壓與一接地電壓之間。一保護裝置，例如一場氧元件，具有一輸入端連接至輸入接墊與一輸出端連接至接地電壓，其中保護裝置之位



## 五、發明說明 (4)

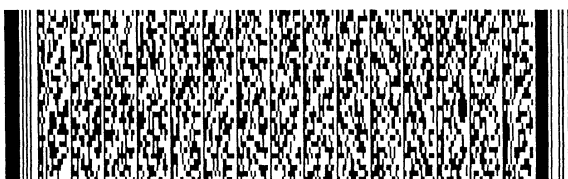
於底材中的輸出端與拉上裝置共用 (share)，並用以當接地電壓浮接時 (floating) 時，從輸入接墊通過一靜電放電電流至拉上裝置。

## 5-4 發明詳細說明：

當本發明以如下之實施例詳細描述之時，熟悉此領域的人士應有所認知本發明在不脫離所提出的專利範圍請求中，是允許若干的修正與替換。所運用來揭露的結構或方法並不僅侷限於特定的保護元件，更包括其他同等的半導體保護元件，而圖示亦是用來加以說明較佳實施例，而非加以限縮本發明範圍。

本發明之半導體保護元件的不同部分並沒有依照尺寸繪圖。某些尺度與其他相關尺度相比已經被誇張，以提供更清楚的描述和本發明的理解。另外，雖然在這裡畫的實施例是以具有寬度與深度在不同階段的二維中顯示，應該很清楚地瞭解到所顯示的區域只是保護元件的一部份，其中可能包含許多在三維空間中排列的元件。相對地，在製造實際的元件時，圖示的區域具有三維的長度，寬度與高度。

本發明主要的目的在於提供在一底材中具有一輸入接墊 (pad) 之一積體電路的一種靜電放電 (Electro-Static

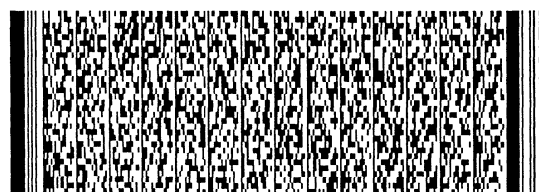


## 五、發明說明 (5)

Discharge, ESD) 保護元件，包括一場氧元件具有一輸入端連接至輸入接墊，與一輸出端連接至積體電路之一接地電壓。一半導體元件，例如一MOS電晶體，具有一第一端連接至一工作電壓，與一第二端於底材中與場氧元件之輸出端共用 (share) 接至接地電壓，藉以當接地電壓浮接時 (floating) 時，從輸入接墊經由場氧元件通過一靜電放電電流經過此半導體元件。

第三圖為一等效電路示意圖，用以說明本發明的FOD型式之靜電放電保護元件。一場氧元件 (Field Oxide Device, FOD) 2 有一輸入端，例如一汲極端，連接至積體電路的接墊 (pad) 1，而另外一個輸入端，例如一源極端，連接至晶片的接地電壓  $V_{ss}$ 。擔任第一保護元件的場氧元件 2 可以利用LOCOS或是STI製程製作。再者，在本發明中，場氧元件 2 的汲極端用來作為高壓輸入的接腳 (pin) 保護，其具有高崩潰電壓接面。電阻 5 一端連接至接墊 1 與場氧元件 2，另一端則連接至積體電路的輸入級。而一第二級電晶體 4，例如一n型MOS，有一輸入端，例如一汲極端，連接至輸入級，另兩個輸入端，例如一源極端與一控制閘極，則連接至晶片的接地電壓  $V_{ss}$ 。在一較佳實施例中，第二級電晶體 4 應用於積體電路的高壓元件，其通道長度約等於場氧元件 2 的通道長度。

本發明的關鍵之一，一nMOS電晶體 3 有一端，例如一

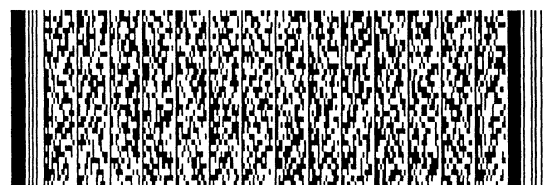


## 五、發明說明 (6)

汲極端，與一工作電壓 $V_{DD}$ 相連接，另兩個輸入端，例如一源極端與一控制閘極，則連接至晶片的接地電壓 $V_{SS}$ 。在此較佳實施例中，nMOS電晶體3的通道長度小於第二級電晶體4或是場氧元件2的通道長度。再者，nMOS電晶體3的閘極氧化層較第二級電晶體4的閘極氧化層薄。nMOS電晶體3的加入有許多的優點。首先，nMOS電晶體3連接工作電壓 $V_{DD}$ 與接地電壓 $V_{SS}$ ，可視為一箝制 (clamping) 電晶體，如此一來，FOD型式的靜電放電保護元件的PD與ND靜電放電模式能夠獲得改善。再者，由於nMOS電晶體3與場氧元件2共用源極區域(圖上未顯示)，得以節省FOD型式的靜電放電保護元件之佈局面積。

第四圖為根據本發明之一FOD型式的靜電放電保護元件實施例的一平面佈局示意圖。場氧元件在一底材中有一場氧區20與一汲極區14，並且有若干接觸窗(contact)10分布在汲極區14上。在底材中的源極區15則由場氧元件與本發明的nMOS電晶體所共用。nMOS電晶體的多晶矽閘極12位於源極區15與汲極區16之間。在源極區15與汲極區16上亦有若干的接觸窗10排列著。本發明的關鍵之一在於nMOS電晶體與場氧元件可分享共用源極區15，使得在加強PD與ND靜電放電模式之考量下，仍能夠節省整體的佈局面積。

第五圖為根據本發明之一FOD型式的靜電放電保護元



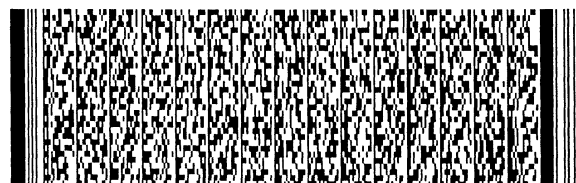
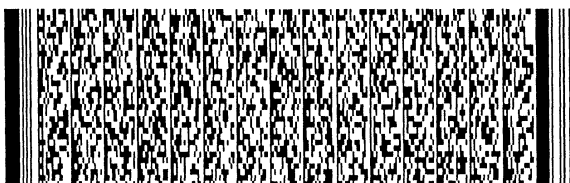


## 五、發明說明 (7)

件另一實施例的一平面佈局示意圖。與第四圖相同的，除了加上nMOS電晶體外，若干的多晶矽方塊結構17排列在汲極區14、16與源極區15上的主動面積，多晶矽方塊結構17對於FOD型式的靜電放電保護元件有許多的優點。首先，多晶矽方塊結構17形成於汲極區與源極區之前；故汲極區14、16與源極區15的形成以多晶矽方塊結構17作為植入遮罩，並以自行對準製程完成。如此一來，以多晶矽方塊結構17作為植入遮罩可形成許多額外的接面。這些額外的接面能夠改善因STI之不連續性所導致的不良啟動特性。再者，與第四圖之實施例相同的是，nMOS電晶體與場氧元件分享共用源極區15，可節省佈局面積，同時加強PD與ND靜電放電模式。

其次，額外的接面能夠以三維方向有效分散靜電放電電流，使得在任何靜電放電模式下，能夠避免FOD角落之接面過熱的現象。第三，額外的接面可為靜電放電電流增加接面面積。再者，額外的接面能夠增加輸入電阻，進而減少機械模式靜電放電之靜電放電電流振盪的現象。在本發明中，多晶矽方塊結構17的尺寸與幾何形狀並不侷限於第五圖上所示的尺寸與形狀。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請



五、發明說明 (8)

專利範圍內。



## 圖式簡單說明

第一圖為傳統靜電放電保護元件之等效電路示意圖。

第二圖為傳統靜電放電保護元件之另一等效電路示意圖。

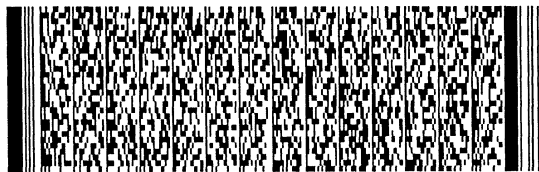
第三圖為一等效電路示意圖，用以說明本發明的FOD型式之靜電放電保護元件。

第四圖為根據本發明之一FOD型式的靜電放電保護元件實施例之一平面佈局示意圖。

第五圖為根據本發明之一FOD型式的靜電放電保護元件另一實施例之一平面佈局示意圖。

主要部分之代表符號：

- 1 接墊
- 2 場氧元件
- 3 nMOS電晶體
- 4 第二級電晶體
- 5 電阻
- 10 接觸窗
- 12 多晶矽閘極
- 14 汲極區
- 15 源極區



## 圖式簡單說明

- 16 汲極區
- 17 多晶矽方塊結構
- 20 場氧區
- 101 接墊
- 102 場氧元件
- 103 第二級電晶體
- 104 電阻
- 105 拉上(pull-up)電晶體
- 106 拉下電晶體
- 107 電阻



## 四、中文發明摘要 (發明之名稱：積體電路輸入的靜電放電保護元件)

本發明主要的目的在於提供一種靜電放電 (Electro-Static Discharge, ESD) 保護元件，此靜電放電保護元件作為具有一輸入接墊 (pad) 之一積體電路的靜電放電保護元件，其包括一拉上 (pull-up) 裝置，例如一 MOS 電晶體，負責 ND 與 PD 靜電放電模式，並連接於積體電路之一工作電壓與一接地電壓之間。一保護裝置，例如一場氧元件，具有一輸入端連接至輸入接墊與一輸出端連接至接地電壓，其中保護裝置位於底材中的輸出端與拉上裝置共用 (share)，並用以當接地電壓浮接時 (floating) 時，從輸入接墊通過一 ESD 電流至拉上裝置。

## 英文發明摘要 (發明之名稱：ELECTRO-STATIC DISCHARGE PROTECTION DEVICE FOR INTEGRATED CIRCUIT INPUTS)

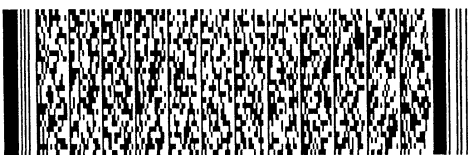
An ESD (Electro-Static Discharge) protection device is for an integrated circuit, such high voltage device, provided in a substrate having an input pad. The ESD protection device comprises a pull-up means, such as a MOS transistor, connected between a supply potential and a ground potential of the integrated circuit for PD and ND ESD modes. A protection means, such as a field oxide device, has an input terminal coupled to the input pad and an output terminal coupled to the ground



四、中文發明摘要 (發明之名稱：積體電路輸入的靜電放電保護元件)

英文發明摘要 (發明之名稱：ELECTRO-STATIC DISCHARGE PROTECTION DEVICE FOR INTEGRATED CIRCUIT INPUTS)

potential. The output terminal of the protection means in the substrate is shared with the pull-up means for saving layout area. The protection means provides passing an ESD current from the input pad into the pull-up means with the ground potential is floating.



## 六、申請專利範圍

1. 一種靜電放電(Electro-Static Discharge, ESD)保護元件，該靜電放電保護元件作為具有一輸入接墊(pad)之一積體電路之靜電放電保護元件，該靜電放電保護元件包括：

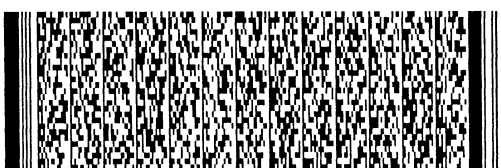
一拉上(pull-up)裝置連接於該積體電路之一工作電壓與一接地電壓之間；及

一第一級保護裝置具有一輸入端連接至該輸入接墊，並具有一輸出端連接至該接地電壓，其中於該第一級保護裝置的該輸出端與該拉上裝置共用(share)，該第一級保護裝置用以當該接地電壓浮接時(floating)時，從該輸入接墊通過一靜電放電電流至該拉上裝置。

2. 如申請專利範圍第1項之靜電放電保護元件，其中上述拉上裝置至少包括一金屬-氧化物-半導體元件具有一源極區域與該第一級保護裝置的該輸出端所共用。

3. 如申請專利範圍第2項之靜電放電保護元件，其中上述金屬-氧化物-半導體元件具有一汲極區域連接至該工作電壓，與一閘極端連接至該接地電壓。

4. 如申請專利範圍第2項之靜電放電保護元件更包括一第二級保護裝置具有於該底材上之一第一閘氧化層較該金屬-氧化物-半導體元件的一第二閘氧化層厚，該第二級保護裝置具有一第一端連接至該輸入接墊與一第二端連接至該



## 六、申請專利範圍

接地電壓。

5. 如申請專利範圍第1項之靜電放電保護元件，其中上述第一級保護裝置至少包括一場氧元件具有一汲極區域作為該輸入端與一源極區域作為該輸出端。

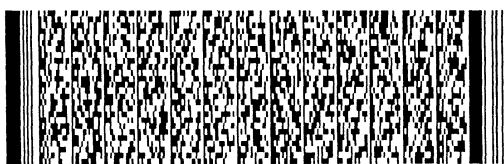
6. 如申請專利範圍第5項之靜電放電保護元件，其中上述場氧元件包括複數個多晶矽結構分布於該底材上，並位於該源極區域與該汲極區域上方。

7. 一種靜電放電 (Electro-Static Discharge, ESD) 保護元件，該靜電放電保護元件作為在一底材中具有一輸入接墊 (pad) 之一積體電路的靜電放電保護元件，該靜電放電保護元件包括：

一場氧元件具有一輸入端連接至該輸入接墊，與一輸出端連接至該積體電路之一接地電壓；及

一第一半導體元件具有一第一端連接至一工作電壓，並具有一第二端於該底材中與該場氧元件的該輸出端共用 (share)，藉以當該接地電壓浮接時 (floating) 時，從該輸入接墊經由該場氧元件通過一靜電放電電流經過該第一半導體元件。

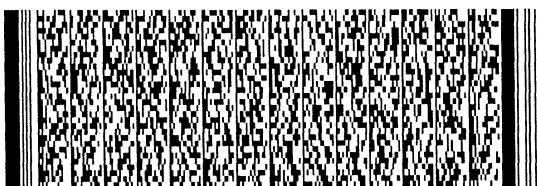
8. 如申請專利範圍第7項之靜電放電保護元件更包括一第二半導體元件連接至該輸入接墊與該接地電壓。





## 六、申請專利範圍

9. 如申請專利範圍第8項之靜電放電保護元件，其中上述第一半導體元件於該底材上具有一閘氧化層較該第二半導體元件的閘氧化層薄。
10. 如申請專利範圍第7項之靜電放電保護元件，其中上述第一半導體元件該底材上分布著複數個多晶矽結構。
11. 如申請專利範圍第10項之靜電放電保護元件，其中上述第一端以該等多晶矽結構為一自行對準遮罩，植入離子於該底材中所完成的。
12. 如申請專利範圍第7項之靜電放電保護元件，其中上述第二端具有一源極區域於該底材中，與複數個多晶矽結構分布於該源極區域之上。
13. 如申請專利範圍第7項之靜電放電保護元件，其中上述場氧元件至少包括複數個多晶矽結構於該底材上之一主動面積內。
14. 如申請專利範圍第13項之靜電放電保護元件，其中上述輸入端以該等多晶矽結構為一遮罩植入完成於該主動面積下方。



## 六、申請專利範圍

15. 如申請專利範圍第13項之靜電放電保護元件，其中上述輸出端以該等多晶矽結構為一遮罩植入完成於該主動面積下方。

16. 一種場氧元件型式靜電放電 (Electro-Static Discharge, ESD) 保護元件，該場氧元件型式靜電放電元件在一底材中、具有一輸入接墊 (pad) 之一積體電路中，該場氧元件型式靜電放電保護元件包括：

一場氧區域具有複數個隔離元件於該底材上；

一第一閘極區域於該底材上，並連接至該積體電路的一接地電壓；

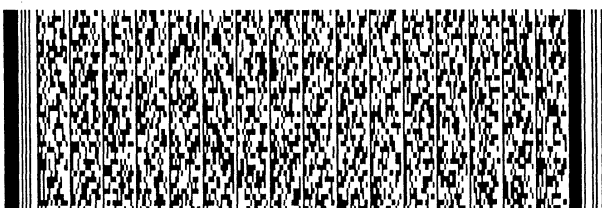
一第一場區域位於該場氧區域與該第一閘極區域之間的該底材中，並連接至該接地電壓；

一第二場區域於該場氧區域之外側的該底材中，該第二場區域連接至該輸入接墊；及

一第三場區域於該第一閘極區域之外側的該底材中，該第三場區域連接至一工作電壓。

17. 如申請專利範圍第16項之場氧元件型式靜電放電保護元件，其中上述第一場區域至少包括該場氧區域的一源極部份與該第一閘極區域的一源極部份。

18. 如申請專利範圍第16項之場氧元件型式靜電放電保護元件更包括一第二閘極區域於該第一閘極區域的外側的該



六、申請專利範圍

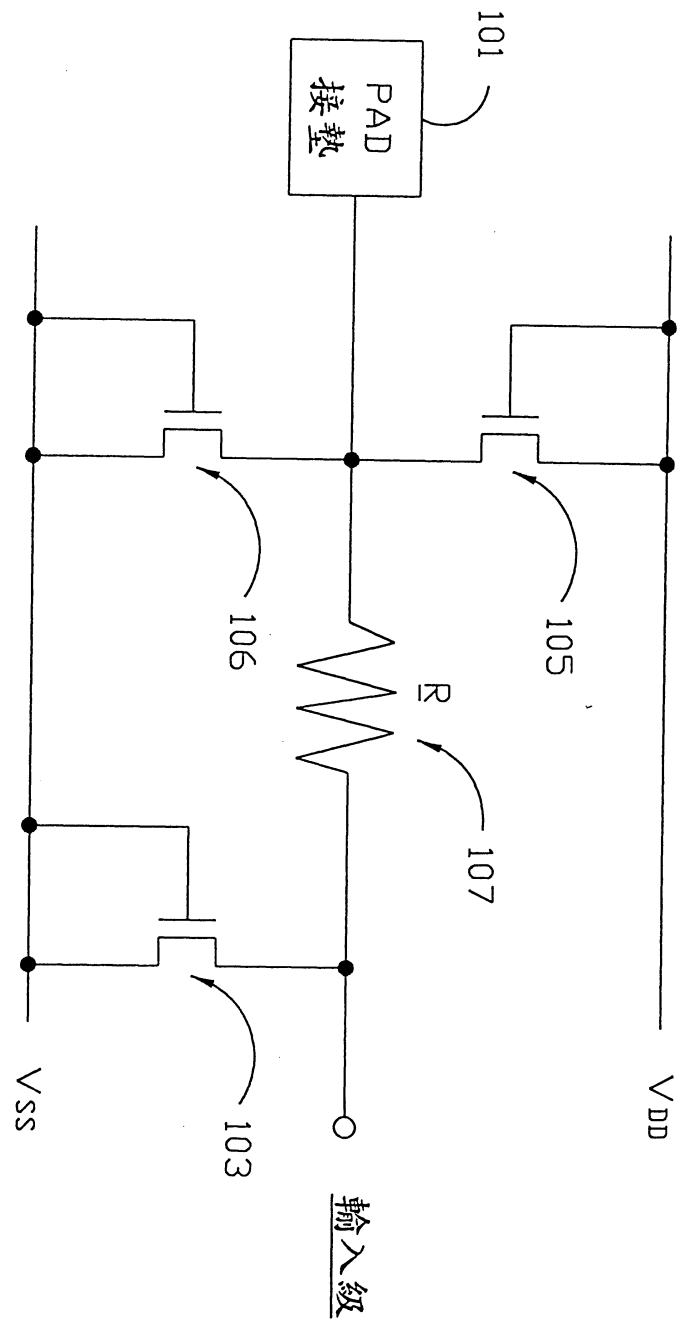
底材上，其中該第二閘極區域有一閘氧化層較該第一閘極區域的閘氧化層厚。

19. 如申請專利範圍第18項之場氧元件型式靜電放電保護元件，其中上述第二閘極區域連接至該接地電壓。

20. 如申請專利範圍第16項之場氧元件型式靜電放電保護元件，其中具有複數個導電接觸位於該第一場區域、該第二場區域與該第三場區域上。

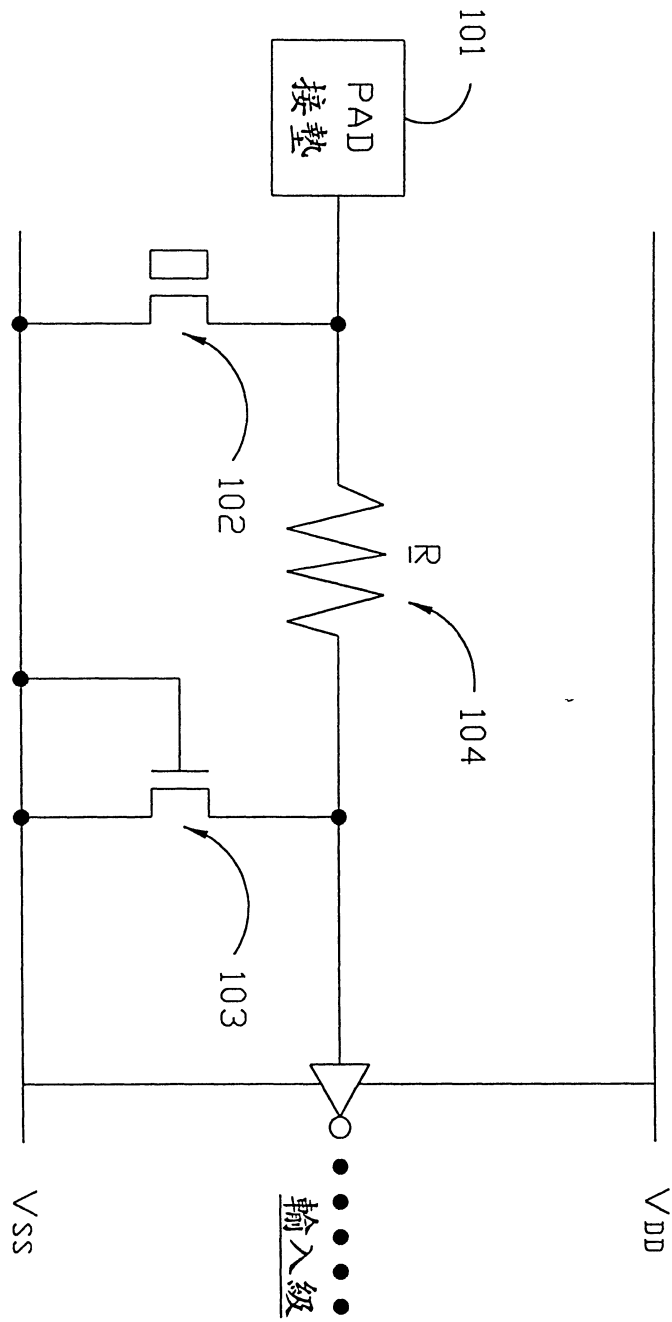


圖式



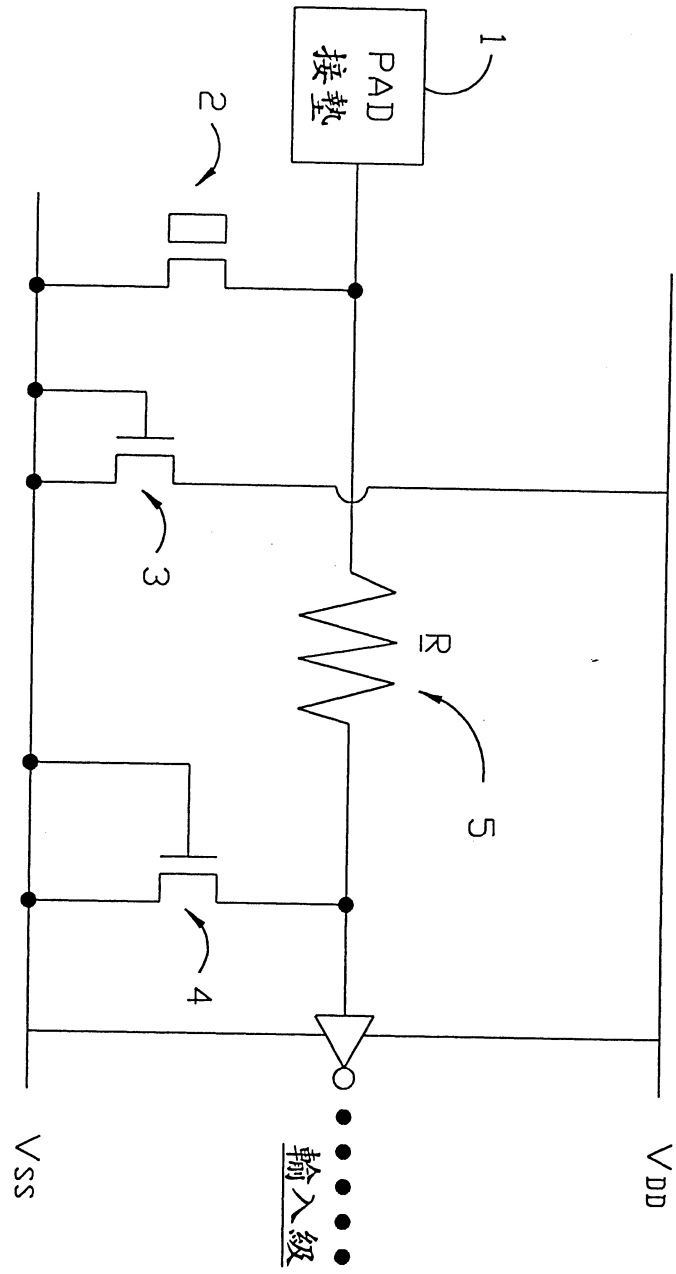
第一圖

圖式



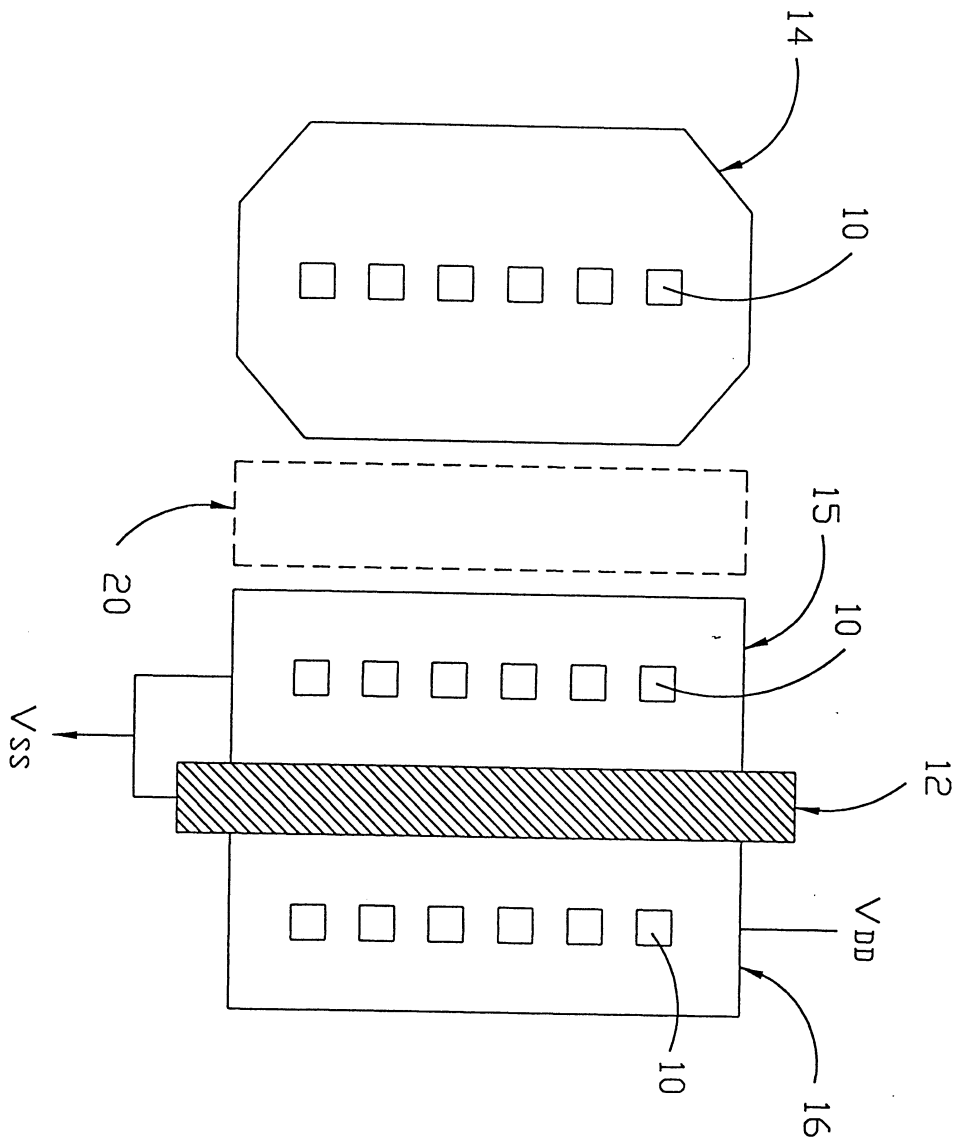
第二圖

圖式



第三圖

圖式

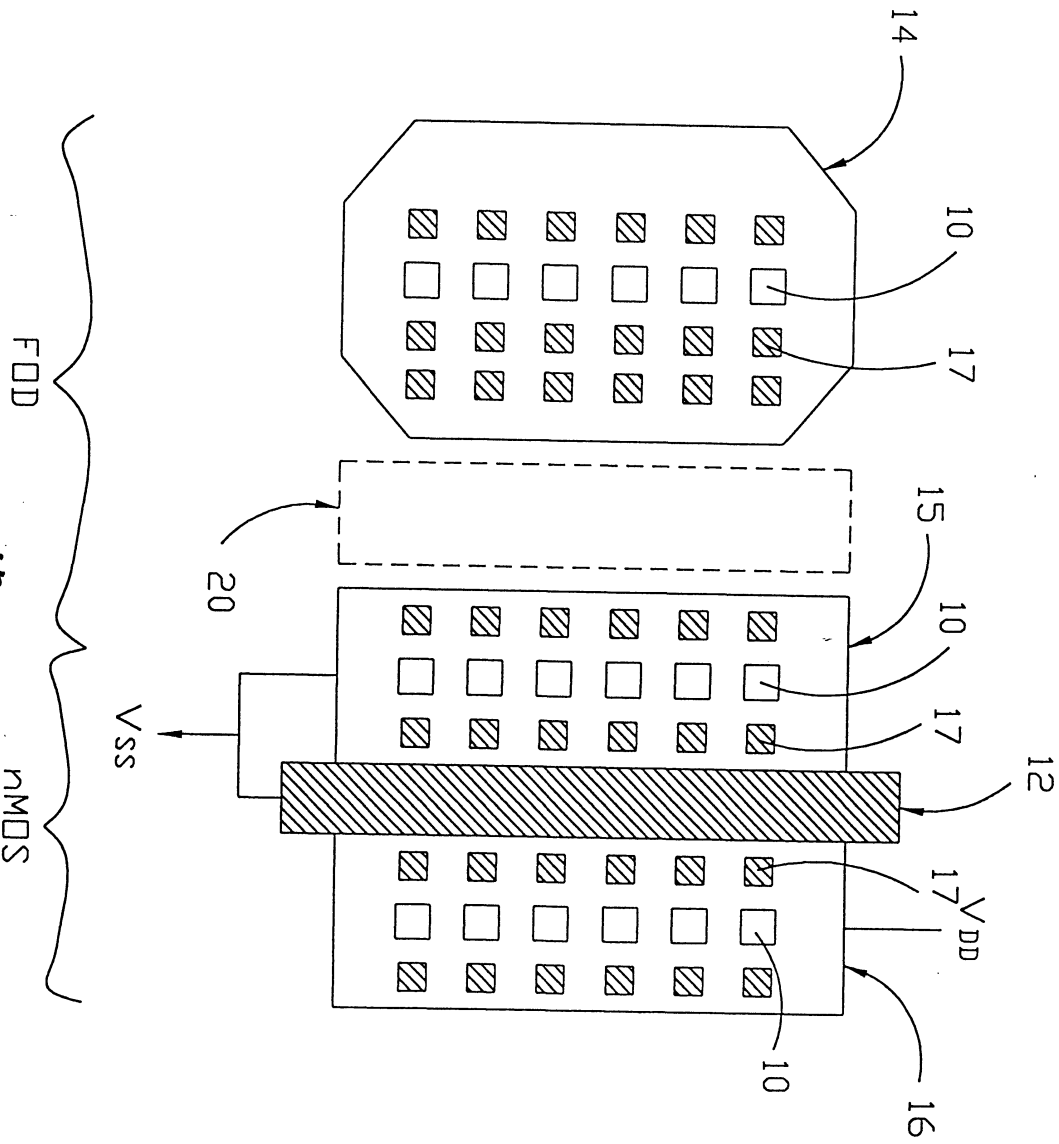


FOD

第四圖

nMOS

圖式



第五圖