



(10) **DE 11 2008 000 094 B4** 2016.09.15

(12)

Patentschrift

(21) Deutsches Aktenzeichen: **11 2008 000 094.8**
(86) PCT-Aktenzeichen: **PCT/US2008/056939**
(87) PCT-Veröffentlichungs-Nr.: **WO 2008/112949**
(86) PCT-Anmeldetag: **14.03.2008**
(87) PCT-Veröffentlichungstag: **18.09.2008**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **21.01.2010**
(45) Veröffentlichungstag
der Patenterteilung: **15.09.2016**

(51) Int Cl.: **H01L 21/8238 (2006.01)**
H01L 27/092 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

11/724,362 **15.03.2007** **US**

(73) Patentinhaber:

Intel Corporation, Santa Clara, Calif., US

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28209
Bremen, DE**

(72) Erfinder:

**Ranade, Pushkar, Hillsboro, Oreg., US; Zawadzki,
Keith E., Portland, Oreg., US**

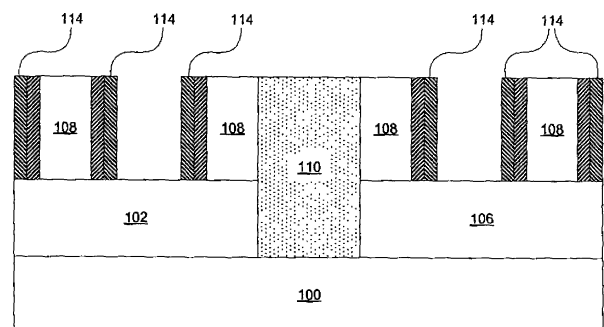
(56) Ermittelter Stand der Technik:

US	6 512 282	B2
US	6 750 486	B2
US	2003 / 0 119 292	A1
US	2005 / 0 104 131	A1
US	2005 / 0 282 329	A1
US	2006 / 0 105 533	A1
US	5 385 857	A
WO	2006/ 019 675	A1
WO	2007/ 014 294	A2

(54) Bezeichnung: **CMOS-Vorrichtung mit Dual-Epi-Kanälen und selbstausgerichteten Kontakten und Herstellungsverfahren**

(57) Hauptanspruch: Eine CMOS-Vorrichtung (130) in einem Herstellungszwischenstadium, die umfasst:
einen ersten epitaktischen Bereich (102) für eine PMOS-Vorrichtung;
einen zweiten epitaktischen Bereich, wobei der zweite epitaktische Bereich aus einem anderen Material als der erste epitaktische Bereich ausgebildet ist, für eine NMOS-Vorrichtung;
eine Isolationsstruktur (110) auf dem Substrat (100) zwischen dem ersten epitaktischen Bereich (102) und dem zweiten epitaktischen Bereich (106);
zwei Opfer-Strukturen (108) an dem Ort, an dem elektrische Kontakte mit einem Source-Bereich (120) und einem Drain-Bereich (120) auf dem ersten epitaktischen Bereich (102) auszubilden sind;
zwei Opfer-Strukturen (108) an dem Ort, an dem elektrische Kontakte mit einem Source-Bereich (120) und einem Drain-Bereich (120) auf dem zweiten epitaktischen Bereich (106) auszubilden sind;
eine erste Gruppe von Spacern (112) neben den Opfer-Strukturen (108);

eine zweite Gruppe von Spacern (114) neben der ersten Gruppe von Spacern (112), wobei jeweils eine der zwei Opfer-Strukturen an die Isolationsstruktur (110) angrenzt.



Beschreibung

HINTERGRUND

[0001] Die komplementäre Metall-Oxid-Halbleiter-(CMOS)-Technologie wird bei der Herstellung integrierter Schaltungen häufig verwendet. Eine typische CMOS-Vorrichtung umfasst zwei Arten von Transistoren, einen P-Typ-Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) und einen N-Typ MOSEFT. Bei momentanen Herstellungsprozessen für CMOS-Vorrichtungen wird ein einzelner Typ eines epitaktischen Materials verwendet, auf dem die P-Typ- und N-Typ-MOSEFTs aufgebaut werden. Das bedeutet, dass bei momentanen CMOS-Vorrichtungen die Materialien, die bei jedem der P-Typ- und N-Typ-MOSEFTs verwendet werden, nicht optimiert werden können.

[0002] Zusätzlich verursachen mit der Herabskalierung der CMOS-Vorrichtungen auftretende Prozesskomplexitäten zusätzlich Probleme. Insbesondere ist eine Strukturierung elektrischer Kontakte an den Source- und Drain-Bereichen jedes der MOSEFTs ein sehr schwieriger lithographischer Prozess aufgrund der engen Einschreibungserfordernisse in einer kleinen Öffnung.

[0003] Somit wird ein vereinfachter Prozessablauf benötigt, um die Optimierung von Materialien zu ermöglichen, die bei den P-Typ- und N-Typ-MOSEFTs verwendet werden, und um die Ausbildung elektrischer Kontakte an der CMOS-Vorrichtung zu verbessern.

[0004] US 2005/0104131A1 offenbart eine Halbleiterstruktur und ein Verfahren zur Herstellung, das ein Ausbilden einer Shallow-Trench-Isolierung (STI) in einem Substrat und ein Bereitstellen eines ersten Materials und eines zweiten Materials auf dem Substrat aufweist. Das erste Material und das zweite Material werden in das Substrat durch einen thermischen Ausheizprozess gemischt, um eine erste Insel und eine zweite Insel an einem nFET-Bereich bzw. einem pFET-Bereich zu bilden. Eine Schicht aus einem anderen Material wird auf der ersten Insel und der zweiten Insel ausgebildet.

[0005] US 6 512 282 B2 offenbart eine Halbleitervorrichtung und ein Herstellungsverfahren, wobei ein Film zur Isolierung einer Seitenwand auf den Seitenflächen einer vergrabenen Gate-Elektrode auf einem Substrat ausgebildet wird. Ein Trench-Isolationsfilm, der mit der Gate-Elektrode selbst-ausgerichtet ist, wird ebenfalls ausgebildet, sodass die obere Oberfläche des Isolationsfilms höher ist als die der Gate-Elektrode.

[0006] US 5 385 857 A offenbart ein Verfahren zur Herstellung einer Halbleitervorrichtung mit hoher Packungsdichte und mit Feld-Effekt-Transistoren.

[0007] US 2005/0282329A1 offenbart CMOS-Transistoren mit einem dualen Gate-Dielektrikum mit hohem K und Herstellungsverfahren.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0008] Fig. 1 ist eine CMOS-Vorrichtung mit dual-epitaktischen Bereichen, die gemäß einer Implementierung der Erfindung hergestellt ist.

[0009] Fig. 2 bis Fig. 12 zeigen einen Ablauf eines Fabrikationsprozesses für die in Fig. 1 gezeigte CMOS-Vorrichtung.

DETAILLIERTE BESCHREIBUNG

[0010] Hierin werden Systeme und Verfahren zur Herstellung von CMOS-Vorrichtungen beschrieben, die einen Dual-Epi-Kanal und selbst ausgerichtete Kontakte umfassen. In der folgenden Beschreibung werden verschiedene Aspekte der beispielhaften Implementierungen unter Verwendung von Ausdrücken beschrieben, die üblicherweise vom Fachmann verwendet werden, um den Gegenstand seiner/ihrer Arbeit anderen Fachleuten mitzuteilen. Jedoch ist es für den Fachmann erkennbar, dass die vorliegende Erfindung auch mit nur einigen der beschriebenen Aspekte praktiziert werden kann. Aus Gründen der Darstellung werden spezielle Zahlen, Materialien und Konfigurationen dargelegt, um ein vollständiges Verständnis der beispielhaften Implementierungen zu gewährleisten. Bei anderen Beispielen wurden gut bekannte Eigenschaften weggelassen oder vereinfacht, um die beispielhaften Implementierungen nicht zu verschleiern.

[0011] Verschiedene Schritte werden wiederum als mehrere diskrete Schritte in einer Weise beschrieben, die für das Verständnis der vorliegenden Erfindung besonders hilfreich ist. Doch sollte die Reihenfolge der Beschreibung nicht so ausgelegt werden, dass dadurch impliziert wird, dass diese Schritte notwendigerweise von der Reihenfolge abhängig sind. Insbesondere müssen diese Schritte nicht in der dargestellten Reihenfolge durchgeführt werden.

[0012] Fig. 1 zeigt eine CMOS-Vorrichtung **130**, die gemäß Implementierungen der Erfindung ausgebildet wurde. Die CMOS-Vorrichtung **130** ist auf einem Halbleitersubstrat **100** ausgebildet. Das Halbleitersubstrat **100** kann unter Verwendung eines Bulk-Siliziums oder einer Silizium-auf-Isolator-Unterstruktur ausgebildet werden. Bei anderen Implementierungen kann das Substrat unter Verwendung wechselnder Materialien ausgebildet sein, die mit Silizium kombiniert sein können oder nicht. Diese umfassen Germanium, Indium-Antimonid, Blei-Tellurid, Indium-Arsenid, Indium-Phosphit, Gallium-Arsenid, Gallium-Antimonid oder andere Materialien der Gruppe III-V, sind jedoch nicht darauf beschränkt. Obwohl hier nur ei-

nige Beispiele von Materialien angegeben wurden, aus welchen das Halbleiter-Substrat ausgebildet sein kann, ist jedes Material, das als eine Grundlage dienen kann, auf der eine Halbleitervorrichtung aufgebaut werden kann, von der Idee und dem Umfang der vorliegenden Erfindung umfasst.

[0013] Zwei epitaktische Siliziumbereiche werden auf dem Substrat **100** abgeschieden oder aufgewachsen. Ein epitaktischer Bereich **102** (der hier auch als ein Epi-Bereich **102** bezeichnet wird) kann für einen P-Typ-MOSEFT (PMOS-Transistor) optimiert sein, während ein zweiter epitaktischer Bereich **106** (der hier auch als Epi-Bereich **106** bezeichnet wird) für einen N-Typ-MOSEFT (NMOS-Transistor) optimiert sein kann. An sich kann der Epi-Bereich **102** aus einem anderen Material ausgebildet sein als der Epi-Bereich **106**. Somit bietet die CMOS-Vorrichtung, die in **Fig. 1** gezeigt ist, Dual-Epi-Kanalbereiche.

[0014] Der Epi-Bereich **102** kann aus Materialien, wie beispielsweise Silizium-Germanium gebildet sein. Das Silizium-Germanium kann epitaktisch abgeschieden werden. Bei einigen Implementierungen kann die Germaniumkonzentration im Bereich zwischen 10 Atom-% und 50 Atom-% liegen. Bei anderen Implementierungen kann das Silizium-Germanium in situ weiter mit Bor dotiert sein. Die Borkonzentration kann im Bereich zwischen $2 \times 10^{19}/\text{cm}^3$ bis $7 \times 10^{20}/\text{cm}^3$ liegen. Die Dicke des Silizium-Germanium kann im Bereich zwischen 50×10^{-10} m und 1500×10^{-10} m liegen.

[0015] Der Epi-Bereich (**106**) kann aus Materialien gebildet sein, wie beispielsweise mit Kohlenstoff dotiertem Silizium. Das mit Kohlenstoff dotierte Silizium kann epitaktisch und selektiv abgeschieden werden. Bei weiteren Implementierungen kann das mit Kohlenstoff dotierte Silizium weiter in situ mit Phosphor dotiert sein. Die Kohlenstoffkonzentration kann im Bereich zwischen 0,5 Atom-% und 3,0 Atom-% liegen. Die Phosphorkonzentration kann im Bereich zwischen $5 \times 10^{19}/\text{cm}^3$ und $5 \times 10^{20}/\text{cm}^3$ liegen. Die Dicke des mit Kohlenstoff dotierten Silizium kann im Bereich zwischen 50×10^{-10} m und 1500×10^{-10} m liegen. Das mit Kohlenstoff und Phosphor dotierte Silizium kann als $(\text{C}, \text{P})_y\text{Si}_{(1-y)}$ bezeichnet werden.

[0016] Die CMOS-Vorrichtung **130** umfasst eine Isolationsstruktur **110**, die den PMOS-Transistor vom NMOS-Transistor trennt. Die Isolationsstruktur **110** kann aus Materialien gebildet sein, die herkömmlicherweise bei Isolationsstrukturen verwendet werden einschließlich von Oxidmaterialien, wie beispielsweise Siliziumdioxid (SiO_2), ohne darauf beschränkt zu sein.

[0017] Jeder der PMOS- und NMOS-Transistoren umfasst eine Hoch-K-Gate-Dielektrikumschicht **116**. Bei verschiedenen Implementierungen der Erfindung

kann das Hoch-K-Dielektrikum-Material, das bei jeder Gateelektrode verwendet wird Hafniumoxid, Hafniumsiliziumoxid, Lanthanoxid, Lanthanaluminiumoxid, Zirkoniumoxid, Zirkoniumsiliziumoxid, Tantaloxid, Titanoxid, Barium-Strontium-Titan-Oxid, Barium-Titanoxid, Strontium-Titanoxid, Yttriumoxid, Aluminiumoxid, Blei-Skandium-Tantaloxid und Blei-Zink-Niobat umfassen, ohne darauf beschränkt zu sein. Bei einigen Ausführungsformen kann die Hoch-K-Dielektrikum-Gateschicht zwischen ungefähr 5×10^{-10} m und 50×10^{-10} m dick sein. Bei weiteren Ausführungsformen kann eine zusätzliche Bearbeitung an der Hoch-K-Dielektrikum-Gateschicht durchgeführt werden, wie beispielsweise ein Temperprozess, um die Qualität des Hoch-K-Materials zu verbessern.

[0018] Bei einigen Implementierungen der Erfindung können verschiedene Hoch-K-Dielektrikum-Materialien für jeden Epi-Bereich verwendet werden. Bei anderen Implementierungen können dieselben Hoch-K-Dielektrikum-Gatematerialien für jeden Epi-Bereich verwendet werden. Bei einigen Implementierungen kann die Dicke des Hoch-K-Dielektrikum-Gatematerials individuell optimiert werden, wenn dasselbe Hoch-K-Dielektrikum-Gatematerial in jedem Epi-Bereich verwendet wird. Beispielsweise, wenn der Gate-Kriechstrom in der PMOS-Vorrichtung aufgrund der Hoch-K-Bandlücke niedriger ist, kann die PMOS-Vorrichtung unter Verwendung einer dünneren Hoch-K-Gate-Dielektrikumschicht optimiert werden.

[0019] Eine Metallgateelektrode **118** wird auf jeder der beiden Hoch-K-Dielektrikum-Gateschichten **116** ausgebildet. Die Metallgateelektrode **118** kann aus einem Metall mit einer P-Typ-Austrittsarbeit oder einem Metall mit einer N-Typ-Austrittsarbeit bestehen, abhängig davon, ob der Transistor ein PMOS- oder ein NMOS-Transistor sein soll. für den PMOS-Transistor, der auf dem Epi-Bereich **102** ausgebildet wird, umfassen die Materialien, die zur Ausbildung einer Metallschicht mit einer P-Typ-Austrittsarbeit verwendet werden können, Ruthenium, Palladium, Platin, Kobalt, Nickel und leitende Metalloxide, wie beispielsweise Rutheniumoxid, ohne darauf beschränkt zu sein. Eine P-Typ-Metallschicht ermöglicht die Ausbildung einer PMOS-Gateelektrode mit einer Austrittsarbeit, die zwischen ungefähr 4,9 eV und ungefähr 5, 2 eV liegt.

[0020] Alternativ können für den NMOS-Transistor, der auf dem Epi-Bereich **106** ausgebildet wird, Materialien zur Ausbildung einer Metallschicht mit einer N-Typ-Austrittsarbeit verwendet werden, die Hafnium, Zirkon, Titan, Tantal, Aluminium und ihre Legierungen, wie beispielsweise Metallcarbide, die diese Elemente umfassen, wie beispielsweise Hafniumcarbid, Zirkoniumcarbid, Titancarbid, Tantalcarbid und Aluminiumcarbid umfassen, ohne darauf beschränkt zu sein. Eine N-Typ-Metallschicht ermöglicht die Ausbil-

derung einer NMOS-Gateelektrode mit einer Austrittsarbeit, die ungefähr zwischen 3,9 eV und ungefähr 4,2 eV liegt. Bei einigen Implementierungen können zwei oder mehr metallische Gateelektrodenschichten abgeschieden werden. Beispielsweise kann ein Austrittsarbeitsmetall abgeschieden werden, auf das ein Metall-Gateelektroden-Füllmetall, wie beispielsweise Aluminiummetall folgt.

[0021] Jeder der PMOS- und NMOS-Transistoren umfasst Source- und Drain-Bereiche **120**. Bei einigen Implementierungen können die Source- und Drain-Bereiche **120** entweder durch Implantieren von Dotierstoffen, wie beispielsweise Bor, Phosphor oder Arsen in das Substrat oder durch Ätzen des Substrats und darauf folgend epitaktisches Abscheiden eines Silizium- oder Silizium-Germaniummaterials gebildet werden. Elektrische Kontakte **124** werden auf den Source- und Drain-Bereichen **120** ausgebildet. Die Kontakte **124** sind im Allgemeinen aus einem Metall, wie beispielsweise Kupfer, Aluminium oder Wolfram ausgebildet. Gemäß Implementierungen der Erfindung sind die Kontakte **124** selbst-ausgerichtet. Bei einigen Implementierungen kann ein Silizidierungsprozess vor Ausbildung der selbst-ausgerichteten Kontakte **124** stattfinden.

[0022] Schließlich umfasst die CMOS-Vorrichtung **130** mehrere Spacer **114**. Die Spacer **114** werden während der Herstellung der CMOS-Vorrichtung **130** ausgebildet und ermöglichen zumindest einen Teil der Selbstausrichtung der verschiedenen Strukturen. Die Spacer **114** können aus einem im Stand der Technik für die Verwendung bei Spacer gut bekannten Material ausgebildet werden, einschließlich von Siliziumnitrid (SiN), Siliziumoxid (SO), Siliziumcarbid (SiC), Siliziumnitrid, dotiert mit Kohlenstoff (SiNC), und Siliziumoxinitrid (SiON), ohne darauf beschränkt zu sein.

[0023] Die Fig. 2 bis Fig. 12 veranschaulichen einen Herstellungsprozess, um die CMOS-Vorrichtungen **130** auszubilden, die in Fig. 1 gezeigt ist. Beginnend mit Fig. 2 wird ein Substrat **100** gezeigt, auf dem eine Epi-Schicht **102** aufgewachsen oder abgeschieden wird. Materialien, die für das Substrat **100** und die Epi-Schicht **102** verwendet werden, wurden oben dargestellt.

[0024] Auf Fig. 3 gerichtet, wird die Epi-Schicht **102** gemustert, um einen Epi-Bereich **102** zu bilden. Der verwendete Strukturierungsprozess kann jeder im Stand der Technik bekannte herkömmliche Strukturierungsprozess sein. Beispielsweise kann ein Fotolackmaterial abgeschieden werden und unter Verwendung von ultravioletter Strahlung und einer optischen Maske zur Ausbildung einer Fotolackmaske **104** strukturiert werden. Die Maske **104** kann den Teil der Epi-Schicht **102** abschirmen, der auf dem Substrat **100** bleibt und kann den Teil, der entfernt

werden muss, freilegen. Ein Nass- oder Trocken-Ätzprozess, der für das Epi-Material geeignet ist, kann dann ausgeführt werden, um die freigelegten Teile der Epi-Schicht **102** wegzuzüßen, wobei der abgeschirmte Epi-Bereich **102** zurückbleibt, der in Fig. 3 gezeigt ist.

[0025] Unter Zuwendung zu Fig. 4 kann ein zweiter epitaktischer Abscheidungsprozess ausgeführt werden, um einen Epi-Bereich **106** auszubilden. Der Epi-Bereich **106** wird auf dem Substrat **100** neben dem Epi-Bereich **102** aufgewachsen oder abgeschieden. Da strukturelle Unterschiede zwischen dem Epi-Bereich **102** und dem Epi-Bereich **106** bestehen, wie beispielsweise ein Gitterabstand, und möglicherweise aufgrund der Natur des epitaktischen Abscheidungsprozesses, kann die Grenzschicht zwischen den beiden Epi-Bereichen **102/106** nicht ideal sein.

[0026] Unter Zuwendung zu Fig. 5 kann die Fotolackmaske **104** beispielsweise unter Verwendung eines Planarisierungsprozesses oder eines Ätzprozesses entfernt werden, wie im Stand der Technik gut bekannt ist. Als nächstes kann eine Vielzahl von Strukturen **108** auf den Epi-Bereichen **106** und **102** ausgebildet werden. Die Opfer-Strukturen **108** können aus einem Material, wie beispielsweise Polysilizium ausgebildet werden. Bei einigen Implementierungen kann eine Schicht aus Polysilizium unter Verwendung bekannter Strukturierungsverfahren abgeschieden und strukturiert werden, um die Opfer-Strukturen **108** auszubilden. Wie in Fig. 5 gezeigt ist, werden zwei Opferstrukturen **108** auf dem Epi-Bereich **102** ausgebildet und zwei Opfer-Strukturen **108** auf dem Epi-Bereich **106** ausgebildet. Die Opfer-Strukturen **108** werden an Orten auf den Epi-Bereichen **102/106** ausgebildet, wo später die selbst-ausgerichteten Kontakte **124** ausgebildet werden.

[0027] Unter Zuwendung zu Fig. 6 wird ein Ätzprozess ausgeführt, um Teile jedes Epi-Bereichs **102** und **106** neben der Grenzfläche zwischen den beiden Epi-Bereichen zu entfernen. Zwei der Opfer-Strukturen **108** können als Grenzen für das Ätzen verwendet werden. Wie in Fig. 6 gezeigt ist, wird ein Teil des Epi-Bereichs **102**, der sich neben dem Epi-Bereich **106** befand, zurückgeätzt, bis eine Opfer-Struktur **108** erreicht ist. Ähnlich wird ein Teil des Epi-Bereichs **106**, der sich neben dem Epi-Bereich **102** befindet, zurückgeätzt, bis eine Opfer-Struktur **108** erreicht ist.

[0028] Unter Zuwendung zu Fig. 7 wird ein Oxid **110** auf dem Substrat **100** abgeschieden. Das Oxid **110** füllt den Bereich zwischen dem Epi-Bereich **102** und dem Epi-Bereich **106**, wodurch eine Isolationsstruktur ausgebildet wird. Die Oberseite der Oxid-Isolationsstruktur **110** stimmt im Wesentlichen mit den Oberseiten der Opfer-Strukturen **108** überein. Bei Implementierungen der Erfindung kann auf die initiale Oxidabscheidung ein Polierprozess folgen, mit dem

die Oberseite der Oxidschicht planarisiert wird, so dass sie mit den Oberseiten der Opfer-Strukturen **108** übereinstimmt.

[0029] Unter Zuwendung zu **Fig. 8** wird das Oxid **110** strukturiert, um das gesamte Oxid zu entfernen mit Ausnahme des zwischen dem Epi-Bereich **102** und dem Epi-Bereich **106** abgeschiedenen Teils. Dieser verbleibende Teil des Oxids fungiert als eine Isolationsstruktur **110**. Herkömmliche Strukturierungsprozesse können verwendet werden, um das nicht notwendige Oxid zu entfernen. Als nächstes wird eine erste Gruppe von Spacern **110** neben den Opfer-Strukturen **108** ausgebildet. Die Spacer **112** können durch Abscheiden eines konformen Spacermaterials und ein darauf folgendes Strukturieren des Materials ausgebildet werden, um die in **Fig. 8** gezeigten Spacer **112** zu bilden. Das Material, das verwendet wird, um die erste Gruppe von Spacern **112** auszubilden, kann unter anderem gewählt werden aus SiN, SO, SiC, SiNC und SiON.

[0030] Unter Zuwendung zu **Fig. 9** wird eine zweite Gruppe von Spacern **114** neben der ersten Gruppe von Spacern **112** ausgebildet. Diese zweite Gruppe von Spacern **114** kann unter Verwendung eines ähnlichen Prozesses wie für die erste Gruppe von Spacern, nämlich Abscheidung und Strukturierung ausgebildet werden. Gemäß Implementierungen der Erfindung muss das Material, das zur Ausbildung der zweiten Gruppe von Spacern **114** verwendet wird vom Material, das zur Ausbildung der ersten Gruppe von Spacern **112** verwendet wird, verschieden sein. Das liegt daran, dass das bei der zweiten Gruppe von Spacern **114** verwendete Material eine andere Ätzeempfindlichkeit aufweisen muss als das Material, das bei der ersten Gruppe von Spacern **112** verwendet wird, um zu ermöglichen, dass die erste Gruppe von Spacern **112** entfernt wird, ohne wesentlich die zweite Gruppe von Spacern **114** zu beeinflussen. Das für die zweite Gruppe von Spacern **114** verwendete Material kann dennoch unter anderem gewählt werden aus SiN, SO, SiC, SiNC und SiON – es muss jedoch einfach vom Material, das für die erste Gruppe von Spacern **112** gewählt wird, verschieden sein. Beispielsweise, wenn die erste Gruppe von Spacern **112** unter Verwendung von SiN ausgebildet wurde, kann die zweite Gruppe von Spacern **114** unter Verwendung eines von SO, SiC, SiNC oder SiON ausgebildet werden. Bei einigen Implementierungen der Erfindung kann die Ätzeempfindlichkeit der ersten Gruppe von Spacern **112** und der zweiten Gruppe von Spacern **114** durch Ändern ihrer Kohlenstoffkonzentrationen unterschiedlich gemacht werden.

[0031] Unter Zuwendung zu **Fig. 10** werden die Gräben, die zwischen den Spacern **114** verbleiben, mit einer Hoch-K-Dielektrikum-Gateschicht **116** und einer Metallgateelektrode **118** gefüllt. Wie für den Fachmann verständlich ist, können sich das Hoch-

K-Gatedielektrikum **116** und die Metallgateelektrode **118**, die über dem Epi-Bereich **102** ausgebildet werden, von dem Hoch-K-Gate-Dielektrikum **116** und der Metallgateelektrode **118** unterscheiden, die auf dem Epi-Bereich **106** ausgebildet werden. Beispielsweise, wenn der Epi-Bereich **102** für einen PMOS-Transistor optimiert ist, werden für die Hoch-K-Dielektrikumgateschicht **116** und die Metallgateelektrode **119**, die über dem Epi-Bereich **102** ausgebildet werden, für einen PMOS-Transistor geeignete Materialien verwendet. Derartige Materialien wurden oben beschrieben. Ähnlich, wenn der Epi-Bereich **106** für einen NMOS-Transistor optimiert wird, werden für die Hoch-K-Dielektrikumgateschicht **116** und die Metallgateelektrode **119**, die über dem Epi-Bereich **106** ausgebildet werden, für einen NMOS-Transistor geeignete Materialien verwendet. Derartige Materialien wurden wiederum oben beschrieben. Bei einigen Implementierungen kann einer der Epi-Bereiche **102/106** maskiert werden, während das Hoch-K-Dielektrikum und die Gateelektrode auf dem anderen der Epi-Bereiche **102/106** abgeschieden werden.

[0032] Gemäß Implementierungen der Erfindung ist die Verwendung der oben beschriebenen Spacerabscheidung und des Ätzprozesses, um Gräben auszubilden, in welchen das Hoch-K-Gate und die Metallgateelektrode abgeschieden werden, können eine Verbesserung gegenüber herkömmlichen Prozessen. Beispielsweise neigen herkömmliche Prozesse, bei welchen eine Hoch-K-Schicht und eine Gateelektroden-schicht abgeschieden werden und diese Schichten dann zurückgeätzt werden, um den Gate-Stapel zu bilden, dazu, komplex zu sein, da diese Materialien schwierig zu ätzen sind, was zu einer beträchtlichen Beschädigung des Gates beim Ätzprozess führt.

[0033] Unter Zuwendung zu **Fig. 11** werden die Opfer-Strukturen **108** und die erste Gruppe von Spacern **112** entfernt. Es können herkömmliche Ätzprozesse, die für Polysilizium geeignet sind, verwendet werden. Die Spacer **112** können unter Verwendung eines Ätzmittels entfernt werden, das für das Material geeignet ist, das bei den Spacern **112** verwendet wurde, das jedoch nicht das Material entfernt, das zur Ausbildung der zweiten Gruppe von Spacern **114** verwendet wird. Das Entfernen der Opfer-Strukturen **108** und der Spacer **112** erzeugt mehrere Gräben, die Teile der Epi-Bereiche **102** und **106** freilegen.

[0034] Ein Ionenimplantierungsprozess kann dann ausgeführt werden, um Ionen in die frei gelegten Bereiche der Epi-Bereiche **102** und **106** zu implantieren. Die implantierten Ionen formen Source- und Drain-Bereiche **120**, die in **Fig. 12** gezeigt sind. Ein Temperprozess kann auf die Ionenimplantierung folgen, um die Dotierstoffe zu diffundieren und/oder zu aktivieren. Bei einigen Implementierungen kann das Dotiermittel Bor sein.

[0035] Fig. 12 zeigt die Source- und Drain-Bereiche **120** sowie elektrische Kontakte **124**, die in den Gräben über den Source- und Drain-Bereichen **120** abgeschieden wurden. Metalle, die in den Kontakten **124** verwendet werden können, wurden oben beschrieben. Die Kontakte **124** werden in einer selbst ausrichtenden Weise ausgebildet, da sie durch Abscheiden von Material in den Gräben ausgebildet werden, das durch die Opfer-Strukturen **108** und die Spacer **112** übrig geblieben sind. Das endgültige Ergebnis ist eine CMOS-Vorrichtung **130**.

[0036] Dementsprechend wurde ein Fabrikationsprozessablauf für eine dual-epitaktische Kanal-CMOS-Vorrichtung beschrieben. Gemäß Implementierungen der Erfindung ermöglicht die Verwendung von dual-epitaktischen Bereichen zur Ausbildung der PMOS- und NMOS-Vorrichtungen, dass das Hoch-K-Gate-Dielektrum und die Metallgateelektrode separat voneinander optimiert werden können. Darüber hinaus werden beim Prozessablauf für die Dual-Epi-CMOS-Vorrichtung der Erfindung selbst ausgerichtete Merkmale verwendet, um eine Herabskalierung der CMOS-Vorrichtung zu ermöglichen, während herkömmliche Aspekte, wie beispielsweise Offset-Landings von Kontakten vermieden werden. Bei herkömmlichen Prozessen neigt das Strukturieren von Kontakten an den Source- und Drain-Bereichen zu einer sehr schwierigen lithographischen Operation aufgrund der engen Einschreiberefordernisse in einer kleinen Öffnung. Die Selbstausrichtung zum Gate ist eine bevorzugte Option für einen stabilen Kontakt-zu-Gate-Abstand sowie eine stabile Kontaktabmessung. Die Kontaktabmessungen und der Kontakt-zu-Gate-Abstand sind kritische Merkmale für die Leistungsfähigkeit des MOS, da sie direkt den externen Widerstand der MOS-Vorrichtung beeinflussen.

Patentansprüche

1. Eine CMOS-Vorrichtung (**130**) in einem Herstellungszwischenstadium, die umfasst:
einen ersten epitaktischen Bereich (**102**) für eine PMOS-Vorrichtung;
einen zweiten epitaktischen Bereich, wobei der zweite epitaktische Bereich aus einem anderen Material als der erste epitaktische Bereich ausgebildet ist, für eine NMOS-Vorrichtung;
eine Isolationsstruktur (**110**) auf dem Substrat (**100**) zwischen dem ersten epitaktischen Bereich (**102**) und dem zweiten epitaktischen Bereich (**106**);
zwei Opfer-Strukturen (**108**) an dem Ort, an dem elektrische Kontakte mit einem Source-Bereich (**120**) und einem Drain-Bereich (**120**) auf dem ersten epitaktischen Bereich (**102**) auszubilden sind;
zwei Opfer-Strukturen (**108**) an dem Ort, an dem elektrische Kontakte mit einem Source-Bereich (**120**) und einem Drain-Bereich (**120**) auf dem zweiten epitaktischen Bereich (**106**) auszubilden sind;

eine erste Gruppe von Spacern (**112**) neben den Opfer-Strukturen (**108**);
eine zweite Gruppe von Spacern (**114**) neben der ersten Gruppe von Spacern (**112**), wobei jeweils eine der zwei Opfer-Strukturen an die Isolationsstruktur (**110**) angrenzt.

2. CMOS-Vorrichtung nach Anspruch 1, wobei der erste epitaktische Bereich (**102**) aus Silizium-Germanium ausgebildet ist.

3. CMOS-Vorrichtung nach Anspruch 1, wobei der zweite epitaktische Bereich (**106**) aus mit Kohlenstoff dotiertem Silizium ausgebildet ist.

4. CMOS-Vorrichtung nach Anspruch 1, weiter aufweisend:
eine Hoch-K-Gatedielektrikumschicht (**116**) für die PMOS-Vorrichtung, die auf dem ersten epitaktischen Bereich (**102**) ausgebildet ist; und
eine Metallgateelektrodenschicht (**118**) für die PMOS-Vorrichtung, die auf der Hoch-K-Gatedielektrikumschicht (**116**) ausgebildet ist.

5. CMOS-Vorrichtung nach Anspruch 4, wobei die Hoch-K-Dielektrikumschicht (**116**) ein Material umfasst, das ausgewählt ist aus der Gruppe bestehend aus Hafnium-Oxid, Hafnium-Silizium-Oxid, Lanthan-Oxid, Lanthan-Aluminium-Oxid, Zirkonium-Oxid, Zirkonium-Silizium-Oxid, Tantal-Oxid, Titan-Oxid, Barium-Strontium-Titan-Oxid, Barium-Titan-Oxid, Strontium-Titan-Oxid, Yttrium-Oxid, Aluminium-Oxid, Blei-Skandium-Tantal-Oxid und Blei-Zink-Niobat.

6. CMOS-Vorrichtung nach Anspruch 4, wobei die Metallgateelektrodenschicht (**118**) ein Metall umfasst, das aus der Gruppe gewählt ist, die besteht aus Ruthenium, Palladium, Platin, Kobalt, Nickel und Ruthenium-Oxid.

7. CMOS-Vorrichtung nach Anspruch 1, weiter aufweisend:
eine Hoch-K-Gatedielektrikumschicht (**116**) für die NMOS-Vorrichtung, die auf dem zweiten epitaktischen Bereich (**106**) ausgebildet ist; und
eine Metallgateelektrodenschicht (**118**) für die NMOS-Vorrichtung, die auf der Hoch-K-Gatedielektrikumschicht (**116**) ausgebildet ist.

8. CMOS-Vorrichtung nach Anspruch 7, wobei die Hoch-K-Gatedielektrikumschicht (**116**) ein Material umfasst, das gewählt ist aus der Gruppe bestehend aus Hafnium-Oxid, Hafnium-Silizium-Oxid, Lanthan-Oxid, Lanthan-Aluminium-Oxid, Zirkonium-Oxid, Zirkonium-Silizium-Oxid, Tantal-Oxid, Titan-Oxid, Barium-Strontium-Titan-Oxid, Barium-Titan-Oxid, Strontium-Titan-Oxid, Yttrium-Oxid, Aluminium-Oxid, Blei-Skandium-Tantal-Oxid und Blei-Zink-Niobat.

9. CMOS-Vorrichtung nach Anspruch 7, wobei die Metallgateelektrodenschicht **(118)** ein Material umfasst, das gewählt ist aus der Gruppe, bestehend aus Hafnium, Zirkon, Titan, Tantal, Aluminium, Hafnium-Carbid, Zirkonium-Carbid, Titan-Carbid, Tantal-Carbid und Aluminium-Carbid.

10. Verfahren, umfassend:
 epitaktisches Abscheiden eines ersten Epi-Bereichs **(102)** auf einem Substrat **(100)**;
 epitaktisches Abscheiden eines zweiten Epi-Bereichs **(106)** auf dem Substrat **(100)**;
 Ausbilden einer Isolationsstruktur **(110)** auf dem Substrat **(100)** zwischen dem ersten Epi-Bereich **(102)** und dem zweiten Epi-Bereich **(106)**;
 Ausbilden von zwei Opfer-Strukturen **(108)** nahe an dem Ort, wo ein Source-Bereich **(120)** und ein Drain-Bereich **(120)** auf den ersten Epi-Bereich **(102)** auszubilden sind; und
 Ausbilden von zwei Opfer-Strukturen **(108)** nahe an dem Ort, an dem ein Source-Bereich **(120)** und ein Drain-Bereich **(120)** auf dem zweiten Epi-Bereich **(106)** auszubilden sind;
 Ausbilden von einer ersten Gruppe von Spacern **(112)** neben den Opfer-Strukturen **(108)**;
 Ausbilden einer zweiten Gruppe von Spacern **(114)** neben der ersten Gruppe von Spacern **(112)**;
 Abscheiden einer ersten Hoch-K-Gatedielektrikumschicht **(116)** in einem Graben zwischen den beiden Opfer-Strukturen **(108)** auf dem ersten Epi-Bereich **(102)**;
 Abscheiden einer ersten Metallgateelektrode **(118)** auf der ersten Hoch-K-Gatedielektrikumschicht **(116)**;
 Abscheiden einer zweiten Hoch-K-Gatedielektrikumschicht **(118)** in einem Graben zwischen den beiden Opfer-Strukturen auf dem zweiten Epi-Bereich **(106)**;
 Abscheiden einer zweiten Metallgateelektrode **(116)** auf der zweiten Hoch-K-Gatedielektrikumschicht **(116)**;
 Entfernen der Opfer-Strukturen **(108)** und der ersten Gruppe von Spacern **(112)**; und
 Ausbilden von elektrischen Kontakten in den Gräben, die gebildet werden, wenn die Opfer-Strukturen **(108)** und die erste Gruppe von Spacern **(112)** entfernt werden.

11. Verfahren nach Anspruch 10, wobei der erste Epi-Bereich **(102)** Silizium-Germanium umfasst.

12. Verfahren nach Anspruch 10, wobei der zweite Epi-Bereich **(106)** mit Kohlenstoff dotiertes Silizium umfasst.

13. Verfahren nach Anspruch 10, wobei das Ausbilden der Isolationsstruktur **(110)** ein Entfernen eines Teils von jedem von dem ersten **(102)** und zweiten Epi-Bereich **(106)** an ihrer Grenzfläche und ein Abscheiden einer Oxidschicht umfasst.

14. Verfahren nach Anspruch 10, wobei das Ausbilden der Opfer-Strukturen **(108)** auf dem ersten **(102)** und zweiten Epi-Bereich **(106)** ein Abscheiden einer Schicht aus Polysilizium auf dem ersten **(102)** und zweiten Epi-Bereich **(106)** und ein Strukturieren des Polysiliziums umfasst, um die Opfer-Strukturen **(108)** auszubilden.

15. Verfahren nach Anspruch 10, wobei das Ausbilden der ersten Gruppe von Spacern **(114)** ein Abscheiden einer konformen Schicht eines ersten Spacermaterials auf dem Substrat **(100)** und ein Strukturieren des ersten Spacermaterials **(114)** umfasst, um die erste Gruppe von Spacern **(114)** auszubilden.

16. Verfahren nach Anspruch 15, wobei das Ausbilden der zweiten Gruppe von Spacern **(114)** ein Abscheiden einer konformen Schicht eines zweiten Spacermaterials auf dem Substrat **(100)** und ein Strukturieren des zweiten Spacermaterials, um die zweite Gruppe von Spacern **(114)** auszubilden, wobei das zweite Spacermaterial eine andere Ätzeempfindlichkeit aufweist als das erste Spacermaterial.

17. Verfahren nach Anspruch 10, wobei: das Abscheiden der ersten Hoch-K-Gatedielektrikumschicht **(116)** ein Abscheiden eines Materials umfasst, das gewählt ist aus der Gruppe die besteht aus Hafnium-Oxid, Hafnium-Silizium-Oxid, Lanthan-Oxid, Lanthan-Aluminium-Oxid, Zirkonium-Oxid, Zirkonium-Silizium-Oxid, Tantal-Oxid, Titan-Oxid, Barium-Strontium-Titan-Oxid, Barium-Titan-Oxid, Strontium-Titan-Oxid, Yttrium-Oxid, Aluminium-Oxid, Blei-Skandium-Tantal-Oxid und Blei-Zink-Niobat, und das Abscheiden der ersten Metallgateelektrode **(118)** ein Abscheiden eines Metalls umfasst, das gewählt ist aus der Gruppe bestehend aus Ruthenium, Palladium, Platin, Kobalt, Nickel und Ruthenium-Oxid.

18. Verfahren nach Anspruch 10, wobei: das Abscheiden der zweiten Hoch-K-Gatedielektrikumschicht **(116)** ein Abscheiden eines Materials umfasst, das gewählt ist aus der Gruppe bestehend aus Hafnium-Oxid, Hafnium-Silizium-Oxid, Lanthan-Oxid, Lanthan-Aluminium-Oxid, Zirkonium-Oxid, Zirkonium-Silizium-Oxid, Tantal-Oxid, Titan-Oxid, Barium-Strontium-Titan-Oxid, Barium-Titan-Oxid, Strontium-Titan-Oxid, Yttrium-Oxid, Aluminium-Oxid, Blei-Skandium-Tantal-Oxid und Blei-Zink-Niobat und das Abscheiden der zweiten Metallgateelektrode **(118)** ein Abscheiden eines Metalls umfasst, das gewählt ist aus der Gruppe bestehend aus Hafnium, Zirkon, Titan, Tantal, Aluminium, Hafnium-Carbid, Zirkonium-Carbid, Titan-Carbid, Tantal-Carbid und Aluminium-Carbid.

19. Verfahren nach Anspruch 16, wobei das Entfernen der ersten Gruppe von Spacern **(112)** ein Anwenden eines Ätzmittels umfasst, das dazu geeignet

ist, das erste Spacermaterial zu entfernen ohne wesentlich das zweite Spacermaterial zu entfernen.

20. Verfahren nach Anspruch 10, wobei das Ausbilden der elektrischen Kontakte (**124**) ein Abscheiden eines Metalls auf dem Substrat (**100**) umfasst, das gewählt ist aus der Gruppe bestehend aus Kupfer, Aluminium und Wolfram.

Es folgen 6 Seiten Zeichnungen

Anhängende Zeichnungen

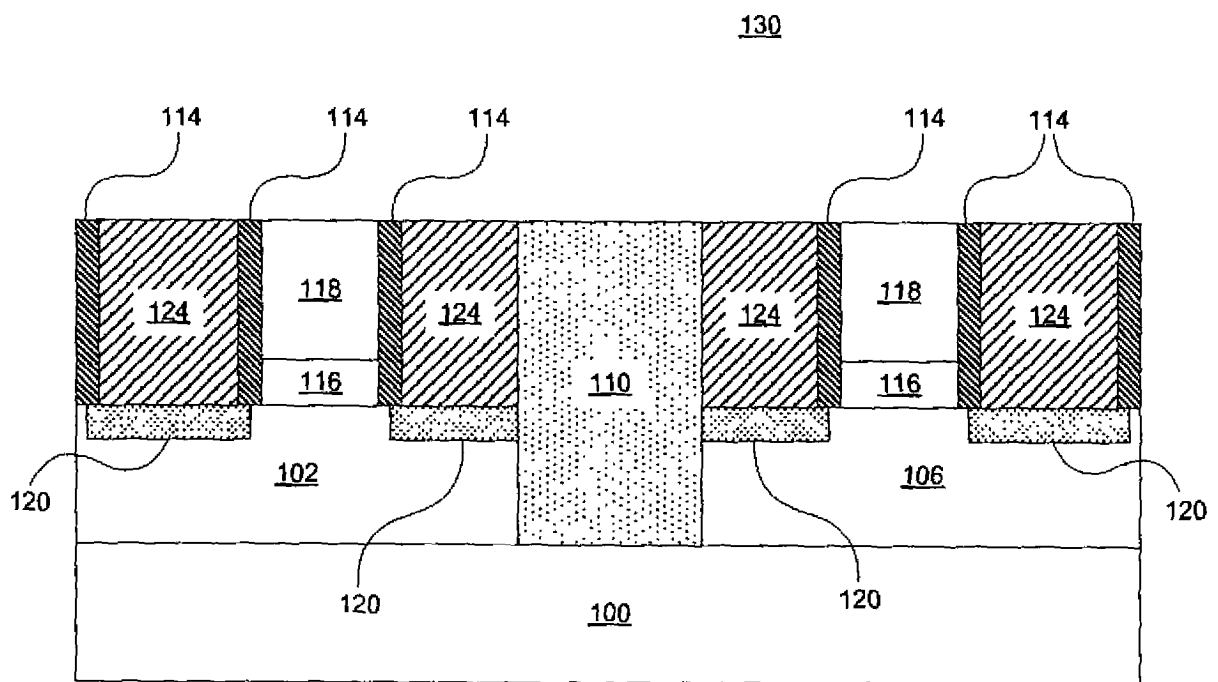


FIG. 1

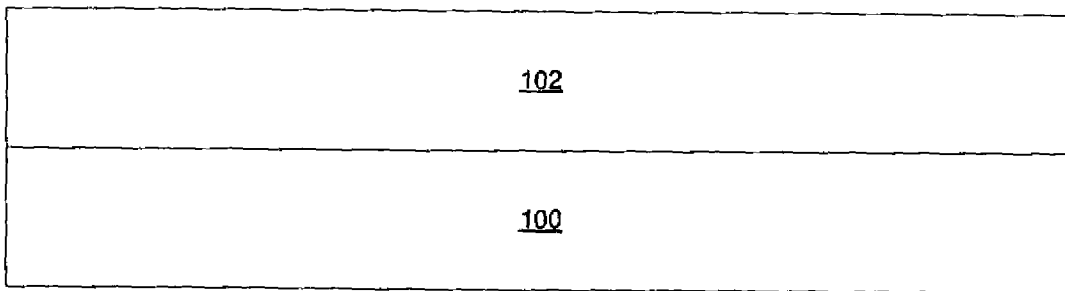


FIG. 2

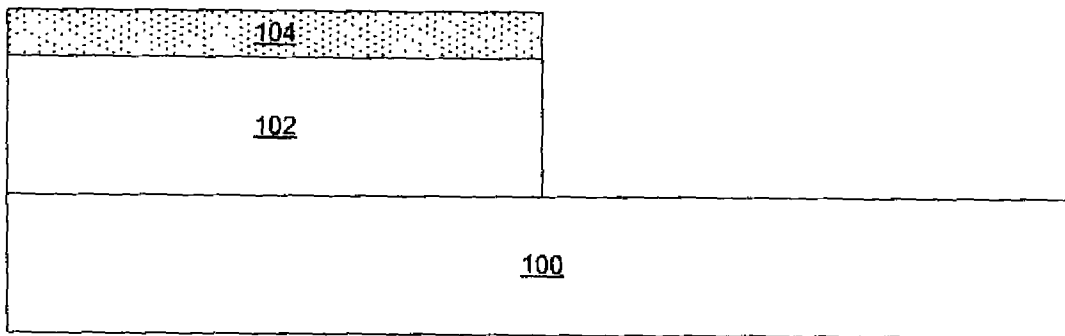


FIG. 3

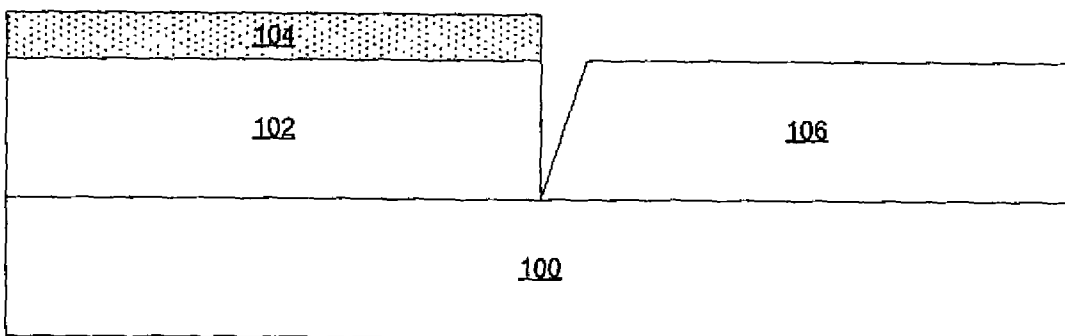


FIG. 4

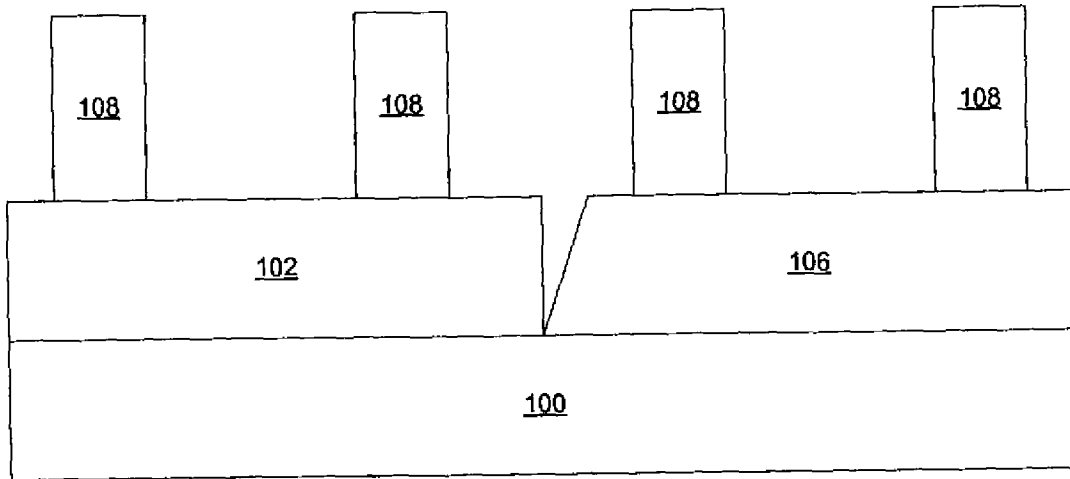


FIG._5

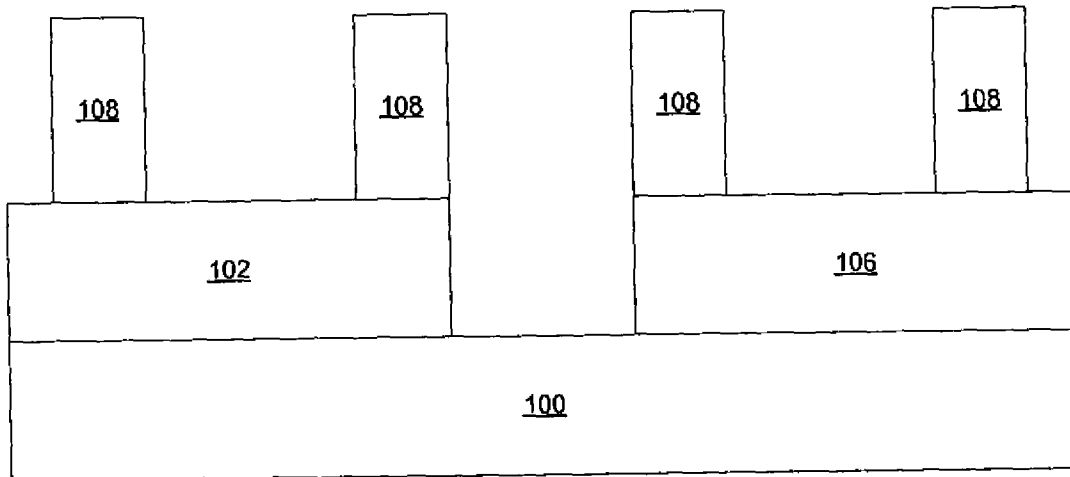


FIG._6

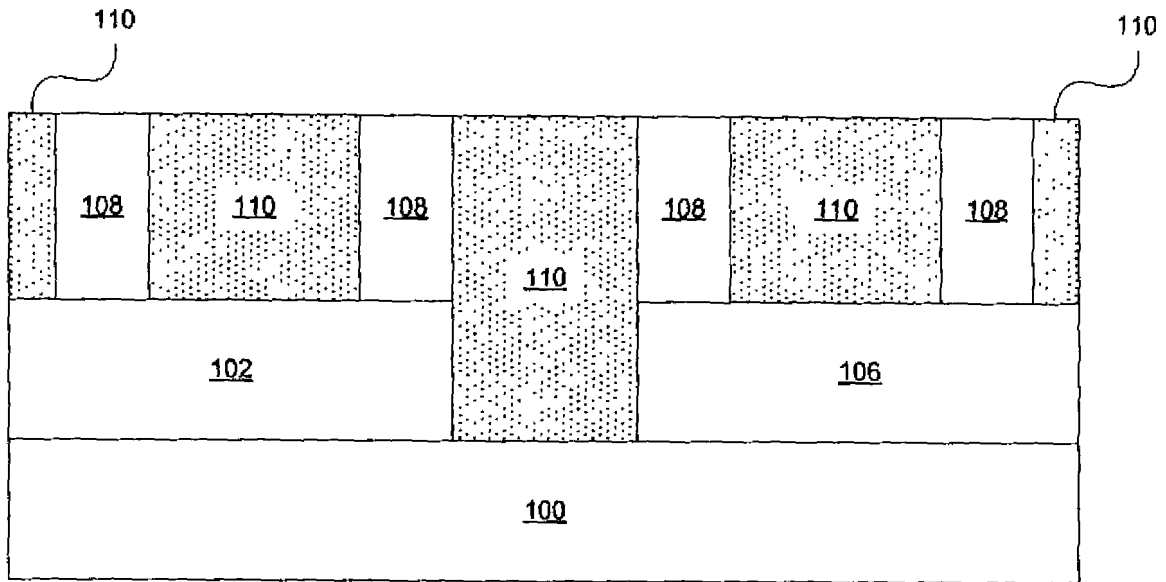


FIG. 7

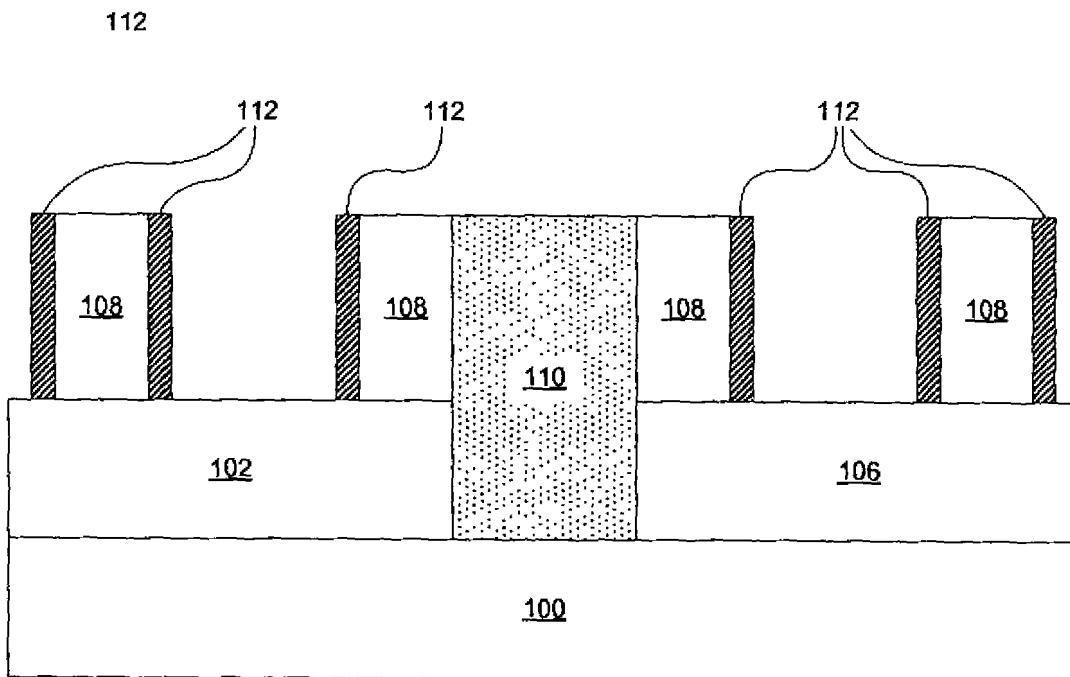


FIG. 8

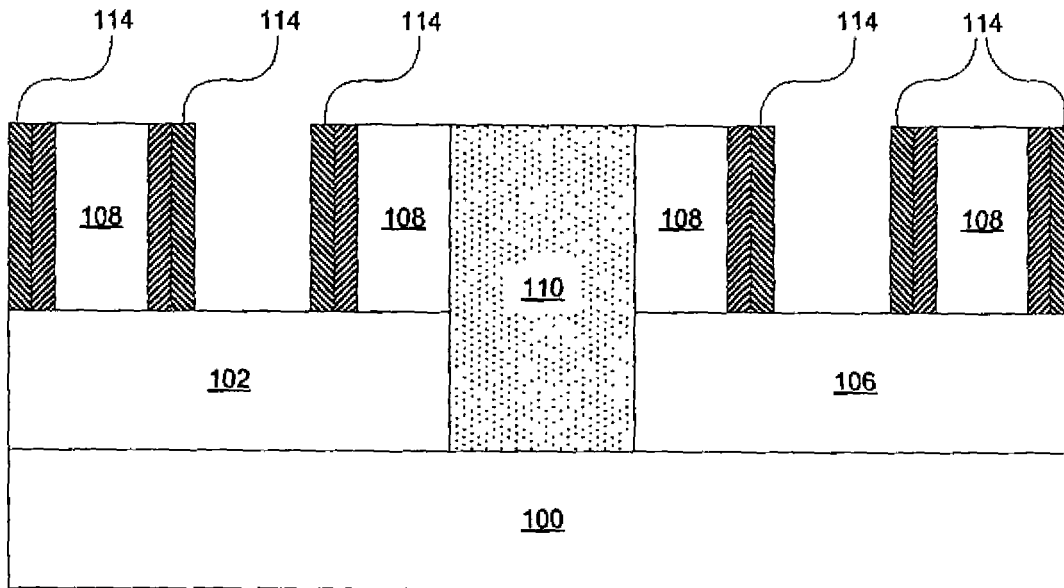


FIG. 9

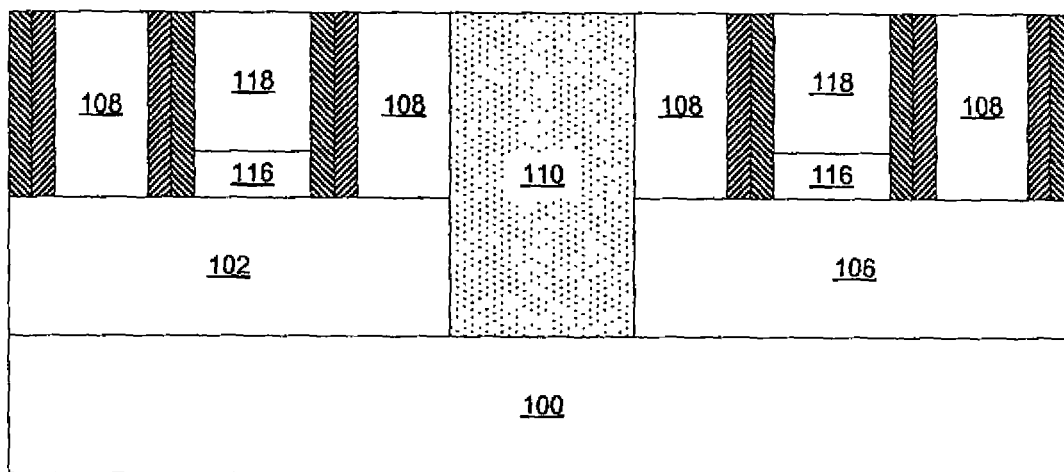


FIG. 10

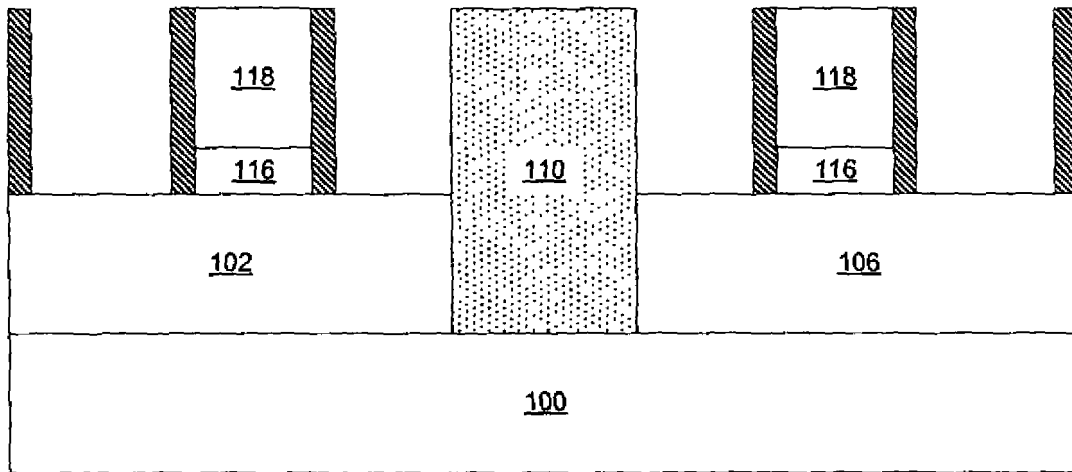


FIG. 11

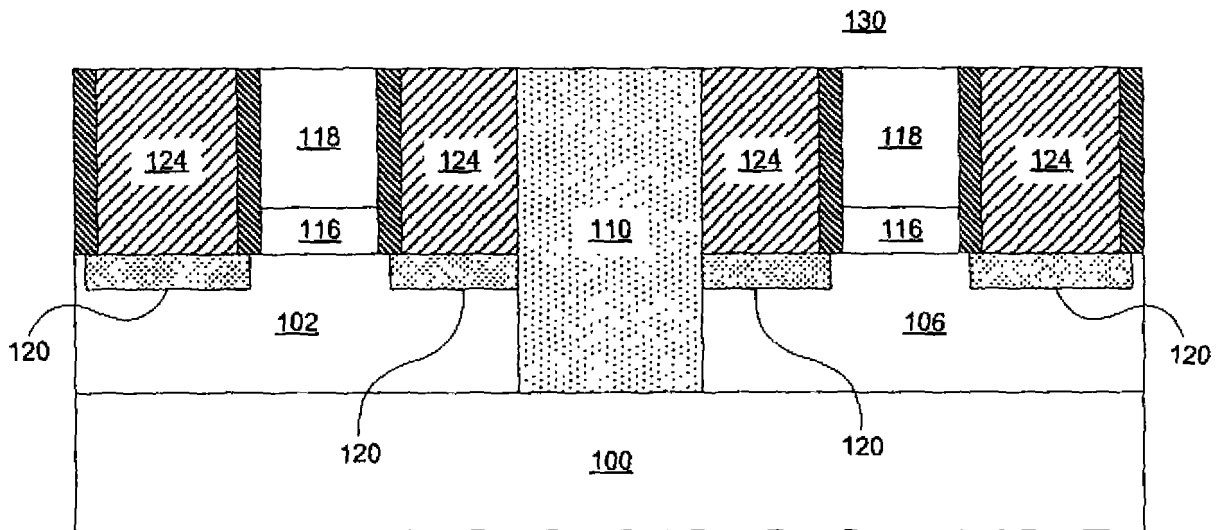


FIG. 12