



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년12월02일  
(11) 등록번호 10-0929464  
(24) 등록일자 2009년11월24일

(51) Int. Cl.  
H01L 23/12 (2006.01) H01L 21/3205 (2006.01)  
H01L 21/768 (2006.01)  
(21) 출원번호 10-2007-0134817  
(22) 출원일자 2007년12월21일  
심사청구일자 2007년12월21일  
(65) 공개번호 10-2009-0067254  
(43) 공개일자 2009년06월25일  
(56) 선행기술조사문헌  
KR1020060051422 A\*  
KR1020070058298 A  
KR1020070066300 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
주식회사 동부하이텍  
서울특별시 강남구 대치동 891-10  
(72) 발명자  
이민형  
충북 청주시 상당구 용암동 현대아파트 303-906  
(74) 대리인  
서교준

전체 청구항 수 : 총 9 항

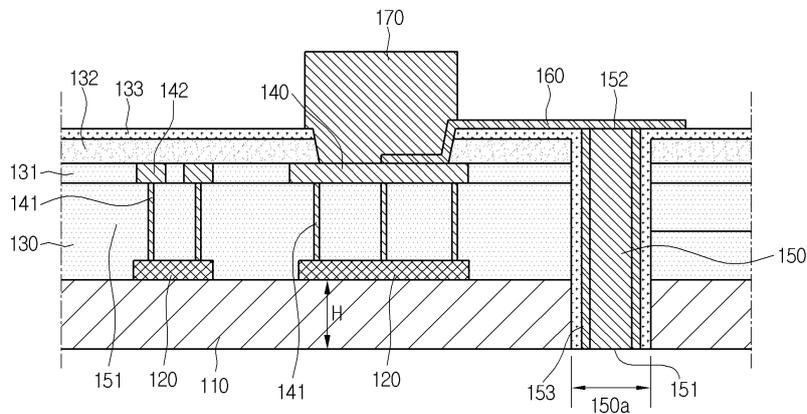
심사관 : 심재만

(54) 반도체칩, 이의 제조 방법 및 반도체칩 적층 패키지

(57) 요약

반도체칩, 이의 제조방법 및 반도체칩 적층 패키지가 개시되어 있다. 반도체칩은 반도체기판, 반도체기판 상에 배치되는 반도체소자, 반도체소자를 덮는 층간절연막, 층간절연막 상에 배치되며, 반도체소자와 전기적으로 연결되는 탐메탈, 반도체기판 및 층간절연막을 관통하는 뱀비아 및 뱀비아와 탐메탈을 전기적으로 연결하는 연결배선을 포함한다.

대표도 - 도1



**특허청구의 범위**

**청구항 1**

반도체기판;

상기 반도체기판 상에 배치되는 반도체소자;

상기 반도체소자를 덮는 층간절연막;

상기 층간절연막 상에 배치되며, 상기 반도체소자와 전기적으로 연결되는 탐메탈;

상기 층간절연막 및 상기 탐메탈 상에 배치되며, 상기 탐메탈의 일부를 노출하는 홀을 포함하는 보호막;

상기 반도체기판 및 상기 층간절연막을 관통하는 딥비아;

상기 딥비아 및 상기 탐메탈을 전기적으로 연결하는 연결배선; 및

상기 탐메탈 및 상기 연결배선과 직접 접촉하고, 상기 홀 내측에 전체적으로 채워지는 범프를 포함하는 반도체 칩.

**청구항 2**

삭제

**청구항 3**

제 1 항에 있어서, 상기 탐메탈, 상기 범프 및 상기 딥비아는 동일한 금속을 포함하는 반도체칩.

**청구항 4**

제 3 항에 있어서, 상기 탐메탈, 상기 범프 및 상기 딥비아는 구리 및 텅스텐 중 적어도 하나를 포함하는 반도체칩.

**청구항 5**

반도체기판 상에 반도체소자를 형성하는 단계;

상기 반도체소자를 덮는 층간절연막을 형성하는 단계;

상기 층간절연막 상에 상기 반도체소자와 전기적으로 연결되는 탐메탈을 형성하는 단계;

상기 층간절연막 상에 상기 탐메탈의 일부를 노출하는 홀을 포함하는 보호막을 형성하는 단계;

상기 반도체기판 및 상기 층간절연막을 관통하는 딥비아를 형성하는 단계;

상기 탐메탈 및 상기 딥비아의 적어도 일부를 덮는 연결배선을 형성하는 단계; 및

상기 탐메탈 및 상기 연결배선에 직접 접촉하는 범프를 전기도금 방식에 의해서 형성하는 단계를 포함하는 반도체칩의 제조 방법.

**청구항 6**

제 5 항에 있어서,

상기 범프를 형성하는 단계는,

상기 연결배선 상에 금속층을 형성하는 단계;

상기 금속층 상에 상기 탐메탈에 대응하는 홈이 형성된 포토레지스트 패턴을 형성하는 단계;

상기 홈 내측에 전기도금 방식에 의해서 금속을 채우는 단계; 및

상기 홈 내측에 채워진 금속 및 상기 금속층의 적어도 일부를 식각하는 단계를 포함하는 반도체칩의 제조방법.

**청구항 7**

제 1 반도체기판 상에 배치되는 제 1 반도체소자; 상기 제 1 반도체소자를 덮는 층간절연막; 상기 층간절연막 상에 배치되며, 상기 제 1 반도체소자와 전기적으로 연결되는 제 1 탐메탈; 상기 층간절연막 및 상기 제 1 탐메탈 상에 배치되며, 상기 제 1 탐메탈의 일부를 노출하는 홀을 포함하는 보호막; 상기 제 1 반도체기판 및 상기 층간절연막을 관통하는 제 1 뱃비아; 상기 제 1 뱃비아 및 상기 제 1 탐메탈을 전기적으로 연결하는 제 1 연결 배선; 및 상기 제 1 탐메탈 및 상기 제 1 연결배선과 직접 접촉하고, 상기 홀 내측에 전체적으로 채워지는 제 1 범프를 포함하는 제 1 반도체칩; 및

상기 제 1 반도체칩 상에 적층되며, 상기 제 1 범프와 접촉하는 제 2 뱃비아를 포함하는 제 2 반도체칩을 포함하는 반도체칩 적층 패키지.

**청구항 8**

제 7 항에 있어서, 상기 제 2 반도체칩은 제 2 반도체기판 상에 배치되는 제 2 반도체소자, 상기 제 2 반도체소자와 연결되는 제 2 탐메탈, 상기 제 2 탐메탈과 접촉하는 제 2 범프 및 상기 제 2 뱃비아와 상기 제 2 탐메탈을 연결하는 제 2 연결배선을 포함하는 반도체칩 적층 패키지.

**청구항 9**

제 8 항에 있어서, 상기 제 2 반도체칩 상에 배치되며, 상기 제 2 범프와 접촉하는 회로기판을 포함하는 반도체칩 적층 패키지.

**청구항 10**

제 7 항에 있어서, 상기 제 1 탐메탈, 상기 제 1 뱃비아 및 상기 제 1 범프는 동일한 금속을 포함하는 반도체칩 적층 패키지.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 실시예는 반도체칩, 이의 제조 방법 및 반도체칩 적층 패키지에 관한 것이다.

**배경기술**

<2> 현재의 전자제품 시장은 휴대용으로 급격히 확대되고 있다. 휴대용 전자제품에 실장되는 부품들은 경박단소화 되어야 한다. 부품들의 경박단소화를 위해서, 실장 부품인 반도체 패키지의 개별 크기를 줄이는 기술, 다수개의 개별 반도체 칩들을 원 칩(one chip)화 하는 SOC(system on chip)기술 및 다수 개의 개별 반도체 칩들을 하나의 패키지로 집적하는 SIP(system in package)기술들이 필요하다.

<3> 다수 개의 개별 반도체 칩들을 하나의 패키지로 집적할 때, 패키지의 물리적인 강도가 향상되어야 하며, 패키지 안에 배치된 칩들 사이의 성능 및 신뢰도가 향상되어야 한다.

**발명의 내용**

**해결하고자하는 과제**

<4> 실시예는 성능이 향상된 반도체칩 적층 패키지를 제조할 수 있는 반도체칩을 제공하고자 한다.

**과제 해결수단**

<5> 실시예에 따른 반도체칩은 반도체기판, 상기 반도체기판 상에 배치되는 반도체소자, 상기 반도체소자를 덮는 층간절연막, 상기 층간절연막 상에 배치되며, 상기 반도체소자와 전기적으로 연결되는 탐메탈, 상기 반도체기판 및 상기 층간절연막을 관통하는 뱃비아 및 상기 뱃비아와 상기 탐메탈을 전기적으로 연결하는 연결배선을 포함한다.

**효과**

- <6> 실시예에 따른 반도체칩은 다수 개가 적층될 수 있고, 이때, 서로 인접하여 적층되는 각각의 반도체칩들의 탑메탈과 딥비아에 접촉하여, 전기적으로 연결될 수 있다.
- <7> 이때, 범프, 탑메탈 및 딥비아로 사용되는 금속이 동일한 경우에, 반도체칩들 사이에 전기적인 신호가 잘 오고 갈 수 있다.
- <8> 즉, 실시예에 따른 반도체칩으로 형성된 반도체칩 적층 패키지는 보다 향상된 성능을 가진다.

**발명의 실시를 위한 구체적인 내용**

- <9> 도 1은 실시예에 따른 반도체칩의 단면도이다.
- <10> 도 1을 참조하면, 실시예에 따른 반도체칩은 반도체기판(110), 반도체소자(120), 층간절연막(130), 탑메탈(140), 딥비아(150), 연결배선(160) 및 범프(170)를 포함한다.
- <11> 상기 반도체기판(110)은 예를 들어, 플레이트 형상을 가지는 실리콘 웨이퍼이다. 상기 반도체기판(110)으로 사용될 수 있는 물질의 예로서는 단결정 실리콘(single crystalline silicon) 등을 들 수 있다. 상기 반도체기판(110)의 두께(H)는 예를 들어, 약 40 내지 60 $\mu$ m이다.
- <12> 상기 반도체소자(120)는 상기 반도체기판(110) 상에 형성된다. 상기 반도체소자(120)의 예로서는 디모스 트랜지스터(DMOS transistor), 씨모스 트랜지스터(CMOS transistor), 바이정션 트랜지스터(bi-junction transistor), 다이오드(diode) 등을 들 수 있다. 상기 반도체소자(120)는 게이트 전극, 소오스 전극, 드레인 전극 및 채널영역 등을 포함할 수 있다.
- <13> 상기 층간절연막(130)은 상기 반도체기판(110) 상에 형성된다. 상기 층간절연막(130)은 상기 반도체소자(120)를 덮는다. 상기 층간절연막(130)으로 사용될 수 있는 물질의 예로서는 붕소인 실리케이트 유리(boro-phospho silicate glass;BPSG) 또는 도핑되지 않은 실리케이트 유리(undoped silicate glass;USG) 등을 들 수 있다.
- <14> 상기 탑메탈(140)은 상기 층간절연막(130) 상에 배치된다. 상기 탑메탈(140)은 상기 층간절연막(130)을 관통하는 비아(141)들에 의해서 상기 반도체소자(120)에 전기적으로 연결된다. 상기 탑메탈(140) 및 상기 비아(141)들로 사용될 수 있는 물질의 예로서는 구리(Cu) 또는 텅스텐(W) 등을 들 수 있다.
- <15> 상기 탑메탈(140)의 측면에는 절연층(131)이 배치되어서 상기 탑메탈(140)의 측면을 절연한다. 또한, 상기 층간절연막(130) 상에, 상기 탑메탈(140)의 일 측에 다수 개의 배선패턴(142)들이 형성될 수 있다.
- <16> 또한, 상기 탑메탈(140), 상기 절연층(131), 상기 배선패턴(142) 상에는 상기 탑메탈(140)의 적어도 일부를 노출하는 보호막(132) 및 버퍼막(133)이 배치된다.
- <17> 상기 딥비아(150)는 상기 반도체기판(110), 상기 층간절연막(130), 상기 절연층(131), 상기 보호막(132)을 관통하여 형성된다. 상기 딥비아(150)는 하단면(151)을 노출하며, 상기 딥비아(150)의 상단면(152)은 상기 연결배선(160)에 접촉한다.
- <18> 예를 들어, 상기 딥비아(150)의 폭은 약 1 내지 100 $\mu$ m이며, 상기 딥비아(150)의 길이는 약 1 내지 300 $\mu$ m일 수 있다.
- <19> 상기 딥비아(150)로 사용될 수 있는 물질의 예로서는 구리 또는 텅스텐 등을 들 수 있으며, 상기 딥비아(150)는 배리어 메탈층(153) 및 상기 버퍼막(133)에 의해서 둘러 싸여있다.
- <20> 즉, 상기 딥비아(150)는 상기 반도체기판(110), 상기 층간절연막(130), 상기 절연층(131), 상기 보호막(132)을 관통하는 딥비아홀(150a) 내측에 배치되며, 상기 버퍼막(133)은 상기 딥비아홀(150a) 내측면 상에 배치되며, 상기 배리어 메탈층(153)은 상기 버퍼막(133) 상에 배치된다.
- <21> 상기 버퍼막(133)으로 사용되는 물질의 예로서는 실리콘 산화물, 실리콘 질화물 또는 산화실리콘 나이트라이드(SiON) 등을 들 수 있으며, 상기 버퍼막(133)은 상기 딥비아(150)와 외측에 배치되는 다수 개의 레이어들(110,130,131,132)을 서로 차단한다. 더 자세하게, 상기 반도체기판(110)에 실리콘사이드가 형성되는 것을 막는다.
- <22> 상기 배리어 메탈층(153)으로 사용되는 물질의 예로서는 탄탈륨(Ta), 탄탈륨 나이트라이드(TaN), 탄탈륨 실리콘 나이트라이드(TaSiN), 티타늄 실리콘 나이트라이드(TiSiN), 루비듐(꺾) 등을 들 수 있다. 상기 배리어 메탈층(153)은 상기 딥비아(150) 및 상기 다수 개의 레이어들(110,130,131,132)을 서로 차단한다.

- <23> 상기 연결배선(160)은 상기 탐메탈(140) 및 상기 덩비아(150)를 전기적으로 연결한다. 상기 연결배선(160)은 상기 탐메탈(140)의 일부를 덮고, 상기 덩비아(150)의 상단면(152)을 덮는다. 상기 연결배선(160)으로 사용되는 물질의 예로서는 탄탈륨 등을 들 수 있다.
- <24> 상기 범프(170)는 상기 탐메탈(140) 상에 배치된다. 상기 범프(170)는 상기 탐메탈(140) 및 상기 연결배선(160)에 접촉하며, 전기적으로 연결된다. 상기 범프(170)는 반도체칩의 상면에 돌출되어 형성되며, 다른 반도체칩의 덩비아 또는 회로기관(300)의 접속패드(310) 등과 접촉하여 전기적으로 연결될 수 있다.
- <25> 상기 범프(170)로 사용되는 물질의 예로서는 구리 또는 텅스텐 등을 들 수 있다.
- <26> 이때, 상기 탐메탈(140), 상기 덩비아(150) 및 상기 범프(170)는 동일한 금속을 포함한다. 즉, 상기 탐메탈(140), 상기 덩비아(150) 및 상기 범프(170)는 동일한 금속으로 이루어진다.
- <27> 따라서, 상기 범프(170) 및 상기 탐메탈(140) 사이의 저항을 줄일 수 있다. 또한, 상기 탐메탈(140) 및 상기 범프(170)사이의 결합력이 향상된다.
- <28> 또한, 상기 범프(170)가 다른 반도체칩의 덩비아와 연결될 때, 다른 반도체칩의 덩비아가 상기 범프(170)와 같은 금속으로 이루어진 경우, 상기 범프(170)와 다른 반도체칩의 덩비아와의 저항이 감소되고, 결합력이 향상된다.
- <29> 따라서, 실시예에 따른 반도체칩은 성능이 보다 향상되며, 전기저항이 낮고, 결합력이 향상된 반도체칩 적층패키지를 형성할 수 있다.
- <30> 도 2a 내지 도 21은 실시예에 따른 반도체칩의 제조방법에 따른 공정을 도시한 단면도들이다.
- <31> 도 2a를 참조하면, 반도체기관(110) 상에 반도체소자(120)들이 형성되고, 상기 반도체소자(120)들을 덮는 층간절연막(130)이 형성된다. 또한, 상기 층간절연막(130)을 관통하며, 상기 반도체소자(120)들에 전기적으로 연결되는 비아(141)들이 형성된다. 이후, 상기 층간절연막(130) 상에 절연층(131)이 형성되고, 패터닝 되어 상기 비아(141)들을 노출하는 홈이 형성된다.
- <32> 상기 홈 내측에 금속이 채워지고, 상기 금속 및 상기 절연층(131)이 화학적 기계적 연마(chemical mechanical polishing;CMP)공정에 의해서 평탄화되고, 상부가 노출된 탐메탈(140) 및 배선패턴(142)들이 형성된다.
- <33> 상기 비아(141)들, 탐메탈(140) 및 배선패턴(142)으로 사용될 수 있는 물질의 예로서는 구리(Cu) 및 텅스텐(W) 등을 들 수 있다.
- <34> 도 2b를 참조하면, 상기 CMP공정 후에, 상기 탐메탈(140) 및 상기 절연층(131)을 덮는 보호막(132)이 형성된다. 상기 보호막(132)으로 사용될 수 있는 물질의 예로서는 실리콘 질화물 또는 실리콘 카바이트(SiC) 등을 들 수 있으며, 상기 보호막(132)은 100 내지 1000Å의 두께로, PECVD 공정에 의해서 증착된다.
- <35> 도 2c를 참조하면, 상기 보호막(132)이 형성된 후, 상기 반도체기관(110)의 일부, 상기 층간절연막(130), 상기 절연층(131) 및 상기 보호막(132)을 관통하는 덩비아홀(150a)이 형성된다. 예를 들어, 상기 덩비아홀(150a)의 폭은 약 1 내지 100 $\mu$ m이며, 상기 덩비아홀(150a)의 깊이는 약 1 내지 300 $\mu$ m이다.Å
- <36> 상기 덩비아홀(150a)은 마스크 공정에 의해서 형성될 수 있다.
- <37> 도 2d를 참조하면, 상기 덩비아홀(150a)이 형성된 후, 상기 보호막(132) 상 및 상기 덩비아홀(150a) 내측면 상에 실리콘 산화물, 실리콘 질화물 및 산화실리콘 나이트라이드 등의 물질이 PECVD 공정 등에 의해서, 1000 내지 20000Å의 두께로 증착되어 버퍼막(133)이 형성된다.
- <38> 상기 버퍼막(133)이 형성된 후, 상기 버퍼막(133) 상에 탄탈륨, 탄탈륨 나이트라이드, 탄탈륨 실리콘 나이트라이드, 티타늄 실리콘 나이트라이드 및 루비듐 중 적어도 하나의 물질이 증착된다.
- <39> 이때, 상기 물질들은 약 100 내지 2000Å의 두께로, PVD, CVD 또는 ALD 공정에 의해서 증착되어, 배리어 금속층(153)이 형성된다.
- <40> 이후, 상기 배리어 금속층(153) 내측에 금속 시드층이 형성되고, 전기 도금 방식에 의해서, 상기 덩비아홀(150a) 내측에 구리 또는 텅스텐과 같은 덩비아 형성을 위한 금속(150b)이 채워진다.
- <41> 도 2e를 참조하면, 상기 덩비아홀(150a) 내측에 덩비아 형성을 위한 금속(150b)이 채워진 후, CMP 공정에 의해서, 상기 배리어 금속층(153) 상에 형성된 덩비아 형성을 위한 금속(150b)이 제거되고, 상기 배리어 금속층(153)의 일부(153c)가 제거되어, 덩비아(150)가 형성된다.

- <42> 도 2f를 참조하면, 상기 버퍼막(133) 상에 질화막(134)이 형성되는데, 상기 질화막(134)으로 사용되는 물질의 예로서는 실리콘 질화물 등을 들 수 있다. 상기 질화막(134)은 상기 딥비아(150)의 산화를 막는다.
- <43> 도 2g를 참조하면, 마스크 공정에 의해서, 상기 탐메탈(140)의 상부에 배치되는 질화막(134), 버퍼막(133) 및 보호막(132)의 일부가 제거된다.
- <44> 이때, 상기 탐메탈(140)의 상부에 배치되는 상기 보호막(132)의 일부는 소정의 두께(T1) 만큼 남기고 제거된다. 이때, 상기 두께(T1)는 상기 질화막(134)의 두께(T2)와 실질적으로 동일하다. 상기 두께(T1)는 예를 들어, 약 100 내지 1000Å일 수 있다.
- <45> 도 2h를 참조하면, 블랭킷 에칭 공정에 의해서, 상기 질화막(134) 및 상기 보호막(132)의 일부가 제거되어, 상기 탐메탈(140)의 적어도 일부가 노출된다.
- <46> 도 2i를 참조하면, 상기 반도체칩 전면에 제 1 금속층이 형성되고, 상기 제 1 금속층은 마스크 공정에 의해서 패터닝되어, 상기 딥비아(150)의 상면의 전부 및 상기 탐메탈(140)의 일부를 덮는 연결배선(160)이 형성된다.
- <47> 상기 제 1 금속층으로 사용되는 물질의 예로서는 탄탈륨 등을 들 수 있다.
- <48> 도 2j를 참조하면, 다시 반도체칩 전면에 상기 탐메탈(140)로 사용되는 금속과 동일한 제 2 금속층(171)이 형성된다.
- <49> 도 2k를 참조하면, 이후, 상기 제 2 금속층(171) 상에 상기 탐메탈(140)에 대응하는 홈(172a)이 형성된 포토레지스트 패턴(172)이 형성되고, 상기 탐메탈(140) 상에 상기 탐메탈(140)로 사용되는 금속과 동일한 물질이 상기 홈(172a) 내측에, 전기도금 방식에 의해서 채워지고, 범프(170)가 형성된다.
- <50> 상기 포토레지스트 패턴(172)의 높이는 약 5 내지 50 $\mu\text{m}$ 이고, 상기 범프(170)의 높이는 약 3 내지 50 $\mu\text{m}$ 이다.
- <51> 도 2l을 참조하면, 이후, 상기 포토레지스트 패턴(172)이 제거되고, 등방성 식각에 의해서, 상기 범프의 일부(170a) 및 상기 제 2 금속층(171)이 제거된다. 이때, 식각액으로 사용되는 물질의 예로서는 질산 등을 들 수 있다.
- <52> 이후, CMP공정 등에 의해서, 상기 반도체기판(110)의 하부가 제거되고, 상기 딥비아(150)의 하단면(151)이 노출된다. 이때, 남아있는 반도체기판(110)의 두께는 약 40 내지 60 $\mu\text{m}$ 이다.
- <53> 도 3은 실시예에 따른 반도체칩 적층 패키지를 도시한 단면도이다. 여기서, 제 1 반도체칩 및 제 2 반도체칩에 관하여, 앞서 설명한 반도체칩을 참조한다.
- <54> 도 3을 참조하면, 반도체칩 적층 패키지는 제 1 반도체칩(100), 제 2 반도체칩(200) 및 회로기판(300)을 포함한다.
- <55> 상기 제 1 반도체칩(100)은 제 1 반도체기판(110), 제 1 반도체소자(120), 제 1 층간절연막(130), 제 1 탐메탈(140), 제 1 딥비아(150), 제 1 연결배선(160) 및 제 1 범프(170)를 포함한다.
- <56> 상기 제 1 반도체소자(120)는 상기 제 1 반도체기판(110) 상에 배치되고, 상기 제 1 층간절연막(130)은 상기 제 1 반도체소자(120)를 덮는다.
- <57> 상기 제 1 탐메탈(140)은 상기 제 1 반도체소자(120)에 전기적으로 연결되며, 상기 제 1 층간절연막(130) 상에 배치된다.
- <58> 상기 제 1 딥비아(150)는 상기 제 1 반도체기판(110) 및 상기 제 1 층간절연막(130)을 관통하며, 상기 제 1 연결배선(160)에 의해서, 상기 제 1 탐메탈(140)에 전기적으로 연결된다.
- <59> 상기 제 1 범프(170)는 상기 제 1 탐메탈(140)에 접촉하여 배치된다.
- <60> 또한, 상기 제 1 범프(170)는 상기 반도체칩의 상면 상에 돌출되어 형성된다.
- <61> 상기 제 1 범프(170), 상기 제 1 탐메탈(140) 및 상기 제 1 딥비아(150)는 동일한 금속으로 이루어진다.
- <62> 상기 제 2 반도체칩(200)은 상기 제 1 반도체칩(100)상에 배치되며, 상기 제 2 반도체 칩은 제 2 반도체기판(210), 제 2 반도체소자(210), 제 2 층간절연막(230), 제 2 탐메탈(240), 제 2 딥비아(250), 제 2 연결배선(260) 및 제 2 범프(270)를 포함한다.
- <63> 상기 제 2 반도체소자(210)는 상기 제 2 반도체기판(210) 상에 배치되고, 상기 제 2 탐메탈(240)에 전기적으로

연결된다. 또한, 상기 제 2 탐메탈(240)은 상기 제 2 딥비아(250)에 상기 제 2 연결배선(260)에 의해서 연결된다.

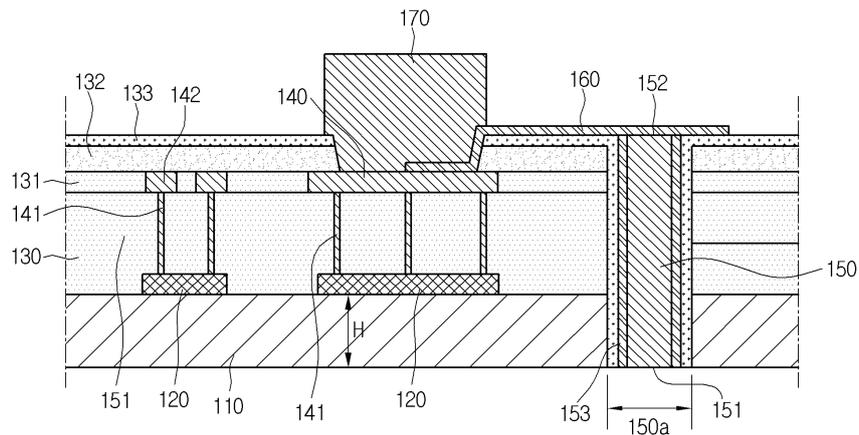
- <64> 상기 제 2 딥비아(250)는 상기 제 2 층간절연막(230) 및 상기 제 2 반도체기판(210)을 관통하며, 상기 제 2 딥비아(250)의 하단면(151)은 상기 제 1 범프(170)에 접촉하며, 전기적으로 연결된다.
- <65> 상기 제 2 범프(270)는 상기 제 2 탐메탈(240)에 접촉하며 상기 제 2 탐메탈(240)상에 배치된다.
- <66> 여기서, 상기 제 2 범프(270), 상기 제 2 탐메탈(240) 및 상기 제 2 딥비아(250)는 동일한 금속으로 이루어지며, 상기 제 1 범프(170), 상기 제 1 탐메탈(140) 및 상기 제 1 딥비아(150)와 동일한 금속으로 이루어진다.
- <67> 상기 회로기판(300)은 상기 제 2 반도체칩(200) 상에 배치된다. 상기 제 2 회로기판(300)은 외부에 노출되며, 도전체인 패드(310)를 포함하며, 상기 패드(310)는 상기 제 2 범프(270)와 접촉하며, 전기적으로 연결된다.
- <68> 상기 제 1 범프(170), 상기 제 1 탐메탈(140), 상기 제 1 딥비아(150), 상기 제 2 범프(270), 상기 제 2 탐메탈(240) 및 상기 제 2 딥비아(250)는 동일한 금속으로 이루어진다.
- <69> 따라서, 상기 제 1 범프(170) 및 상기 제 2 딥비아(250) 사이의 연결저항, 상기 제 1 범프(170) 및 상기 제 1 탐메탈(140) 사이의 연결저항 및 상기 제 2 범프(270) 및 상기 제 2 탐메탈(240) 사이의 연결저항이 작다.
- <70> 따라서, 실시예에 따른 반도체칩 적층 패키지는 보다 향상된 성능을 가진다.
- <71> 또한, 상기 제 1 범프(170) 및 상기 제 2 딥비아(250) 사이의 결합력 및 상기 제 1 범프(170)와 상기 제 1 탐메탈(140) 사이의 결합력 높다.
- <72> 따라서, 실시예에 따른 반도체칩 적층 패키지는 보다 강한 내구성을 가진다.

**도면의 간단한 설명**

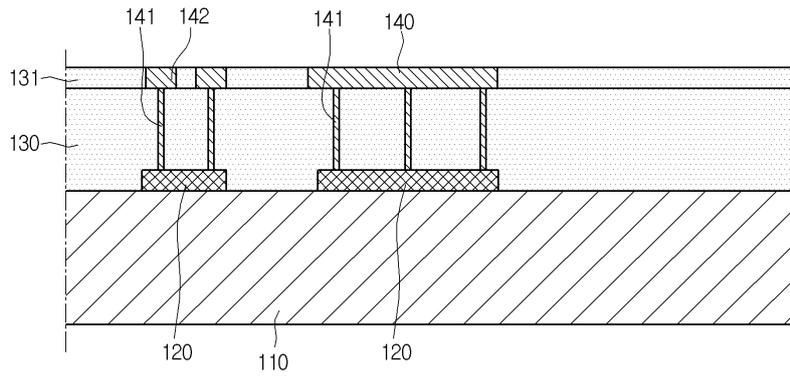
- <73> 도 1은 실시예에 따른 반도체칩의 단면도이다.
- <74> 도 2a 내지 도 2i는 실시예에 따른 반도체칩의 제조방법에 따른 공정을 도시한 단면도들이다.
- <75> 도 3은 실시예에 따른 반도체칩 적층 패키지를 도시한 단면도이다.

**도면**

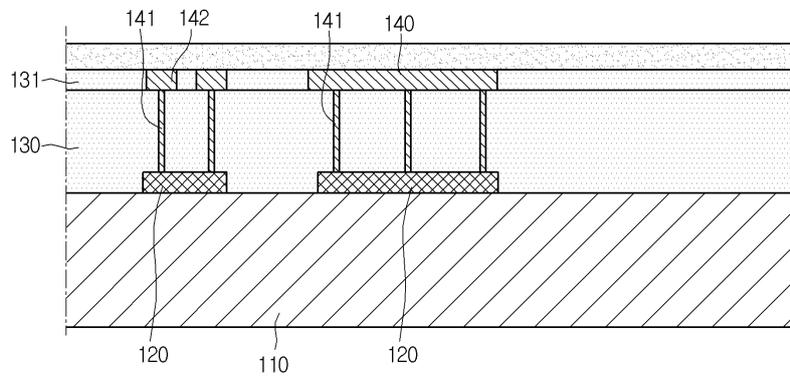
**도면1**



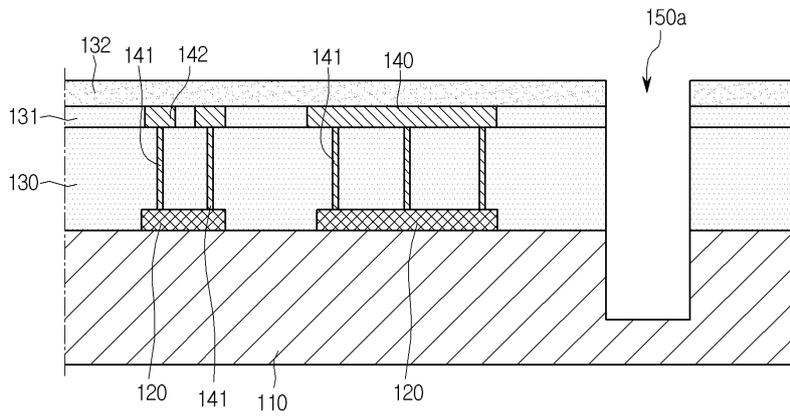
도면2a



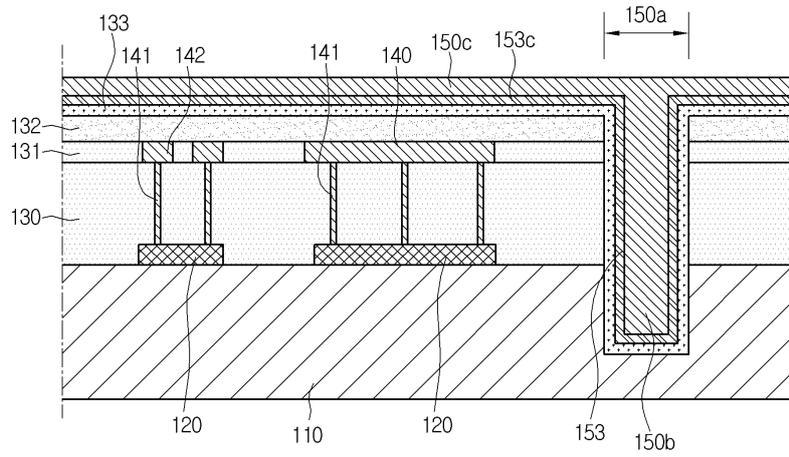
도면2b



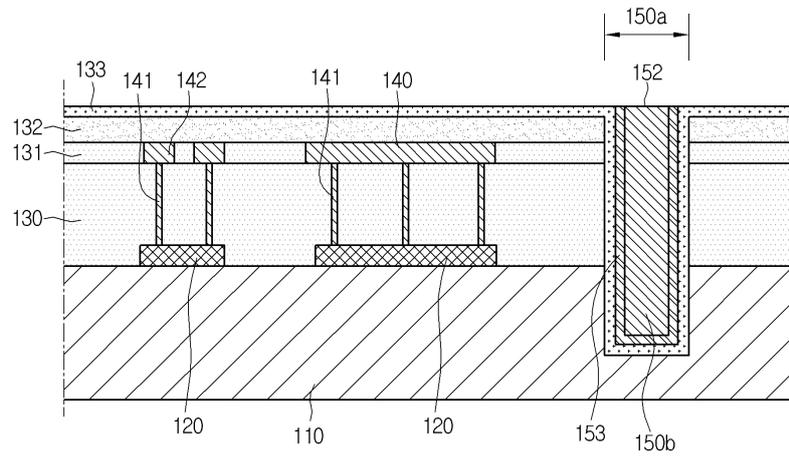
도면2c



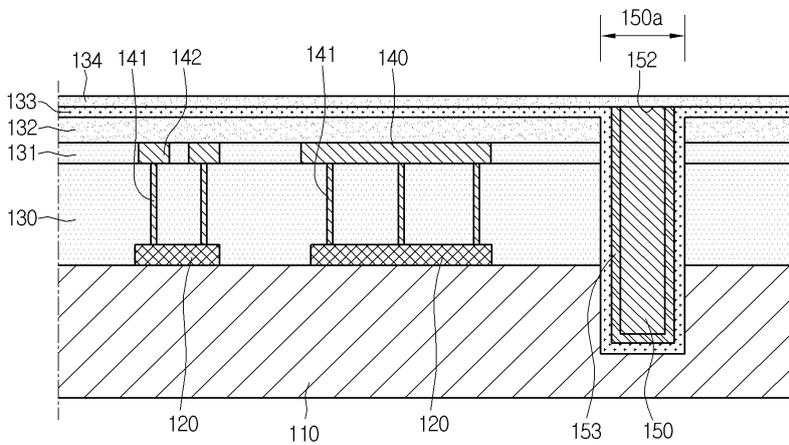
도면2d



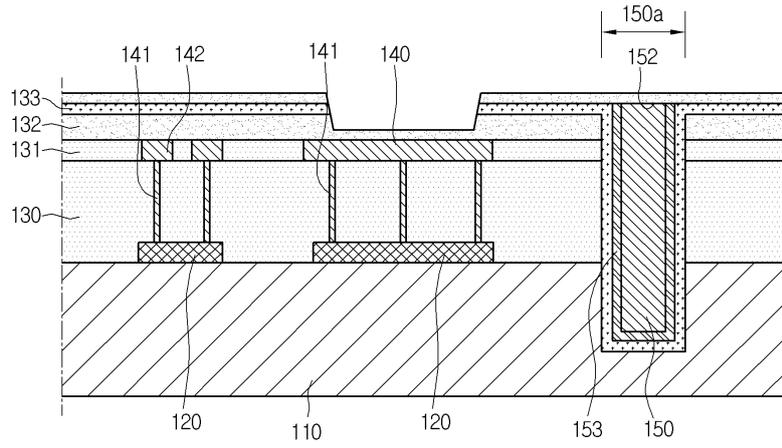
도면2e



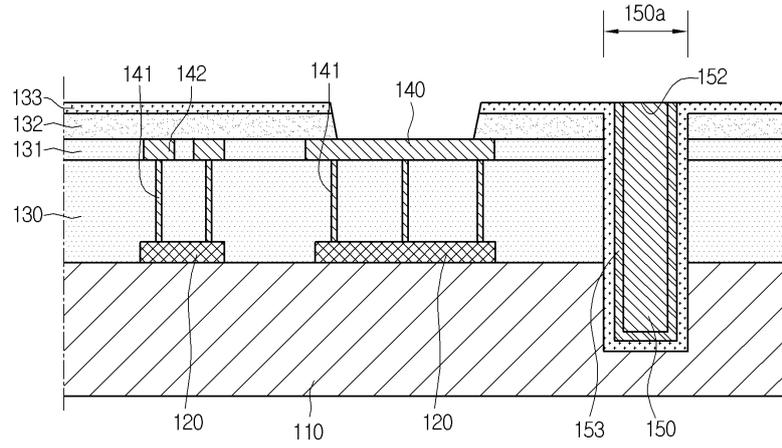
도면2f



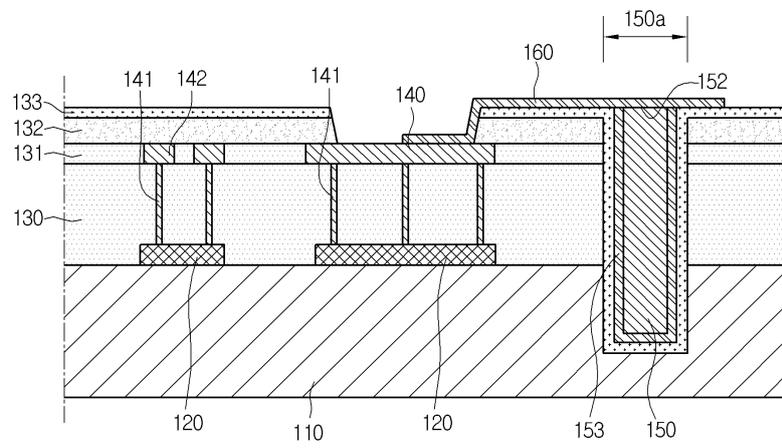
도면2g



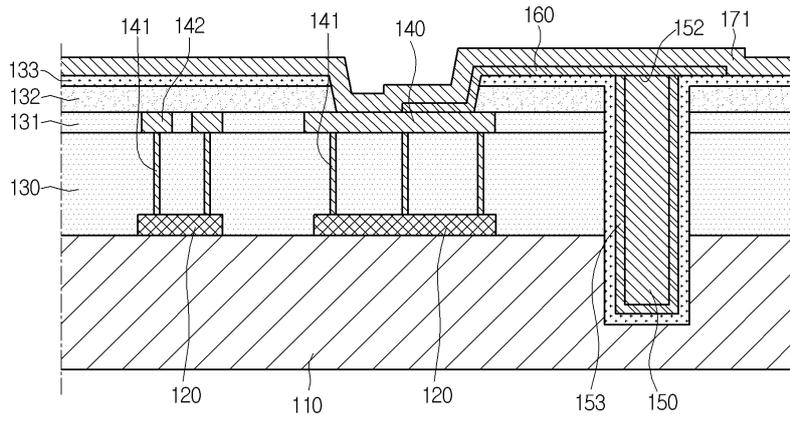
도면2h



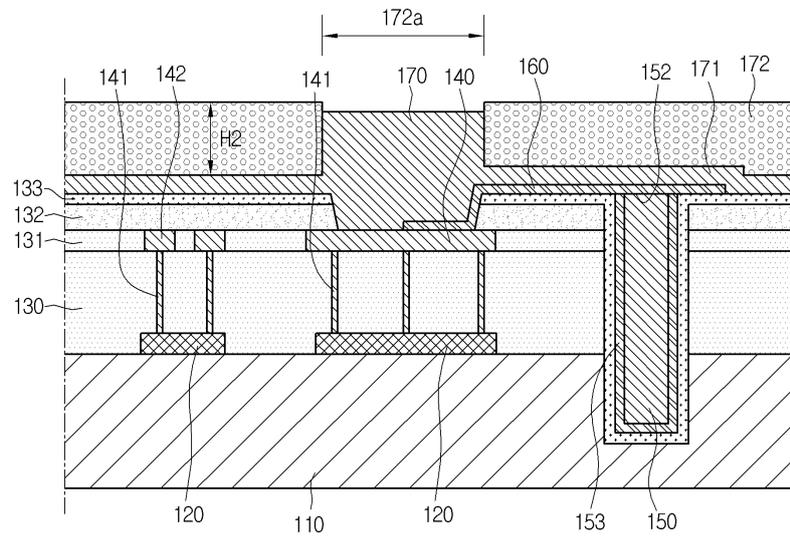
도면2i



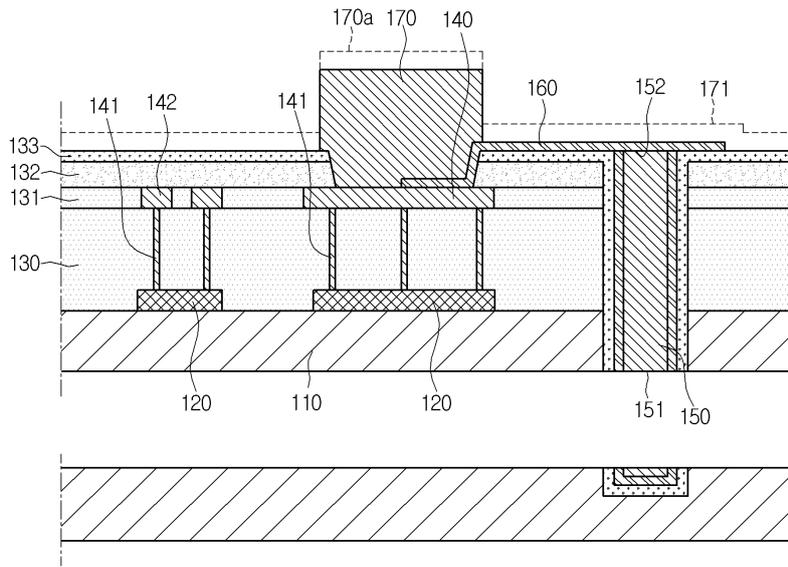
도면2j



도면2k



도면21



도면3

