

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G06F 13/40 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200610126229.5

[45] 授权公告日 2009年1月14日

[11] 授权公告号 CN 100452010C

[22] 申请日 2006.8.25

[21] 申请号 200610126229.5

[30] 优先权

[32] 2005.9.22 [33] KR [31] 2005-88187

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 康龙真

[56] 参考文献

US2004/0062068A1 2004.4.1

US6457071B1 2002.9.24

EP1189144A2 2002.3.20

CN1482526A 2004.3.17

审查员 俞立文

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 戎志敏

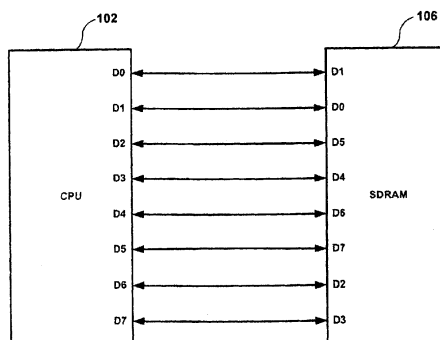
权利要求书 5 页 说明书 8 页 附图 4 页

[54] 发明名称

数据传输线的布线方法和使用该方法的印刷  
线路板组件

[57] 摘要

一种对在 CPU 和 DRAM 之间的数据传输线进行  
布线的方法，其中 CPU 包括由一组插针编号标识的  
CPU 数据插针，DRAM 也包括由一组插针编号标识  
的 DRAM 数据插针，该方法包括使用数据传输线连  
接 CPU 的数据插针和 DRAM 的数据插针，数据传  
输线包括比特单位数据传输线，这样比特单位数据  
传输线不会彼此交叉并且 CPU 数据插针的插针编  
号和 DRAM 数据插针的插针编号不匹配。



1. 一种对在 CPU 和 DRAM 之间的数据传输线进行布线的方法，其中 CPU 包括由一组插针编号标识的 CPU 数据插针，DRAM 包括由该组插针编号标识的 DRAM 数据插针，所述方法包括：

通过包括比特单位数据传输线的数据传输线连接至少两个 CPU 数据插针和至少两个相应的 DRAM 数据插针，从而使比特单位数据传输线不会彼此交叉，而且至少两个 CPU 数据插针的插针编号不匹配于至少两个 DRAM 数据插针的插针编号。

2. 根据权利要求 1 所述的方法，其中至少一些没有彼此交叉的比特单位数据传输线从 CPU 的角度看组成了单一字节单位的数据传输线，而不管所述至少一些没有彼此交叉的比特单位数据传输线从 DRAM 的角度看是否组成了两个还是更多个字节单位的数据传输线的部分。

3. 一种对在 CPU 和 SDRAM 之间的数据传输线进行布线的方法，其中 CPU 包括由一组插针编号标识的 CPU 数据插针，SDRAM 包括由该组插针编号标识的 SDRAM 数据插针，所述方法包括：

通过包括比特单位数据传输线的数据传输线连接至少两个 CPU 数据插针和至少两个相应的 SDRAM 数据插针，从而使比特单位数据传输线不会彼此交叉，而且至少两个 CPU 数据插针的插针编号不匹配于至少两个 SDRAM 数据插针的插针编号。

4. 根据权利要求 3 所述的方法，其中至少一些没有彼此交叉的比特单位数据传输线从 CPU 的角度看组成了单一字节单位的数据传输线，而不管所述至少一些没有彼此交叉的比特单位数据传输线从 SDRAM 的角度看是否组成了两个还是更多个字节单位的数据传输线的部分。

5. 一种对在 CPU 和 DRAM 之间的数据传输线进行布线的方法，其中 CPU 包括具有第一种排列的 CPU 数据插针，DRAM 包括具有不同于第一种排列的第二种排列的 DRAM 数据插针，所述方法包括：

通过包括比特单位数据传输线的数据传输线连接至少两个 CPU

数据插针和至少两个相应的 DRAM 数据插针,从而使比特单位数据传输线不会彼此交叉,而且至少两个 CPU 数据插针的有效位级别不匹配于相对应的所述至少两个 DRAM 数据插针的有效位级别。

6. 根据权利要求 5 所述的方法,其中所述连接 CPU 数据插针和 DRAM 数据插针是按照插针对插针的方式进行,不考虑 CPU 数据插针的第一种排列和 DRAM 数据插针的第二种排列。

7. 根据权利要求 5 所述的方法,其中:

CPU 数据插针具有由 D0-Dn 表示的不同的有效位级别, D0-Dn 按照第一种顺序排列,这里  $n \geq 1$ ;

DRAM 数据插针也具有由 D0-Dn 所表示的不同的有效位级别,但 D0-Dn 按照不同于第一种顺序的第二种顺序来排列。

8. 根据权利要求 5 所述的方法,其中:

CPU 数据插针具有由 D0、D1、D2、D3、D4、D5、D6 和 D7 所表示的不同的有效位级别, D0、D1、D2、D3、D4、D5、D6 和 D7 按照第一种顺序排列;

DRAM 数据插针也具有由 D0、D1、D2、D3、D4、D5、D6 和 D7 所表示的不同的有效位级别,但 D0、D1、D2、D3、D4、D5、D6 和 D7 按照不同于第一种顺序的第二种顺序来排列;以及

利用相应的比特单位数据传输线,至少两个 CPU 数据插针分别连接到至少两个 DRAM 数据插针,从而使所述至少两个 CPU 数据插针的有效位级别不匹配于相对应的所述至少两个 DRAM 数据插针的有效位级别。

9. 根据权利要求 8 所述的方法,其中:

使 CPU 数据插针具有不同有效位级别的第一种排列是按照 D0、D1、D2、D3、D4、D5、D6 和 D7 的顺序;以及

使 DRAM 数据插针具有不同有效位级别的第二种排列是按照 D1、D0、D5、D4、D6、D7、D2 和 D3 的顺序。

10. 根据权利要求 8 所述的方法,其中:

使用相应的一条比特单位数据传输线,将具有由 D0 表示的有效位级别的 CPU 数据插针连接到具有由 D0 表示的有效位级别的 DRAM 数据插针以外的一个 DRAM 数据插针上;

使用相应的一条比特单位数据传输线，将具有由 D1 表示的有效位级别的 CPU 数据插针连接到具有由 D1 表示的有效位级别的 DRAM 数据插针以外的一个 DRAM 的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D2 表示的有效位级别的 CPU 数据插针连接到具有由 D2 表示的有效位级别的 DRAM 数据插针以外的一个 DRAM 的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D3 表示的有效位级别的 CPU 数据插针连接到具有由 D3 表示的有效位级别的 DRAM 数据插针以外的一个 DRAM 的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D4 表示的有效位级别的 CPU 数据插针连接到具有由 D4 表示的有效位级别的 DRAM 数据插针以外的一个 DRAM 的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D5 表示的有效位级别的 CPU 数据插针连接到具有由 D5 表示的有效位级别的 DRAM 数据插针以外的一个 DRAM 的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D6 表示的有效位级别的 CPU 数据插针连接到具有由 D6 表示的有效位级别的 DRAM 数据插针以外的一个 DRAM 的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D7 表示的有效位级别的 CPU 数据插针连接到具有由 D7 表示的有效位级别的 DRAM 数据插针以外的一个 DRAM 的数据插针上。

11. 根据权利要求 5 所述的方法，其中数据传输线一次传输一个字节的

12. 根据权利要求 5 所述的方法，其中所述 DRAM 是 SDRAM。

13. 一种印刷电路板组件，包括：

印刷电路板；

控制器，安装在印刷电路板表面，所述控制器包括具有第一种排列的控制器数据插针；

存储器，安装在安装有控制器的印刷电路板的表面，所述存储器包括具有不同于第一种排列的第二种排列的存储器数据插针；以及包括比特单位数据传输线的数据传输线，连接至少两个控制器

数据插针和至少两个存储器数据插针，所述至少两个存储器数据插针与所述至少两个控制器数据插针相对应，使得比特单位数据传输线中没有任何一条与任何另外一条比特单位数据传输线相交叉，数据传输线只提供在安装有控制器和存储器的印刷线路板的表面上，而且所述至少两个控制器数据插针的有效位级别不匹配于所述至少两个存储器数据插针的有效位级别。

14. 根据权利要求 13 所述的组件，其中数据传输线按插针对插针的方式来连接控制器的数据插针和存储器的数据插针，不考虑控制器数据插针的第一种排列和存储器数据插针的第二种排列。

15. 根据权利要求 13 所述的组件，其中：

控制器数据插针具有由 D0-Dn 表示的不同的有效位级别，D0-Dn 按照第一种顺序排列，这里  $n \geq 1$ ；

存储器数据插针也具有由 D0-Dn 所表示的不同的有效位级别，但 D0-Dn 按照不同于第一种顺序的第二种顺序来排列。

16. 根据权利要求 13 所述的组件，其中：

控制器数据插针具有由 D0、D1、D2、D3、D4、D5、D6 和 D7 所表示的不同的有效位级别，D0、D1、D2、D3、D4、D5、D6 和 D7 按照第一种顺序排列；

存储器数据插针也具有由 D0、D1、D2、D3、D4、D5、D6 和 D7 所表示的不同的有效位级别，但 D0、D1、D2、D3、D4、D5、D6 和 D7 按照不同于第一种顺序的第二种顺序来排列；以及

利用相应的比特单位数据传输线，至少两个控制器数据插针分别连接到至少两个存储器数据插针，从而使所述至少两个控制器数据插针的有效位级别不匹配于相对应的所述至少两个存储器数据插针的有效位级别。

17. 根据权利要求 16 所述的组件，其中：

使控制器数据插针具有不同有效位级别的第一种排列是按照 D0、D1、D2、D3、D4、D5、D6 和 D7 的顺序；以及

使存储器数据插针具有不同有效位级别的第二种排列是按照 D1、D0、D5、D4、D6、D7、D2 和 D3 的顺序。

18. 根据权利要求 16 所述的组件，其中：

使用相应的一条比特单位数据传输线，将具有由 D0 表示的有效位级别的控制器数据插针连接到具有由 D0 表示的有效位级别的存储器数据插针以外的一个存储器数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D1 表示的有效位级别的控制器数据插针连接到具有由 D1 表示的有效位级别的存储器数据插针以外的一个存储器的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D2 表示的有效位级别的控制器数据插针连接到具有由 D2 表示的有效位级别的存储器数据插针以外的一个存储器的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D3 表示的有效位级别的控制器数据插针连接到具有由 D3 表示的有效位级别的存储器数据插针以外的一个存储器的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D4 表示的有效位级别的控制器数据插针连接到具有由 D4 表示的有效位级别的存储器数据插针以外的一个存储器的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D5 表示的有效位级别的控制器数据插针连接到具有由 D5 表示的有效位级别的存储器数据插针以外的一个存储器的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D6 表示的有效位级别的控制器数据插针连接到具有由 D6 表示的有效位级别的存储器数据插针以外的一个存储器的数据插针上；

使用相应的一条比特单位数据传输线，将具有由 D7 表示的有效位级别的控制器数据插针连接到具有由 D7 表示的有效位级别的存储器数据插针以外的一个存储器的数据插针上。

19. 根据权利要求 13 所述的组件，其中数据传输线一次传输一个字节的

20. 根据权利要求 13 所述的组件，其中控制器是 CPU。

21. 根据权利要求 13 所述的组件，其中存储器是 DRAM。

22. 根据权利要求 21 所述的组件，其中 DRAM 是 SDRAM。

## 数据传输线的布线方法和使用该方法的印刷电路板组件

### 技术领域

本发明涉及数据传输线的布线方法,特别是在 CPU 和 SDRAM 之间的数据传输线的布线方法。

### 背景技术

印刷电路板是在上面安装芯片或其它电子组件的基板。印刷电路板由强化的玻璃纤维或塑料制成,并拥有将各个组件互相连接的铜电路。在系统中处于最重要角色的印刷电路板典型地是指主板或母板,其它处于较弱角色的、被插入主板插槽的印刷电路板典型地是指插件板或卡板。尽管早期的印刷电路板被设计为在其上安装独立的组件,近期的印刷电路板已经被设计为在其上安装超大规模集成电路。

在制造印刷电路板时,附着在强化的玻璃纤维或塑料上的铜薄层被涂上光致抗蚀剂。光致抗蚀剂被光照射,照射光穿过过上面具有电路图案的薄层,在光致抗蚀剂上形成电路图案的潜像。潜像被显影,不构成电路图案的任何部分的光致抗蚀剂部分被融解并洗掉。基板被浸入蚀刻槽,不受剩余光致抗蚀剂保护的铜薄层部分被蚀刻掉,从而在铜薄层上形成了与薄层上的电路图案相同的电路图案。

计算机的主板拥有用于连接外设模块到总线的连接器。通常,主板上装配有集成电路,例如 CPU、存储设备、系统控制器等。CPU、存储设备、系统控制器等执行多种数据处理操作来执行命令。为了做到这点,数据传输线被连接到集成的电路之间来发送和接收大量的数据。

数据传输线的代表实例包括 CPU 和存储设备之间的数据传输线。在串行数据传输中,数据可以在仅仅一条或两条数据传输线上传输,在并行数据传输中,数据通常以字节(例如一个字节包括 8 比特)为单位在多条数据传输线上传输,数据传输线的数目与每个字节包含的

比特数有关。

为了在 CPU 和存储设备之间对数条数据传输线的布线的的数据映射和一致性,布线经常被执行来匹配 CPU 的数据输入输出端的插针编号和存储设备的数据输入输出端的插针编号。

然而,当匹配插针编号后对数据传输线进行布线时,由于装配在 CPU 和存储设备周围的其它组件的存在,数据传输线之间的交叉不可避免地会发生。其结果是,数据传输线通过过孔被绕到基板的后面来防止由于数据传输线的交叉导致的数据传输线的短路。

然而,过孔导致了谐波的产生,也就是噪声,因此对数据传输的可靠性产生了不利的影 响。此外,通过过孔将数据传输线绕到基板的背面增加了一些比特单位数据传输线(也就是对应一个字节数据传输线中每个比特的数据传输线)的长度,导致一个字节中的比特不能统一地传输。此外,当堆叠多个基板时,基板之间的阻抗差可能导致其它问题。

## 发明内容

本发明提供了对在 CPU 和 SDRAM 之间的数据传输线进行布线的方法,该方法基于 SDRAM 的特性,通过对数据传输线进行布线,能够确保数据传输的可靠性且数据传输线彼此之间没有交叉。

依照本发明的一个方面,提供了对在 CPU 和 DRAM 之间的数据传输线进行布线的方法,其中 CPU 包括由一组插针编号确定的 CPU 数据插针,DRAM 包括由一组插针编号确定的 DRAM 数据插针,该方法包括使用包括比特单位数据传输线的数据传输线来连接 CPU 数据插针到 DRAM 数据插针,这样,比特单位数据传输线不会彼此交叉且不必匹配所有 CPU 数据插针的插针插针数目和 DRAM 数据插针插针的插针插针数目。

依照本发明的一个方面,至少一些比特单位数据传输线从 CPU 角度看可以组成单一的字节单位的数据传输线,而不管彼此不交叉的所述至少一些比特单位数据传输线从 DRAM 的角度看是否组成两个还是更多个字节单位的数据传输线。



依照本发明的另一个方面,提供了对在 CPU 和 SDRAM 之间的数据传输线进行布线的方法,其中 CPU 包括由一组插针编号确定的 CPU 数据插针, SDRAM 包括由一组插针编号确定的 SDRAM 数据插针,该方法包括使用包括比特单位数据传输线的数据传输线来连接 CPU 数据插针到 SDRAM 数据插针,这样,比特单位数据传输线不会彼此交叉且不必把所有 CPU 数据插针的插针编号与 SDRAM 数据插针的插针编号相匹配。

依照本发明的一个方面,彼此不交叉的至少一些比特单位数据传输线从 CPU 角度看可以组成单一的字节单位的数据传输线,而不管彼此不交叉的所述至少一些比特单位数据传输线从 SDRAM 的角度看是否组成两个还是更多个字节单位的数据传输线。

依照本发明的另一个方面,提供了对在 CPU 和 DRAM 之间的数据传输线进行布线的方法,其中 CPU 包括拥有第一种排列的数据插针, DRAM 包括拥有不同于第一种排列的第二种排列的插针。该方法包括数据传输线连接拥有第一种排列的 CPU 数据插针和拥有不同于第一种排列的第二种排列的 DRAM 数据插针,从而使数据传输线中没有任何两条线交叉。

依照本发明的另一个方面,一种印刷电路板组件包括印刷电路板;安装在印刷电路板表面的控制器,控制器包括控制拥有第一种排列的数据插针;安装在安装有控制器的印刷电路板表面的存储器,存储器包括拥有不同于第一种排列的第二种排列的存储器数据插针;和连接控制器数据插针和存储器数据插针的数据传输线,从而使数据传输线中没有任何两条线交叉,数据传输线只在安装有控制器和存储器的印刷电路板的表面被提供。

本发明的其它方面和/或优点将会在下文的描述中部分地加以说明,并且通过下文的描述会变得明显,或可以通过本发明的实施得到了解。

## 附图说明

通过下文结合附图对实施例的描述,本发明的这些和/或其它特性

和优势将会变得明显和更加易于理解，附图包括：

图 1 显示了 CPU 和 SDRAM 之间的连接图；

图 2 显示了图 1 所示 CPU 和 SDRAM 之间连接的字节单位数据传输线，数据传输线与 CPU 和 SDRAM 的插针编号相匹配；

图 3 显示了连接在图 1 和 2 所示的 CPU 和 SDRAM 之间的字节单位数据传输线在匹配了 CPU 和 SDRAM 的数据插针编号的情况下产生了交叉，其中 SDRAM 拥有不同于图 1 和 2 中的 SDRAM 的数据插针排列；以及

图 4 显示了图 1、2、3 所示的 CPU 和图 3 所示的 SDRAM 之间连接的依照本发明的一个实施例的字节单位数据传输线。

### 具体实施方式

以下将对本发明的实施例做详细的说明，其实例将会在附图中说明，整个文中相同的参考标号代表相同的元件。下文通过参考附图对实施例进行描述来解释本发明。

图 1 显示了 CPU102 和 SDRAM104 之间的连接图。SDRAM 是 DRAM 的一种。如图 1 所示，CPU102 和 SDRAM104 之间连接有用于多种控制信号的线、地址线和数据线。从 CPU102 发送到 SDRAM104 的控制信号包括 CPU\_CLOCK（CPU 时钟）、CS 信号（片选信号, Chip Select bar）、WE（写使能, Write Enable）、RAS（行地址选通, Row Address Strobe）、CAS（列地址选通, Column Address Strobe）等。地址信号和数据信号在地址线 A0-Am 和数据线 D0-Dn 上传输，其中的 n 可以是 7，对应于 8 比特字节数据，或是 n 为 15，对应于两个 8 比特字节数据，或 n 为 23，对应于三个 8 比特字节数据，或 n 为 31，对应于四个 8 比特字节数据，等。

图 2 显示了图 1 所示 CPU102 和 SDRAM104 之间连接的字节单位数据传输线，数据传输线与 CPU102 和 SDRAM104 的插针编号相匹配。CPU102 和 SDRAM104 的数据输入和输出端以相同的顺序被布置，也就是 D0、D1、D2、D3、D4、D5、D6 和 D7。D0、D1、D2、D3、D4、D5、D6 和 D7 表示拥有不同有效位级别的数据比特，典型地，

D0 表示最低有效数据位  $2^0 = 1$ , D7 表示最高有效数据位  $2^7 = 127$ 。如图 2 所示, 对数据传输线执行了理想的布线, 在 CPU102 的数据输入和输出端插针数目和 SDRAM104 的数据输入和输出端插针数目一一对应的情况下, 组成了单个字节单位的各个的比特单位的数据传输线没有产生交叉。也就是, CPU102 的插针 D0 连接到 SDRAM104 的插针 D0, CPU102 的插针 D1 连接到 SDRAM104 的插针 D1, 等。然而, 在实践中, 很难对数据传输线执行如图 2 所示的理想布线而不产生交叉, 因为在 CPU102 和 SDRAM104 之间安装有其它电路元件。

图 3 显示了连接在图 1 和 2 所示的 CPU102 和 SDRAM106 之间的字节单位数据传输线在匹配了 CPU102 和 SDRAM106 的数据插针编号的情况下产生了交叉, 其中 SDRAM106 拥有不同于图 1 和 2 中的 SDRAM104 的数据插针排列。SDRAM106 的数据输入和输出端和图 1、2 所示的 CPU102 的数据输入和输出端以及 SDRAM104 的数据输入和输出端有不同的布置。也就是, CPU102 和 SDRAM104 的数据输入和输出端按照 D0、D1、D2、D3、D4、D5、D6 和 D7 的顺序被布置, 而 SDRAM106 的数据输入和输出端按照 D1、D0、D5、D4、D6、D7、D2 和 D3 的顺序被布置。因此, 图 3 显示了当匹配 CPU102 插针编号和 SDRAM106 的插针编号时, 由于不同的插针布置导致比特单位数据传输线不可避免地产生交叉, 也就是, CPU102 的插针 D0 连接到 SDRAM106 的插针 D0, CPU102 的插针 D1 连接到 SDRAM106 的插针 D1, 等等。

如图 3 所示, 如果对匹配 CPU102 的数据输入和输出端的插针编号和 SDRAM106 的数据输入和输出端的插针编号的需求是处于第一位的, 由于 CPU102 和 SDRAM106 不同的插针布置导致比特单位数据传输线不可避免地产生交叉, 所以有必要形成过孔来避免比特单位数据传输线产生交叉。

图 4 显示了图 1、2、3 所示的 CPU102 和图 3 所示的 SDRAM106 之间连接的依照本发明一个实施例的字节单位数据传输线。如图 4 所示, 通过消除 CPU102 的数据输入和输出端的插针编号和 SDRAM106 的数据输入和输出端的插针编号一一匹配的需求, 比特单位数据传输

线能够被连接且彼此之间不产生交叉，从而避免了通过过孔将数据传输线绕到基板背面所引起的问题。

因此，如图 4 所示，通过连接 CPU102 的插针 D0 和 SDRAM106 的插针 D1，连接 CPU102 的插针 D1 和 SDRAM106 的插针 D0，连接 CPU102 的插针 D2 和 SDRAM106 的插针 D5，连接 CPU102 的插针 D3 和 SDRAM106 的插针 D4，连接 CPU102 的插针 D4 和 SDRAM106 的插针 D6，连接 CPU102 的插针 D5 和 SDRAM106 的插针 D7，连接 CPU102 的插针 D6 和 SDRAM106 的插针 D2，连接 CPU102 的插针 D7 和 SDRAM106 的插针 D3，比特单位数据传输线之间的交叉就可以被避免。

通常，当把两个存储器设备连接在一起时，由于数据映射的原因，有必要将每个存储器设备的插针编号和另一个的插针编号相匹配。然而，尽管图 4 所示的连接实例中 CPU102 和 SDRAM106 的插针编号没有一一对应地匹配，由于 SDRAM106 所具有的特性，数据输入和输出不会产生问题。

也就是说，SDRAM106 以字节为单位（这里，例如一个字节包括 8 比特）存储数据，拥有用来仅存储通过数据线输入和输出端输入的任何数据的结构。尽管输入和输出各个比特数据的插针的编号没有一致性，不必使用外部控制器对输入 SDRAM106 的数据执行额外的数据映射，因此，基于一个字节一个字节的方式存储和读取数据时不会产生问题。也就是说，存储在 SDRAM106 中的数据比特的顺序没关系，只要存储并读取数据比特的外部设备知道数据比特被存储的顺序。这样，数据传输线的位置和方向有了更大的独立性和多样性，使得数据传输线有可能避开安装在 CPU102 和 SDRAM106 之间的电路组件。

例如，CPU102 按照 D0D1D2D3D4D5D6D7 的顺序输出数据比特。当这些数据比特存储到图 4 所示的、连接到 CPU102 的 SDRAM106 中时，从 SDRAM106 的角度来看，这些数据比特是按照不正确的顺序 D1D0D5D4D6D7D2D3 来存储的。然而，从 CPU102 的角度来看，数据比特是按照正确的顺序 D0D1D2D3D4D5D6D7 存储的，仅此而已。因此，当 CPU102 从 SDRAM106 读取这些数据比特时，CPU102 按照

正确的顺序 D0D1D2D3D4D5D6D7 读取数据比特。

从上文的描述可以明显地看出，连接在 CPU102 和 SDRAM106 之间的数据传输线没有发生交叉，也没有匹配 CPU102 的数据插针的插针编号和 SDRAM106 的数据插针的插针编号。也就是说，不考虑 CPU102 和 SDRAM106 的数据插针的排列，从而避免了形成过孔和增加数据传输线的长度来通过过孔把数据传输线绕到基板背面的需要，从而提高了数据传输的可靠性。

图 4 所示 CPU102 和 SDRAM106 的数据插针是一种特殊的排列，然而本发明并不限于这些排列，还包括数据插针的任何排列，只要 CPU102 和 SDRAM106 的数据插针的排列顺序不同，这样 CPU102 的所有插针编号并不匹配于 SDRAM106 的所有插针编号。例如，CPU102 的数据插针可以按照 D3D7D2D6D5D0D1D4 的顺序被排列，而 SDRAM106 的数据插针可以按照 D3D7D2D6D5D0D4D1 的顺序被排列。在这样的排列中，CPU102 的数据插针的插针编号 D0、D2、D3、D5、D6 和 D7 与 SDRAM106 的数据插针的插针编号 D0、D2、D3、D5、D6 和 D7 相匹配，但是 CPU102 的数据插针的插针编号 D1 和 D4 与 SDRAM106 的插针编号 D1 和 D4 不匹配。

此外，尽管图 4 所示 CPU102 和 SDRAM106 对应一个 8 比特的字节，拥有 8 个数据插针 D0-D7，本发明并不限于此，还可以应用于对应两个 8 比特的字节拥有 16 个数据插针 D0-D15、或对应三个 8 比特的字节拥有 24 个数据插针 D0-D23、或对应四个 8 比特的字节拥有 32 个数据插针 D0-D31 等的 CPU 和 SDRAM。对于对应两个或更多个 8 比特的字节而拥有 16 个或更多数据插针的 CPU 和 SDRAM，数据传输线可以连接属于不同类型的数据插针。

例如，如果 CPU 和 SDRAM 每个都拥有对应两个 8 比特字节的 16 个数据插针 D0-D15，第一条数据传输线可以连接 CPU 的属于第一个字节 D0-D7 的数据插针 D1 和 SDRAM 的属于第一个字节 D0-D7 的数据插针 D5，第二条数据传输线可以连接 CPU 的属于第一个字节 D0-D7 的数据插针 D2 和 SDRAM 的属于第二个字节 D8-D15 的数据插针 D13。然而，对于 CPU 来说，第一条和第二条数据传输线是组成

了一个单一的字节，也就是 D0-D7，的数据传输线的一部分，尽管对于 SDRAM 来说，第一条和第二条数据传输线是组成了两个单位的字节，也就是第一字节 D0-D7 和第二字节 D8-D15，的数据传输线的一部分。

图 4 所示 SDRAM106 可以是任何类型的 SDRAM，例如 SDR SDRAM、DDR SDRAM、DDR2 SDRAM、DDR3 SDRAM、GDDR SDRAM、GDDR2 SDRAM、GDDR3 SDRAM、移动(Mobile) SDRAM、移动(Mobile) DDR SDRAM 或移动(Mobile) DDR2 SDRAM。另外，本发明不限于 SDRAM，也可以应用于任何 DRAM，例如 RDRAM、XDR DRAM、XDR-II DRAM、RLDRAM 或 RLDRAM II，和应用于其它类型的 RAM，例如 CellularRAM，以及应用于任何不需要使用外部控制器对输入数据执行额外的数据映射至存储器的其它类型的存储器。

尽管本发明是根据 CPU 与存储器连接进行描述，但本发明不限于这种配置而且还可以应用于控制器和存储器相连接的配置中。

尽管已经参考实施例描述了本发明，本领域的技术人员将会意识到，在不脱离权利要求及其等同物所定义的本发明的精神和范围的情况下，可以在形式和细节上对实施例进行改变。

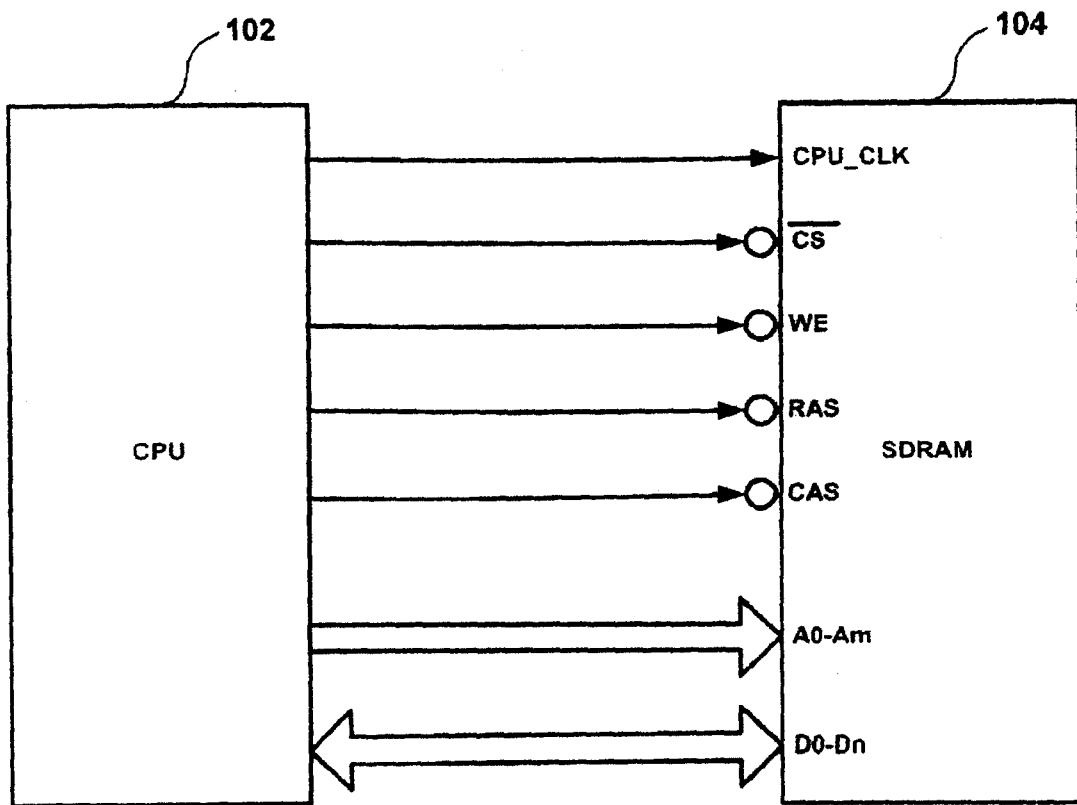


图 1

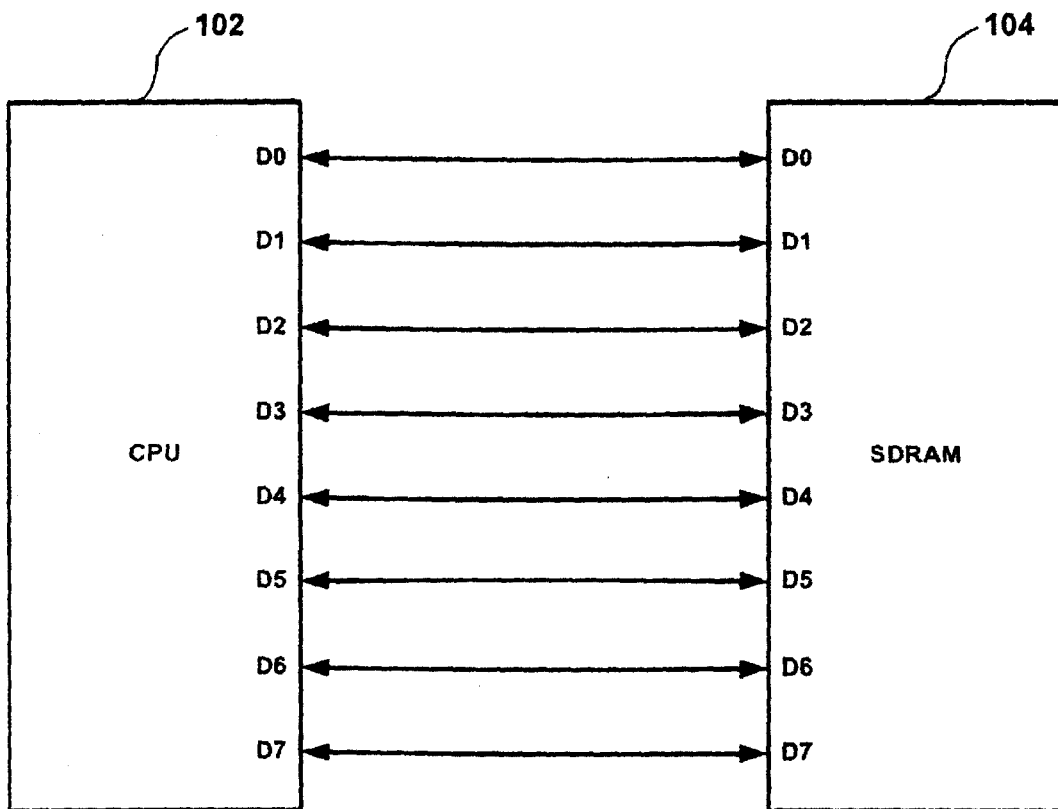


图 2



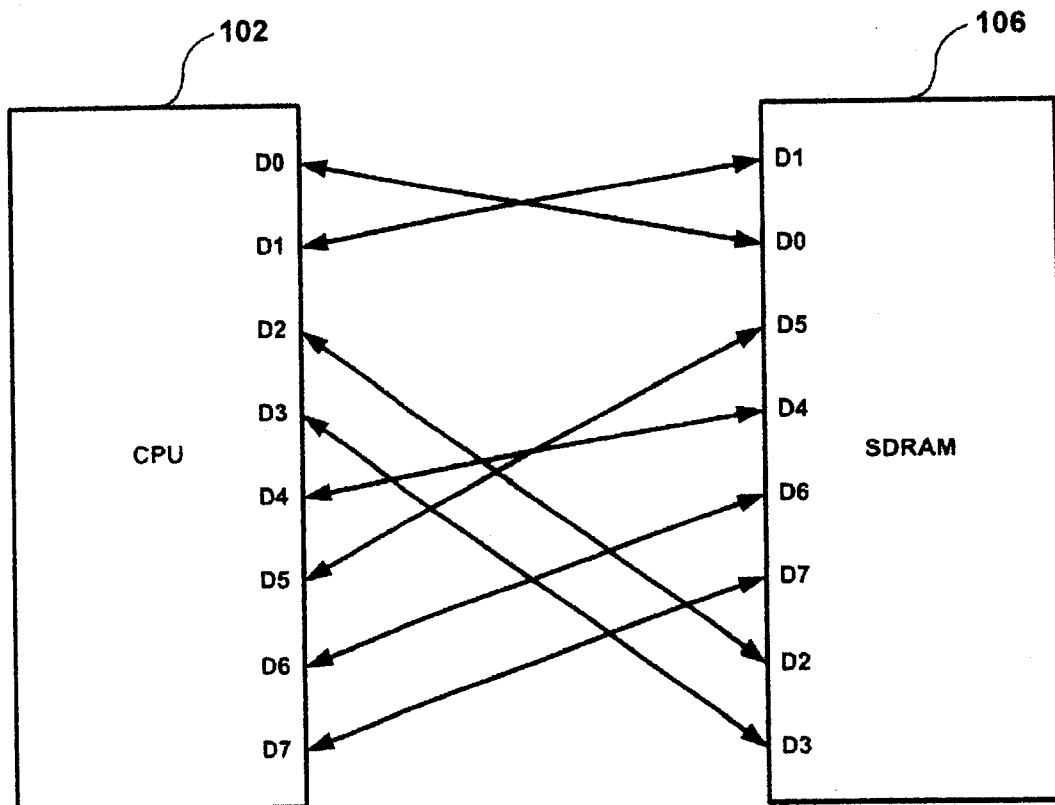


图 3

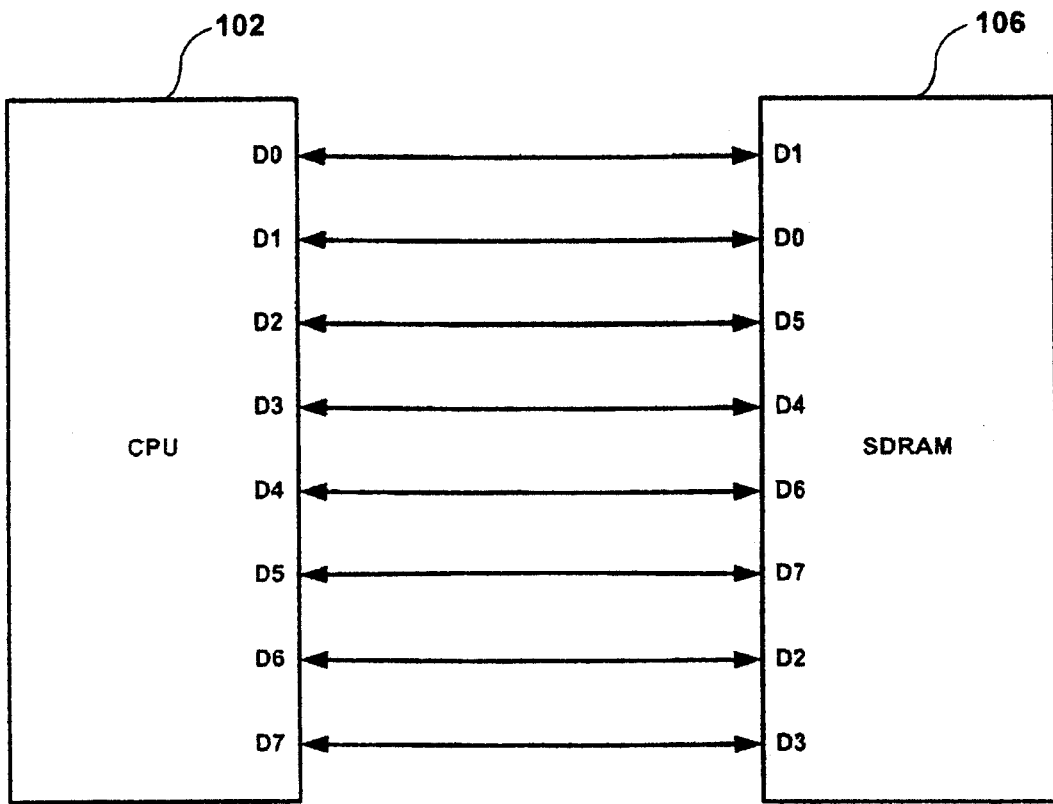


图 4