

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3813477号

(P3813477)

(45) 発行日 平成18年8月23日(2006.8.23)

(24) 登録日 平成18年6月9日(2006.6.9)

(51) Int. Cl.

F I

<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36	
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G02F	1/133	520
<b>G05F</b>	<b>1/618</b>	<b>(2006.01)</b>	G05F	1/618	310
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	611A
			G09G	3/20	612E

請求項の数 7 (全 24 頁)

(21) 出願番号 特願2001-277065 (P2001-277065)  
 (22) 出願日 平成13年9月12日(2001.9.12)  
 (65) 公開番号 特開2003-84723 (P2003-84723A)  
 (43) 公開日 平成15年3月19日(2003.3.19)  
 審査請求日 平成16年6月18日(2004.6.18)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町22番22号  
 (74) 代理人 110000338  
 特許業務法人原謙三国際特許事務所  
 (74) 代理人 100080034  
 弁理士 原 謙三  
 (72) 発明者 物申 正彦  
 大阪府大阪市阿倍野区長池町22番22号  
 シャープ株式会社内  
 (72) 発明者 勝谷 昌史  
 大阪府大阪市阿倍野区長池町22番22号  
 シャープ株式会社内

審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 電源装置およびそれを備えた表示装置

(57) 【特許請求の範囲】

【請求項1】

入力された電圧から目標電圧値が設定された中間電圧を発生する抵抗分圧回路と、  
 上記中間電圧が入力されるボルテージフォロア回路とを備え、  
 上記ボルテージフォロア回路は、上記ボルテージフォロア回路の出力電圧が上記目標電圧値を上回ると外部から電流を引き込む電流引き込み手段、および、上記ボルテージフォロア回路の出力電圧が上記目標電圧値を下回ると外部へ電流を出力する電流放出手段を含むとともに、上記ボルテージフォロア回路の出力電圧の上記目標電圧値に対する変動許容幅が上記電流引き込み手段および上記電流放出手段のそれぞれの動作開始電圧値の差として設定されており、

上記電流放出手段あるいは上記電流引き込み手段を動作させて、上記ボルテージフォロア回路の出力電圧を定常させる電圧定常手段を備え、

上記抵抗分圧回路が少なくとも2つの中間電圧を発生するものであり、

上記電圧定常手段は、2つの上記中間電圧がそれぞれ入力された2つの上記ボルテージフォロア回路の出力を互いに接続する抵抗であることを特徴とする電源装置。

【請求項2】

上記ボルテージフォロア回路が、  
 第1の差動段と、

上記変動許容幅を規定するオフセット電圧を上記第1の差動段に対して持つ第2の差動段と、

上記第1の差動段を放出側差動段として、その出力電圧に応じた電流を外部に出力する上記電流放出手段と、

上記第2の差動段を引き込み側差動段として、その出力電圧に応じた電流を外部から引き込む上記電流引き込み手段と、

定電流源としての定電流供給手段と、

上記第1の差動段の正相入力端子と上記第2の差動段の正相入力端子との両方が接続されて、入力電圧が入力される入力端子と、

上記の電流放出手段、電流引き込み手段、および定電流供給手段が接続されるとともに、そこから出力される出力電圧を上記第1の差動段の逆相入力端子と上記第2の差動段の逆相入力端子とに帰還する出力端子と、を含むことを特徴とする請求項1に記載の電源装置。

10

#### 【請求項3】

上記ボルテージフォロア回路は、上記第1の差動段と上記第2の差動段とで、回路構成が同一で、

上記第2の差動段は、

上記第2の差動段の一方の差動枝のP型トランジスタを互いに対をなす他方の差動枝のP型トランジスタに対して、チャンネル幅を狭くするかチャンネル長を長くするとともに、上記他方の差動枝のN型トランジスタを互いに対をなす上記一方の差動枝のN型トランジスタに対して、チャンネル幅を広くするかチャンネル長を短くする、

あるいは、

20

上記第2の差動段の一方の差動枝のP型トランジスタを互いに対をなす他方の差動枝のP型トランジスタに対して、チャンネル幅を広くするかチャンネル長を短くするとともに、上記他方の差動枝のN型トランジスタを互いに対をなす上記一方の差動枝のN型トランジスタに対して、チャンネル幅を狭くするかチャンネル長を長くする、

ことにより上記オフセット電圧を持つ

ことを特徴とする請求項2に記載の電源装置。

#### 【請求項4】

上記ボルテージフォロア回路は、定常状態においては、上記電流放出手段または上記電流引き込み手段のいずれか一方のみが動作することを特徴とする請求項1から3の何れか1項に記載の電源装置。

30

#### 【請求項5】

上記電流放出手段は、ゲートに上記第1の差動段の出力電圧が入力され、ソースが電源に接続され、ドレインが上記ボルテージフォロア回路の出力端子に接続された、P型トランジスタであり、

ゲートに上記第2の差動段の出力電圧が入力され、ソースが電源に接続された、第1のP型トランジスタを備え、

ドレインが上記第1のP型トランジスタのドレインに接続され、ゲートが自身のドレインに接続され、ソースがGNDに接続された、第1のN型トランジスタを備え、

上記電流引き込み手段は、ゲートが上記第1のP型トランジスタのドレインに接続され、ドレインが上記ボルテージフォロア回路の出力端子に接続され、ソースがGNDに接続された、N型トランジスタである、

40

ことを特徴とする請求項2または3に記載の電源装置。

#### 【請求項6】

上記電圧定常手段は、外部からの制御信号により抵抗値が変更可能であることを特徴とする請求項1から4の何れか1項に記載の電源装置。

#### 【請求項7】

表示パネルと、該表示パネルを駆動する駆動装置と、該駆動装置に表示パネルを駆動するための駆動用電源を供給する電源装置とを備えた表示装置において、

上記電源装置として、請求項1から6の何れか1項に記載の電源装置を備えていることを特徴とする表示装置。

50

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、例えば液晶表示装置等の表示装置に搭載され、表示画素を駆動する駆動用電源を供給する電源装置、および該電源装置を搭載した表示装置に関するものである。

## 【0002】

## 【従来の技術】

表示装置の一つである液晶表示装置を、本発明の説明図である図4を参照しながら説明すれば、以下のとおりである。

## 【0003】

液晶パネル1のセグメント電極側に、セグメント電極 $X_1 \sim X_m$ を駆動するセグメントドライバ3が配される一方、コモン電極側に、コモン電極 $Y_1 \sim Y_n$ を駆動するコモンドライバ2が配設されており、これらセグメントドライバ3およびコモンドライバ2に、電源回路(電源装置)5より、駆動用電源 $V_0, V_2, V_3, V_5$ が供給され、コモンドライバ3に、電源回路5より、駆動用電源 $V_0, V_1, V_4, V_5$ が供給されるようになっている。

10

## 【0004】

従来、駆動用電源 $V_0 \sim V_5$ を供給する上記電源回路5として、各種の回路構成が提案されている。なお、電源回路5において、セグメントドライバ3に供給する電圧の発生回路も、コモンドライバ2に供給する電圧の発生回路も基本的には同じ構成であるので、ここでは説明を簡単にするため、セグメントドライバ3に供給する電圧の発生回路を例に説明する。

20

## 【0005】

例えば、図7に示す電源回路35は、抵抗分圧して駆動用電源 $V_0, V_2, V_3, V_5$ を出力するものである。この電源回路35は、3つのブリーダ抵抗 $R_{101}, R_{102}, R_{103}$ により電源(V<sub>EE</sub>)-接地(GND)間を分圧して2つの中間電圧を形成し、これを駆動用電源 $V_2, V_3$ として出力する。

## 【0006】

また、図8に示す電源回路36は、出力段を低インピーダンス化するために、図7の電源回路35において抵抗分圧により駆動用電源 $V_2, V_3$ を得るラインに、オペアンプOP1, OP2を接続したものである。この電源回路36によれば、オペアンプOP1, OP2にてインピーダンス変換を行うことで、分圧して生成された駆動用電源 $V_2, V_3$ の電圧を安定化できる。

30

## 【0007】

ここで、上記電源回路35および上記電源回路36では、容量負荷である液晶パネル1の画素の充放電を行っても、電圧変動を少なくし、駆動用電源 $V_0, V_2, V_3, V_5$ の電圧安定化を図るために、ブリーダ抵抗 $R_{101} \sim R_{103}$ の抵抗値を小さくすることが好ましい。しかしながら、ブリーダ抵抗 $R_{101} \sim R_{103}$ の抵抗値を小さくすると、電源回路35, 36における消費電力が増大する。

## 【0008】

また、上記電源回路36では、オペアンプOP1, OP2で液晶表示用に十分な給電力を確保しようとした場合、オペアンプ回路内の定電流をある程度大きくしなければならず、このことが低消費電力化の大きな妨げとなる。つまり、定電流源としてオペアンプOP1, OP2の入力段にある差動対部と出力段の2種類が主にあるが、特に出力段に負荷回路として備えられている定電流源は定電流値を大きくしないと電圧変動への追従がなくなる。

40

## 【0009】

そこで、このような不具合を解消するものとして、公開特許公報「特開昭55-146487号公報(公開日:昭和55年(1980)11月14日)」には、上記電源回路35を基本構成として採用しながら、低消費電力化を図ってブリーダ抵抗の抵抗値を高くし

50

ても、駆動用電源  $V_0$  ,  $V_2$  ,  $V_3$  ,  $V_5$  の電圧安定化を図ることのできる電源回路が開示されている。

【0010】

図9に示すように、上記公報に記載の電源回路37は、高電位側を接地電位としている。そのため、ここでは駆動用電源  $V_0$  ,  $-V_2$  ,  $-V_3$  ,  $-V_5$  を得るものである。上記電源回路37は、高抵抗値のブリーダ抵抗（以下、単に抵抗とする） $R_{101} \sim R_{108}$  にて、駆動用電源  $-V_2$  ,  $-V_3$  として出力する出力電圧を得るとともに、駆動用電源  $-V_2$  ,  $-V_3$  の電圧の許容値を超える変動を検出し、MOSトランジスタ  $M_{Q11} \sim M_{Q14}$  により、この変動を抑えるようになっている。なお、図9において、DNは電源ノード、SNは接地ノードである。

10

【0011】

上記電源回路37において、直列抵抗  $R_{101} \sim R_{103}$  は、電源Eの電圧  $-V_5$  を3等分して、駆動用電源  $-V_2$  ,  $-V_3$  となる中間電圧を形成する抵抗分圧回路である。そして、抵抗分圧して得られる中間電圧である分圧電圧  $-V_2$  ,  $-V_3$  を中心として、各々の電圧変動の許容幅  $V$  を設定する基準電圧  $-V_{H2}$  ,  $-V_{L2}$  ,  $-V_{H3}$  ,  $-V_{L3}$  を、直列抵抗  $R_{104} \sim R_{108}$  による分圧回路で形成する。

【0012】

さらに、上記基準電圧  $-V_{H2}$  が反転入力端子に印加される一方、分圧電圧  $-V_2$  が非反転入力に印加された電圧比較回路（以下、コンパレータ）CMP1と、この出力で制御される、分圧出力点と、電源Eの電圧  $-V_5$  との間に接続されたnMOSトランジスタ  $M_{Q12}$  とを設けて、分圧電圧  $-V_2$  の出力電圧の上記基準電圧  $-V_{H2}$  を正方向（接地電位側）に超える変動に対して、nMOSトランジスタ  $M_{Q12}$  をオンさせ、許容幅  $V$  を正方向に超える出力変動を抑える。

20

【0013】

一方、上記基準電圧  $-V_{L2}$  が反転入力端子に印加される一方、分圧電圧  $-V_2$  が非反転入力端子に印加されたコンパレータCMP2と、この出力で制御される、分圧出力点と、接地電位  $V_0$  との間に接続されたpMOSトランジスタ  $M_{Q11}$  とを設けて、上記分圧電圧  $-V_2$  の出力電圧における上記基準電圧  $-V_{L2}$  を負方向（電圧  $-V_5$  側）に超える変動に対して、pMOSトランジスタ  $M_{Q11}$  をオンさせ、許容幅  $V$  を負方向に超える出力変動を抑える。

30

【0014】

同様の構成により、出力電圧  $-V_3$  の変動に対しても、許容値  $V$  を超える変動を防止する。すなわち、上記基準電圧  $-V_{H3}$  が反転入力端子に印加される一方、分圧電圧  $-V_3$  が非反転入力端子に印加されたコンパレータCMP3と、この出力で制御される、分圧出力点と、電源Eの電圧  $-V_5$  との間に接続されたnMOSトランジスタ  $M_{Q14}$  とを設けて、上記分圧電圧  $-V_3$  の出力電圧における上記基準電圧  $-V_{H3}$  を正方向（接地電位側）に超える変動に対して、nMOSトランジスタ  $M_{Q14}$  をオンさせ、許容幅  $V$  を正方向に超える出力変動を抑える。

【0015】

一方、上記基準電圧  $-V_{L3}$  が反転入力端子に印加される一方、分圧電圧  $-V_3$  が非反転入力端子に印加されたコンパレータCMP4と、この出力で制御される、分圧出力点と、接地電位  $V_0$  との間に接続されたpMOSトランジスタ  $M_{Q13}$  とを設けて、上記分圧電圧  $-V_3$  の出力電圧における上記基準電圧  $-V_{L3}$  を負方向（電圧  $-V_5$  側）に超える変動に対して、pMOSトランジスタ  $M_{Q13}$  をオンさせ、許容幅  $V$  を負方向に超える出力変動を抑える。

40

【0016】

これにより、駆動用電源  $-V_2$  ,  $-V_3$  となる分圧電圧  $-V_2$  ,  $-V_3$  の出力電圧の電圧変動が、抵抗  $R_{105}$  ,  $R_{107}$  による電圧降下によって決まる電圧変動の許容幅  $V$  内に抑えられる。

【0017】

50

この電源回路37は、抵抗R101～R103およびR104～R108の抵抗値を高くして消費電力を抑えることができるとともに、出力段に、許容幅Vを超えた電圧変動が発生した場合のみ作動する、電流駆動能力の大きいMOSトランジスタMQ11～MQ14を備えたことにより、コンパレータCMP1～CMP4の出力段の駆動能力も大きくなってよい。したがって、コンパレータCMP1～CMP4の中に設置されている定電流源で流す電流値を小さく設定できることから、この電源回路37の消費電流も極めて小さくすることができる。

【0018】

また、MOSトランジスタMQ11～MQ14がそれぞれ、許容幅Vによってオフセット電圧を持ち、同時にONとなることがないので、貫通電流が発生するおそれもない。

10

【0019】

その結果、上記電源回路37によれば、低消費電力で、かつ、その出力電圧も安定な表示装置の電源回路を得ることができる。

【0020】

【発明が解決しようとする課題】

一般に、大型の液晶パネルでは、画素の持つ負荷容量および電極線の持つ寄生容量が大きくなり、これらへの充放電を急峻に行うために、電源回路には駆動能力が大きいことが要求される。また、高品位な画質を得るために、電源回路には、駆動用電源の電圧変動が少なく、かつ、変動に対して急峻に应答することが要求される。併せて、電源回路には、低消費電力であることも要求される。

20

【0021】

しかしながら、上記電源回路37(図9)では、駆動用電源-V2、-V3の電圧となる分圧電圧-V2、-V3を許容幅V内に収めるまでの補正は、駆動能力の大きいMOSトランジスタMQ11～MQ14により急速に行うことができるが、分圧電圧-V2、-V3が許容幅V内に入った後、さらに目標電圧値へと収束させるのは抵抗R101～R103である。なお、これら直列に接続されている各抵抗間から出力される電圧値が目標値である。よって、電源回路37の回路構成では、抵抗R101～R103の抵抗値が高いと、目標電圧値への収束に時間がかかる。

【0022】

したがって、上記電源回路37では、さらなる低消費電力化のために、2つの分圧抵抗回路を形成する抵抗R101～R103および抵抗R104～R108を高抵抗とした場合、分圧電圧-V2、-V3の出力電圧の電圧値が目標値に安定する(許容幅V内の目標値に収束させる)までに時間がかかるという問題がある。それゆえ、電源回路37では、今後、さらなる液晶表示画面の大型化や高品位化には、表示品位の低下が発生し、対応できなくなる。

30

【0023】

また、上記電源回路37の構成では、分圧抵抗回路として、抵抗R101～R103と抵抗R104～R108の2系統を備えているので、1系統の分圧抵抗回路しか備えない構成に比べると、必然的に消費電力が高くなる。

【0024】

さらに、上記電源回路37では、分圧比を出力段の抵抗R101～R103で決定しているので、抵抗R101～R103の抵抗値の変更は、分圧比を保持した状態で行うことが必要である。そのため、内部レジスタを利用したプログラマブルな抵抗値変更を行う場合、回路規模が大きくなるという問題もある。

40

【0025】

本発明は、上記の問題点を解決するためになされたもので、その目的は、今後、さらなる表示画面の大型化や高品位化にも、表示品位を低下させることなく対応可能な、低消費電力でありながら、変動を少なくして安定した出力電圧にて駆動用電源を供給できるとともに、出力電圧の変動においては急峻に定常状態値に回復可能であり、また、内部レジスタを利用したプログラマブルな抵抗値変更回路規模を大きくすることなく対応できる電

50

源装置、およびそれを備えた表示装置を提供することにある。

【0026】

【課題を解決するための手段】

上記の課題を解決するために、本発明の電源装置は、入力された電圧から目標電圧値が設定された中間電圧を発生する抵抗分圧回路と、上記中間電圧が入力されるボルテージフォロア回路とを備え、上記ボルテージフォロア回路は、上記ボルテージフォロア回路の出力電圧が上記目標電圧値を上回ると外部から電流を引き込む電流引き込み手段、および、上記ボルテージフォロア回路の出力電圧が上記目標電圧値を下回ると外部へ電流を出力する電流放出手段を含むとともに、上記ボルテージフォロア回路の出力電圧の上記目標電圧値に対する変動許容幅が上記電流引き込み手段および上記電流放出手段のそれぞれの動作開始電圧値の差として設定されており、上記電流放出手段あるいは上記電流引き込み手段を動作させて、上記ボルテージフォロア回路の出力電圧を定常させる電圧定常手段を備えていることを特徴としている。

10

【0027】

上記の構成により、ボルテージフォロア回路の出力電圧が大きく変動し、目標電圧値の電圧値を超えてしまうと、ボルテージフォロア回路の電流放出手段あるいは電流引き込み手段の何れか、ボルテージフォロア回路の出力電圧を目標電圧値に戻す方向のものが動作して、逸脱したボルテージフォロア回路の出力電圧の電圧値を急峻に目標電圧値に戻す。ここで、上記ボルテージフォロア回路では、電流引き込み手段および電流放出手段のそれぞれの動作開始電圧値の差として、ボルテージフォロア回路の出力電圧の目標電圧値に

20

【0028】

よって、ボルテージフォロア回路の出力電圧は、変動許容幅の範囲内で、目標電圧値を大きく逸脱することなく推移することとなる。すなわち、ボルテージフォロア回路の出力電圧が、例えば、目標電圧値と目標電圧値から変動許容幅だけ上方あるいは下方の電圧値（上限値あるいは下限値）との間に収まるように制御される。ただし、ここまでの構成では、ボルテージフォロア回路の出力電圧の電圧値は、変動許容幅の範囲内の一定値には収束し難く、変動し易いものとなる。なお、その理由等の詳細は、発明の実施の形態の説明において後述する。

【0029】

そこで、上記電源装置では、ボルテージフォロア回路の出力電圧のこの変動を無くするために、電圧定常手段が設けられている。電圧定常手段は、電流放出手段あるいは電流引き込み手段を動作させて、電流を供給するかあるいは引き込むことで、出力段から出力されるボルテージフォロア回路の出力電圧を定常させる。これにより、ボルテージフォロア回路の出力電圧は、目標電圧値を含む変動許容幅の範囲内で変動することなく、定常させられ、安定化される。

30

【0030】

このように、上記電源装置によれば、ボルテージフォロア回路の出力電圧は、変動許容幅の範囲を超えるような変動に対しては、電流放出手段あるいは電流引き込み手段の何れかの動作によって、急峻に変動許容幅の範囲内に戻される。また、ボルテージフォロア回路の出力電圧は、変動許容幅の範囲内の変動に対しては、電流放出手段および電流引き込み手段の動作制御により、定常するので、変動許容幅の範囲内で変動することもなく、目標電圧値あるいはその近傍値にて安定したものとなる。

40

【0031】

これにより、低消費電力でありながら、変動を少なくして安定した出力電圧にて駆動用電源を供給できるとともに、出力電圧の変動においては急峻に定常状態値に回復できる。それゆえ、今後、さらなる液晶表示画面の大型化や高品位化にも、表示品位を低下させることなく対応できる。

【0032】

また、上記の構成では、出力段のブリーダ抵抗を設けることなく、出力電圧の電圧変動

50

を抑えて安定化できるので、さらなる低消費電力化が可能である。また、分圧比を出力段のブリーダ抵抗で決定する構成ではないので、内部レジスタを利用したプログラマブルな抵抗値変更を行っても、回路規模が大きくなる。

【0033】

さらに、本発明の電源装置は、上記ボルテージフォロア回路が、第1の差動段と、上記変動許容幅を規定するオフセット電圧を上記第1の差動段に対して持つ第2の差動段と、上記第1の差動段を放出側差動段として、その出力電圧に応じた電流を外部に出力する上記電流放出手段と、上記第2の差動段を引き込み側差動段として、その出力電圧に応じた電流を外部から引き込む上記電流引き込み手段と、定電流源としての定電流供給手段と、上記第1の差動段の正相入力端子と上記第2の差動段の正相入力端子との両方が接続されて、入力電圧が入力される入力端子と、上記の電流放出手段、電流引き込み手段、および定電流供給手段が接続されるとともに、そこから出力される出力電圧を上記第1の差動段の逆相入力端子と上記第2の差動段の逆相入力端子とに帰還する出力端子と、を含むことを特徴としている。

10

【0034】

上記の構成により、さらに、上記ボルテージフォロア回路は、出力電圧が入力電圧よりも小さく、出力電圧を上げる必要がある場合は、放出側差動段および電流放出手段により、電流を外部に出力する方向に動作する。逆に、出力電圧が入力電圧よりも大きく、出力電圧を下げる必要がある場合は、引き込み側差動段および電流引き込み手段により、電流を外部から引き込む方向に動作する。

20

【0035】

よって、上記ボルテージフォロア回路は、出力電圧が入力電圧よりも小さい場合および大きい場合の何れの場合においても、入力電圧と出力電圧とが等しい定常状態に出力端子に定電流源から流れる定電流を大きくしなくても、迅速に定常状態に推移させることができる。

【0036】

したがって、消費電流を増加させることなく、出力電圧を入力電圧に迅速に追従させることができる。

【0037】

加えて、上記ボルテージフォロア回路は、第2の差動段が、第1の差動段に対してオフセット電圧を持っているため、定常状態に推移した後も、定電流供給手段において回路を貫く貫通電流が発生しない。

30

【0038】

すなわち、出力電圧の増加に対して、電流放出手段が十分なオフ状態になってから、オフセット電圧分隔した後、電流引き込み手段が十分なオン状態になる。これによって、電流放出手段と電流引き込み手段との両方が十分オンになるような出力電圧範囲が存在しないようにしている。なお、ここで、十分オンになるとは、それによってどの程度貫通電流を防止したいかによって決めればよく、貫通電流を完全に避けたい場合は、一方が完全にオフになってから他方がオン方向へ向かい始めるように、オフセット電圧を設定すればよい。

40

【0039】

さらに、本発明の電源装置は、上記ボルテージフォロア回路は、上記第1の差動段と上記第2の差動段とで、回路構成が同一で、上記第2の差動段は、上記第2の差動段の一方の差動枝のP型トランジスタを互いに対をなす他方の差動枝のP型トランジスタに対して、チャンネル幅を狭くするかチャンネル長を長くするとともに、上記他方の差動枝のN型トランジスタを互いに対をなす上記一方の差動枝のN型トランジスタに対して、チャンネル幅を広くするかチャンネル長を短くする、あるいは、上記第2の差動段の一方の差動枝のP型トランジスタを互いに対をなす他方の差動枝のP型トランジスタに対して、チャンネル幅を広くするかチャンネル長を短くするとともに、上記他方の差動枝のN型トランジスタを互いに対をなす上記一方の差動枝のN型トランジスタに対して、チャンネル幅を狭くするかチャネ

50

ル長を長くする、ことにより上記オフセット電圧を持つことを特徴としている。

【0040】

上記の構成により、より簡素な構成で、上記第1の差動段と上記第2の差動段との間にオフセット電圧を持たせることができる。したがって、より簡素な構成で、定電流供給手段において回路を貫く貫通電流の発生を防ぐことができる。

【0041】

さらに、本発明の電源装置は、上記ボルテージフォロア回路は、定常状態においては、上記電流放出手段または上記電流引き込み手段のいずれか一方のみが動作することを特徴としている。

【0042】

上記の構成により、さらに、入力電圧と出力電圧とが等しい定常状態においては、上記電流放出手段または上記電流引き込み手段の何れか一方のみが動作する。

【0043】

よって、定常状態における電流の流れを簡素化することができる。したがって、回路の構成や設計をより簡素化することができる。

【0044】

さらに、本発明の電源装置は、上記電流放出手段は、ゲートに上記第1の差動段の出力電圧が入力され、ソースが電源に接続され、ドレインが上記ボルテージフォロア回路の出力端子に接続された、P型トランジスタであり、ゲートに上記第2の差動段の出力電圧が入力され、ソースが電源に接続された、第1のP型トランジスタを備え、ドレインが上記第1のP型トランジスタのドレインに接続され、ゲートが自身のドレインに接続され、ソースがGNDに接続された、第1のN型トランジスタを備え、上記電流引き込み手段は、ゲートが上記第1のP型トランジスタのドレインに接続され、ドレインが上記ボルテージフォロア回路の出力端子に接続され、ソースがGNDに接続された、N型トランジスタであることを特徴としている。

【0045】

さらに、本発明の電源装置は、上記抵抗分圧回路が少なくとも2つの中間電圧を発生するものであり、上記電圧定常手段は、2つの上記中間電圧がそれぞれ入力された2つの上記ボルテージフォロア回路の出力を互いに接続する抵抗であることを特徴としている。

【0046】

上記の構成により、さらに、出力電圧同士を抵抗を介して接続することにより、出力電圧の電圧値を互いに安定化することができる。この構成によれば、他の電位を設ける必要がなく、また、上限値や下限値を与える基準電圧を出力するために、抵抗分圧回路に抵抗を付加する必要もない。すなわち、上記した作用をなす電圧定常手段を容易に実現できる。

【0047】

さらに、本発明の電源装置は、上記電圧定常手段が、外部からの制御信号により抵抗値が変更可能であることを特徴としている。

【0048】

上記の構成により、さらに、上記電圧定常手段である抵抗の抵抗値を変更することによって、出力電圧の電圧値の引き寄せ幅を変化させることができる。すなわち、抵抗値を小さくすると、目標電圧値への引き寄せ幅が小さくなるように設定されて、出力電圧の電圧値の変動が小さくなるとともに、応答が速くなる。反対に、抵抗値を大きくすると、目標電圧値への引き寄せ幅が大きくなるように設定されて、出力電圧の電圧値の変動が大きくなるとともに、応答が遅くなる。

【0049】

ここで、電流放出手段および電流引き込み手段を動作させて、出力電圧の電圧値を目標電圧値あるいははその近傍値にまで引き寄せ定常させようとした場合、上記抵抗値を電流放出手段および電流引き込み手段がオンする、もしくはオンする直前の状態になるように設定することが望ましい。

10

20

30

40

50



## 【0050】

そして、上記電源装置に接続される表示パネルの特性や使用状況を考慮して、電源装置の製造後に電圧定常手段を構成する抵抗の抵抗値を決められるようにすることができる。これにより、表示パネルの応答特性の良し悪しや、あるいは高品位表示が必要な場合、あるいは、大画面で表示ムラが識別されやすい場合などの状況に応じて、消費電流との兼ね合いで出力電圧の電圧値の引き寄せ幅を設定でき、電源装置としての汎用性が向上する。

## 【0051】

このような上記電源装置は、表示パネルの駆動用電源を供給する電源回路に特に適している。そして、上記電源装置が搭載される表示装置としては、液晶パネルを備えた液晶表示装置、エレクトロルミネッセンス(ELP)を備えたEL表示装置、プラズマディスプレイパネル(PDP)を備えたPD表示装置、液晶パネルとプラズマディスプレイパネルを合体させたプラズマアドレスド液晶パネル(PALC)を備えた表示装置等がある。また、特に、上記電源装置は低消費電力であることから、携帯端末に備えられる携帯用表示装置に適している。

10

## 【0052】

また、上記の課題を解決するために、本発明の表示装置は、表示パネルと、該表示パネルを駆動する駆動装置と、該駆動装置に表示パネルを駆動するための駆動用電源を供給する電源装置とを備えた表示装置において、上記電源装置として、上記した本発明の電源装置を備えていることを特徴としている。

## 【0053】

上記したように、本発明の電源装置は、低消費電力でありながら、変動を少なくして安定した出力電圧にて駆動用電源を供給できるとともに、出力電圧の変動においては急峻に定常状態値に回復可能であり、また、内部レジスタを利用したプログラマブルな抵抗値変更に回路規模を大きくすることなく対応できるものである。

20

## 【0054】

したがって、上記の構成により、上記電源装置を備えることで、大表示画面で、表示品位も高く、かつ、低消費電力の表示装置を実現できる。

## 【0055】

## 【発明の実施の形態】

本発明の一実施の形態について図1から図6に基づいて説明すれば、以下のとおりである。

30

## 【0056】

まず、図4を用いて、本実施の形態に係る電源回路(電源装置)5が搭載された液晶表示装置(表示装置)の一般的な構成について説明する。なお、液晶表示装置において用いられる液晶駆動方式の代表的なものとしては、TFTを用いた駆動方式や、STN液晶を用いたマトリクス駆動方式等があるが、ここでは、マトリクス駆動方式の事例を挙げて説明する。

## 【0057】

図4に示すように、上記液晶表示装置は、主に、液晶パネル(表示パネル)1、コモン側駆動回路(以下、コモンドライバ)(駆動装置)2、セグメント側駆動回路(以下、セグメントドライバ)(駆動装置)3、コントローラ4、電源回路(電源装置)5を備えて構成されている。

40

## 【0058】

上記液晶パネル1は、液晶層を挟持して対向配置された一対のガラス基板を有している。そして、一方のガラス基板には、液晶層側にセグメント電極X1~Xmが形成されている。また、他方のガラス基板には、液晶層側にコモン電極Y1~Ynが上記セグメント電極X1~Xmと直交する形で形成されている。

## 【0059】

上記セグメントドライバ3は、液晶パネル1のセグメント電極X1~Xmを駆動するもので、セグメント電極側に設けられている。また、上記コモンドライバ2は、液晶パネル

50

1のコモン電極 $Y_1 \sim Y_n$ を駆動するもので、コモン電極側に設けられている。

【0060】

上記電源回路5は、液晶パネル1の各電極への印加電圧を発生させるものであって、駆動用電源 $V_0 \sim V_5$ を有している。この駆動用電源 $V_0 \sim V_5$ の内、駆動用電源 $V_0, V_2, V_3, V_5$ は、セグメントドライバ3を介して制御されて液晶パネル1のセグメント電極 $X_1 \sim X_m$ に印加される。一方、駆動用電源 $V_0, V_1, V_4, V_5$ は、コモンドライバ2を介して制御されて液晶パネル1のコモン電極 $Y_1 \sim Y_n$ に印加される。そして、セグメント電極 $X_1 \sim X_m$ およびコモン電極 $Y_1 \sim Y_n$ に上記電圧が印加されることで、液晶パネル1はパルス幅変調方式による階調表示を行う。

【0061】

さらに、上記コントローラ4は、これらセグメントドライバ3、コモンドライバ2、および電源回路5を制御する。具体的には、コントローラ4は、外部よりデジタル表示データや、垂直同期信号、水平同期信号等の表示に必要な制御信号6を受けとり、タイミングを調整した上、セグメントドライバ3にはデジタル表示データ、転送クロック、データラッチ信号、水平同期信号、交流化信号等を制御信号7として、一方、コモンドライバ2には水平同期信号、垂直同期信号、交流化信号等を制御信号8として出力する。また、コントローラ4は、電源回路5に対しても、不使用時には電源をカットして低消費電力化を図るためのカット信号等の制御信号9を出力する。

【0062】

ここで、図5は、上記液晶表示装置におけるコモンドライバ2およびセグメントドライバ3の出力波形、ならびに液晶パネル1の画素に印加される電圧波形等を示すタイミングチャートである。

【0063】

パルス幅変調方式による階調表示では、1水平同期期間(水平同期信号と水平同期信号との間の期間) $H_i$ 内に $m$ 個のデジタル表示データがセグメントドライバ3内を転送され、水平同期信号によりラッチがかけられ、次の水平同期期間 $H_{i+1}$ の間、表示データは固定して出力される。そして、さらに次の水平同期期間 $H_{i+2}$ では新たな表示データに変わりラッチされる。ラッチされた表示データは、セグメントドライバ3内の階調デコーダ(図示せず)に入力され、表示データに応じた階調表示パルス幅が選択され、各出力端子から液晶パネル1のセグメント電極 $X_1 \sim X_m$ の各々に出力される。このように、パルス幅変調方式による階調表示では、水平同期期間 $H_i \sim H_n$ に、順次表示データに応じた階調表示パルスを出力して画面の1フレームが構成される。

【0064】

そして、液晶パネル1のある画素( $X_j, Y_i$ )には、以下のような駆動電圧が印加される。

【0065】

セグメントドライバ3からは、画素 $X_j$ に対応するセグメントドライバ3内の階調デコーダで、デジタル表示データに応じた幅の階調表示パルスが、複数の階調表示パルス(例えば、16階調の場合、 $T_0 \sim T_{15}$ )の中から選択されて、出力される(階調デコーダ出力 $j$ )。そして、選択された階調表示パルスのパルス幅に相当して駆動用電源 $V_0$ の電圧値(あるいは、交流化信号により反転した別のフレームでは、駆動用電源 $V_5$ の電圧)が、一方、選択された階調表示パルスのパルス幅以外では、駆動用電源 $V_2$ の電圧(あるいは、交流化信号により反転した別のフレームでは、駆動用電源 $V_3$ の電圧)が、セグメントドライバ3の端子から液晶パネル1の電極 $X_j$ に出力される。

【0066】

一方、コモンドライバ2からは、コモン電極 $Y_i$ に、走査時には駆動用電源 $V_5$ の電圧(あるいは、交流化信号により反転した別のフレームでは、駆動用電源 $V_0$ の電圧)が、また、非走査時には駆動用電源 $V_1$ の電圧(あるいは、交流化信号により反転した別のフレームでは、駆動用電源 $V_4$ の電圧)がそれぞれ出力される。

【0067】

10

20

30

40

50

このように、液晶パネル1の画素( $X_j$ ,  $Y_i$ )に上記印加電圧が加算された形で印加されることで、画素での実効電圧が変わり、階調表示パルス幅に応じた階調表示がなされる。

【0068】

つぎに、図1から図3を参照しながら、上記電源回路5について説明する。なお、電源回路5は、前述したように、セグメントドライバ3およびコモンドライバ2にそれぞれ電圧を供給するものである。ただし、セグメントドライバ3に供給する電圧の発生回路も、コモンドライバ2に供給する電圧の発生回路も基本的には同じ構成である。そこで、説明を簡単にするために、以下においては、セグメントドライバ3に供給する電圧の発生回路を例に説明する。

10

【0069】

図1は、上記電源回路5の一例を示す回路図である。なお、従来の技術では電源回路を負電圧の回路構成で説明したが、ここでは、正電圧の回路構成として説明する。

【0070】

図1に示すように、電源回路5は、中間電圧 $V_2$ 、 $V_3$ を設定するための抵抗分圧回路をなすブリーダ抵抗 $R_4$ 、 $R_6$ 、 $R_8$ と、これら中間電圧 $V_2$ 、 $V_3$ を出力するに当たり、各々の出力を低インピーダンス変換するためのボルテージフォロア構成の差動増幅回路(オペアンプ)AMP1・AMP2とを備えて構成されている。

【0071】

また、電源回路5は、出力端子 $T_2$ 、 $T_3$ 、 $T_5$ と接地電位との間に平滑コンデンサ $C_2$ 、 $C_3$ 、 $C_5$ がそれぞれ配設されている。ここで、電源回路5は、電源回路37(図9)のように、出力電圧を目標電圧値へと収束させるための抵抗 $R_{101} \sim R_{103}$ が設けられていない。そのため、電源回路5では、出力電圧の電圧値が許容幅 $V$ 内に入った後、差動増幅回路AMP1、AMP2のみの作動になると、出力電圧は $V$ 内で変動するだけで、駆動用電源 $V_2$ 、 $V_3$ としての目標電圧値には収束しない。そこで、電源回路5では、出力電圧を収束させるために、出力端子 $T_2$ 、 $T_3$ 、 $T_5$ に平滑コンデンサ $C_2$ 、 $C_3$ 、 $C_5$ をそれぞれ設けている。なお、出力端子 $T_0$ はここでは接地電位となっているため、平滑コンデンサを配設していない。

20

【0072】

また、電源回路5は、液晶パネル1に印加される駆動電圧 $V_2$ 、 $V_3$ となる出力電圧 $V_2$ 、 $V_3$ を出力する出力端子 $T_2$ と出力端子 $T_3$ との間に、抵抗(電圧定常手段) $R_a$ が挿入されている。なお、抵抗 $R_a$ の抵抗値については後述する。

30

【0073】

また、電源回路5では、上記差動増幅回路AMP1・AMP2が、定常状態(入力電圧=出力電圧)では、内部の出力段を流れる定電流が微小となるように設定されており、低消費電力化が図られている。また、差動増幅回路AMP1・AMP2は、過渡状態(入力電圧<出力電圧)では、入力電圧にすばやく追従して定常状態への推移し、かつ、大電流を流すことができる構造となっている。

【0074】

つづいて、図2および図3を用いて、差動増幅器AMP1、AMP2の回路構成の一例を説明する。

40

【0075】

上記差動増幅回路AMP1、AMP2はそれぞれ、第1の差動段と、第2の差動段とを有し、出力段が、上記第1の差動段の出力電圧に応じて電流を外部に出力する第1の出力段と、上記第2の差動段の出力電圧に応じて外部から電流を引き込む第2の出力段と、負荷回路としての第3の出力段とを有し、上記第1の差動段と上記第2の差動段の正相入力端子(+ )から入力電圧値を入力し、上記出力段の電圧値を上記第1の差動段と上記第2の差動段の逆相入力端子(- )に帰還させる差動増幅回路で構成されており、上記第1の差動段と上記第2の差動段とは異なるオフセット電圧を有しており、出力段での電流放出側と引き込み側の切換え時における貫通電流を防止しているものである。

50

## 【 0 0 7 6 】

具体的には、図 2 に示すように、上記差動増幅器（ボルテージフォロア回路）AMP 1、AMP 2 は、ボルテージフォロア構成の差動増幅回路である。すなわち、差動増幅器 AMP 1、AMP 2 は、2 つの差動段 1 0 1・1 0 2 を有し、各差動段の入力部は N 型トランジスタで構成されている。

## 【 0 0 7 7 】

第 1 差動段（第 1 の差動段、放出側差動段）1 0 1 は、ソースが接地電圧 GND につながり、ゲートが、バイアス発生回路（図示せず）から出力される定電圧源 VBN につながる N 型トランジスタ 2 0 5 と、N 型トランジスタ 2 0 5 のドレインと各々ソースがつながる N 型トランジスタ 2 0 3 と 2 0 4 とにより入力部としての差動入力回路を構成している。また、各々のドレインを上記 N 型トランジスタ 2 0 3 と 2 0 4 のドレインに接続し、各々のゲートを互いに接続し、ソースを電源（Vdd）に接続した P 型トランジスタ 2 0 1 と 2 0 2 とによりカレントミラー回路を構成している。

10

## 【 0 0 7 8 】

差動入力回路の N 型トランジスタ 2 0 3 のゲートが入力 a となり、N 型トランジスタ 2 0 4 のゲートが入力 b となっている。また、カレントミラー回路のゲートは、入力 a がゲート入力となる N 型トランジスタ 2 0 3 のドレインへ接続されている。

## 【 0 0 7 9 】

また、第 2 差動段（第 2 の差動段、引き込み側差動段）1 0 2 は、ソースが GND につながり、ゲートが、バイアス発生回路（図示せず）から出力される定電圧源 VBN につながる N 型トランジスタ 2 1 0 と、N 型トランジスタ 2 1 0 のドレインと各々ソースがつながる N 型トランジスタ 2 0 8 と 2 0 9 とにより入力部としての差動入力回路を構成している。また、各々のドレインを上記 N 型トランジスタ 2 0 8 と 2 0 9 のドレインに接続し、各々のゲートを互いに接続し、ソースを電源（Vdd）に接続した P 型トランジスタ 2 0 6 と 2 0 7 とによりカレントミラー回路を構成している。

20

## 【 0 0 8 0 】

差動入力回路の N 型トランジスタ 2 0 8 のゲートが入力 a となり、N 型トランジスタ 2 0 9 のゲートが入力 b となっている。また、カレントミラー回路のゲートは、入力 b がゲート入力となる N 型トランジスタ 2 0 9 のドレインへ接続されている。

## 【 0 0 8 1 】

そして、第 1 差動段 1 0 1 の入力 b がゲートに入力される N 型トランジスタ 2 0 4 のドレインと、P 型トランジスタ 2 0 2 のドレインと、P 型トランジスタ（電流放出手段）2 1 1 のゲートが互いにつながっており、P 型トランジスタ 2 1 1 のソースは電源（Vdd）につながり、ドレインは出力につながっている。

30

## 【 0 0 8 2 】

第 2 差動段 1 0 2 の入力 a がゲートに入力される N 型トランジスタ 2 0 8 のドレインと、P 型トランジスタ 2 0 6 のドレインと、P 型トランジスタ 2 1 2 のゲートが互いにつながっており、P 型トランジスタ 2 1 2 のソースは電源（Vdd）につながり、ドレインは N 型トランジスタ 2 1 3 のゲートおよびドレイン、および N 型トランジスタ（電流引き込み手段）2 1 4 のゲートにつながっている。N 型トランジスタ 2 1 3、2 1 4 のソースは GND につながり、N 型トランジスタ 2 1 4 のドレインは出力につながっている。

40

## 【 0 0 8 3 】

さらに、出力には、前述の定電圧源 VBN がゲートにつながるとともにソースが GND となる、N 型トランジスタ（定電流供給手段）2 1 5 のドレインがつながっている。

## 【 0 0 8 4 】

また、入力 a が逆相入力端子であり、入力 b が正相入力端子となる。

## 【 0 0 8 5 】

図 3 は、図 2 の差動増幅回路の出力を入力 a に帰還させ、入力 b を入力として、ボルテージフォロア回路を構成した回路図である。

## 【 0 0 8 6 】

50

ここで、上記ボルテージフォロア回路では、入力電圧と出力電圧とが釣り合った状態（定常状態）での貫通電流、すなわちP型トランジスタ211とN型トランジスタ214とを通じて流れる電源とGNDとの間の電流を防ぐため、第2差動段102にオフセットを持たせておく。例えば、P型トランジスタ206のチャンネル幅を狭くするかチャンネル長を長くし、N型トランジスタ209のチャンネル幅を広くするかチャンネル長を短くする。

【0087】

これにより、P型トランジスタ206のしきい値電圧は他のP型トランジスタと比較して大きく設定され、一方、N型トランジスタ209のしきい値電圧は他のN型トランジスタと比較して小さく設定されることになる。

【0088】

このときの上記ボルテージフォロア回路の動作について以下に説明する。

【0089】

第1差動段101において定電圧源VBNがゲートに入力されるN型トランジスタ205に流れる定電流をI1とし、P型トランジスタ201およびN型トランジスタ203に流れる電流をIbとし、P型トランジスタ202およびN型トランジスタ204に流れる電流をIaとする。

【0090】

また、第2差動段102において定電圧源VBNがゲートに入力されるN型トランジスタ210に流れる定電流をI2とし、P型トランジスタ206およびN型トランジスタ208に流れる電流をIdとし、P型トランジスタ207およびN型トランジスタ209に流れる電流をIcとする。

【0091】

・入力電圧 > 出力電圧の場合

第1差動段101は、 $I_a > I_b$ となり、ポイントAの電位は下がり、P型トランジスタ211がオンする方向となり、P型トランジスタ211に流れる電流が多くなり、出力の電位は上がる。その結果、入力電圧 = 出力電圧の状態に推移する。

【0092】

一方、第2差動段102は、 $I_c > I_d$ となり、ポイントBの電位は上がり、P型トランジスタ212がオフする方向となり、ポイントCの電位は下がる。そのため、N型トランジスタ214はオフする方向に向かい、出力の電位に影響を与えない。したがって、上記P型トランジスタ211からの電圧がそのまま出力される。

【0093】

なお、定電流源としてのN型トランジスタ215を介しての電流も存在するが、値が小さい。

【0094】

・入力電圧 < 出力電圧の場合

第1差動段101は、 $I_a < I_b$ となり、ポイントAの電位は上がり、P型トランジスタ211がオフする方向となり、出力の電位に影響を与えなくなる。

【0095】

一方、第2差動段102は、 $I_c < I_d$ となり、ポイントBの電位は下がり、P型トランジスタ212がオンする方向となり、ポイントCの電位は上がる。そのため、N型トランジスタ214に流れる電流が多くなり、出力はGNDへ引き込まれるため、出力の電位は下がる。その結果、入力電圧 = 出力電圧の状態に推移する。

【0096】

・入力電圧 = 出力電圧の場合

第1差動段101は、 $I_a = I_b$ となるため、定常状態となる。

【0097】

一方、第2差動段102は、上述したように、他のP型トランジスタ、N型トランジスタに対して、P型トランジスタ206のしきい値電圧を大きく、N型トランジスタ209のしきい値電圧を小さくなるように設定しているため、入力電圧 = 出力電圧のときでも、

10

20

30

40

50

$I_c > I_d$ のようにオフセット電圧を持った状態となっている。そのため、ポイントBの電位は高い状態となっているので、P型トランジスタ212はオフの方向に向かっている。したがって、上述したように、N型トランジスタ214もオフの方向に向かったままである。

【0098】

したがって、出力電圧は、P型トランジスタ211と、定電流源として働いているN型トランジスタ215とを介して流れる、定電流にて決定される。よって、P型トランジスタ211とN型トランジスタ214を介しての貫通電流を防止することができる。

【0099】

このように、上記ボルテージフォロア回路では、出力の電圧を上げるには、P型トランジスタ211を介しての電源電圧V<sub>dd</sub>からの電流供給を行い、一方、出力の電圧を下げるには、N型トランジスタ214を介しての接地電圧GNDへの電流引き込みにより行っている。

10

【0100】

したがって、すでに述べたように、P型トランジスタ211およびN型トランジスタ214の駆動能力を上げておくことで、電圧変動に対する追従（追隨）能力を高めておくことに、支障がなくなる。またその結果、図示していないが、出力に大きい負荷が接続されていても良好に駆動することができるようになる。

【0101】

また、入力電圧 = 出力電圧のときには、P型トランジスタ211から流れる電流は、N型トランジスタ215により、所定の定電流しか流れないようにになっている。すなわち、定常状態（入力電圧 = 出力電圧）においては、流れる電流は、定電流源として働くN型トランジスタ215により規定される。そして、このN型トランジスタ215の駆動能力は、上述の電圧変動に対する追従には全く無関係となっている。それにより、定電圧源V<sub>BN</sub>の電圧値を下げて、電流値を小さくしても、良好に追従動作を行うことができるようになる。

20

【0102】

よって、常に流れている定電流値を小さくできることから、本ボルテージフォロア回路のように、2つの差動段間にオフセット電圧を持たせることで、ボルテージフォロア回路の低消費電力化と高速追従（追隨）性とを両立させることができる。

30

【0103】

なお、一般に、差動段の入力部のトランジスタの製造時のばらつきでトランジスタ特性にばらつきが生じるため、1つの差動段の正相および逆相でもオフセット電圧（ここでは、「差動段内オフセット電圧」と称する）が存在するが、本願における「オフセット電圧」とは、2つの差動段間にオフセット電圧（差動段間オフセット電圧）を持たせるということの意味している。

【0104】

また、本実施の形態では、電流の放出側（電流放出部側）において、 $I_a = I_b$ となるのは入力電圧 = 出力電圧のときであるが、電流を引き込む側（電流引き込み部側）では、それよりも出力電圧が上記オフセット電圧分だけ大きくなったときに初めて $I_c = I_d$ となる。その結果、出力電圧の増加に対して、電流放出部（P型トランジスタ211）が十分なオフ状態になってから、上記オフセット電圧分隔てた後、電流引き込み部（N型トランジスタ214）が十分なオン状態になる。これによって、上記電源回路5では、電流放出部と電流引き込み部との両方が十分オンになるような出力電圧範囲が存在しないようにしている。

40

【0105】

前述の説明では、上記差動増幅回路（図2）は、P型トランジスタ206を他の差動部を構成するトランジスタと比較して、チャンネル幅を短くするか、もしくはチャンネル長を長くして、しきい値電圧を大きくし、一方、N型トランジスタ209を他の差動部を構成するトランジスタと比較して、チャンネル幅を広くするか、もしくはチャンネル長を短くして、

50

しきい値電圧を小さくすることにより、オフセット電圧をもたせている。これにより、上記差動増幅回路は、出力電圧に対して、出力段の電流放出部（P型トランジスタ211）が十分オフした後、上記オフセット電圧分隔てた後、電流引き込み部（N型トランジスタ214）が十分オンの状態となる。

【0106】

そして、この差動増幅回路を差動増幅回路AMP1（図1）として使用する。これにより、差動増幅回路AMP1は、中間電圧V3に対してオフセット電圧分加算された電圧（図6の-VL3に相当）が上限許容値となって動作する。

【0107】

一方、逆にP型トランジスタ206を他の差動部を構成するトランジスタと比較して、チャンネル幅を広くするか、もしくはチャンネル長を短くして、しきい値電圧を小さくし、一方、N型トランジスタ209を他の差動部を構成するトランジスタと比較して、チャンネル幅を狭くするか、もしくはチャンネル長を長くして、しきい値電圧を大きくすることにより、先とは逆のオフセット電圧をもたせることもできる。このような差動増幅回路では、出力電圧に対して、出力段の電流引き込み部（N型トランジスタ214）が十分オフした後、上記オフセット電圧分隔てた後、電流放出部（P型トランジスタ211）が十分オンの状態となる。

【0108】

そして、この差動増幅回路を差動増幅回路AMP2（図1）として使用する。これにより、差動増幅回路AMP2は、中間電圧V2に対してオフセット電圧分減算された電圧（図6の-VH2に相当）が下限許容値となって動作する。

【0109】

以上のような構成を有する電源回路5（図1）では、出力端子T2の電圧が液晶パネル1（図4）の画素を駆動するに当たり、画素および電極の容量を充放電するために、本来の電圧値から、例えば、接地電位側に電圧値が変動し下限値を下回ると、差動増幅回路AMP2のpMOSトランジスタ211がオンする。pMOSトランジスタ211がオンすると、駆動能力のあるpMOSトランジスタ211を介して電源E（Vdd）から電流が供給されることで、出力端子T2の電位は急峻に本来の電圧値に回復する。

【0110】

逆に、出力端子T2の電圧が、ノード2に設定されている中間電圧V2の電圧値を超えると、差動増幅回路AMP2によりnMOSトランジスタ214がオンする。nMOSトランジスタ214がオンすると、駆動能力のあるnMOSトランジスタ214を介して電流が引き込まれることで、出力端子T2の電位は急峻に本来の電圧値に回復する。

【0111】

また、出力端子T3での差動増幅回路AMP1の動作も同じである。つまり、出力端子T3の電圧が本来の電圧値から、例えば、接地電位側に変動し、ノード3に設定されている中間電圧V3の電圧値を下回ると、差動増幅回路AMP1によりpMOSトランジスタ211がオンする。pMOSトランジスタ211がオンすると、駆動能力のあるpMOSトランジスタ211を介して電源E（Vdd）から電流が供給されることで、出力端子T3の電位は急峻に本来の電圧値に回復する。

【0112】

逆に、出力端子T3の電圧が、上限の電圧値を超えると、差動増幅回路AMP1のnMOSトランジスタ214がオンする。nMOSトランジスタ214がオンすると、駆動能力のあるnMOSトランジスタ214を介して電流が引き込まれることで、出力端子T3の電位は急峻に本来の電圧値に回復する。

【0113】

ここで、抵抗Raが出力端子T2，T3の間に挿入されていない場合、出力端子T2の電圧値と出力端子T3の電圧値とは、それぞれ電圧変動の許容幅Vで安定しなくなる。この点、電源回路5では、抵抗Raが出力端子T2，T3の間に挿入されているので、出力端子T3から抵抗Raを介して出力端子T2に電流が流れる。その結果、出力端子T2

10

20

30

40

50

の電圧は上昇し、出力端子 T 3 の電圧値側に変動する一方、出力端子 T 3 の電圧は下降し、出力端子 T 2 の電圧値側に変動する。

【 0 1 1 4 】

よって、電源回路 5 ( 図 1 ) の回路構成において、上記抵抗 R a の値を小さくしていくと、出力端子 T 2 では、出力電圧 V 2 の電圧値が上昇し、ノード 2 に設定されている中間電圧 V 2 の電圧値を超えると、n M O S トランジスタ 2 1 4 がオンし、出力電圧 V 2 の電圧値をノード 2 の電圧値 V 2 に戻そうとする一方、出力端子 T 3 では、出力電圧 V 3 が下降し、ノード 3 に設定されている中間電圧 V 3 の電圧値を下回ると、p M O S トランジスタ 2 1 1 がオンし、出力電圧 V 3 の電圧値をノード 3 の電圧値 V 3 に戻そうとする。

10

【 0 1 1 5 】

したがって、差動増幅回路 A M P 1 , A M P 2 の n M O S トランジスタ 2 1 4 および p M O S トランジスタ 2 1 1 がオンする、もしくはオンする直前の状態になるように、上記抵抗 R a の値を設定することで、出力電圧 V 2 がノード 2 に設定されている中間電圧 V 2 の電圧値 ( もしくはほぼその電圧値 ) を、出力電圧 V 3 がノード 3 に設定されている中間電圧 V 3 の電圧値 ( もしくはほぼその電圧値 ) を、変動することなく一定の電圧値で出力する ( もしくは極微小な変動で出力する ) ことができる。

【 0 1 1 6 】

これにより、ノード 2、ノード 3、および出力端子 T 2 , T 3 に雑音が乗っても、先述のような許容幅 V 内で振れることはなく、一定 ( もしくはほぼ一定 ) の電圧値を出力できる。

20

【 0 1 1 7 】

また同様の動作により、出力電圧 V 2 が下降した場合に、電圧変動の下限である電圧値を下回ると、差動増幅回路 A M P 2 の p M O S トランジスタ 2 1 1 がオンする。一方、出力電圧 V 3 が上昇した場合に、電圧変動の上限の電圧値を上回ると、差動増幅回路 A M P 1 の n M O S トランジスタ 2 1 4 がオンする。

【 0 1 1 8 】

そして、液晶パネル 1 の画素および電極の容量の充放電を考えると、上記電源回路 5 の構成の有意性がより明らかになる。

【 0 1 1 9 】

すなわち、図 5 に示すように、液晶パネル 1 の電極への印加電圧は、( V 5 - V 2 ) レベル、( V 0 - V 3 ) レベルのように電圧差の大きい部分で、液晶パネル 1 の画素および電極の容量の充放電が行われると、駆動用電源 V 2 となる出力電圧 V 2 は V 5 の影響で電圧値は引き上げられる方向に、一方、駆動用電源 V 3 となる出力電圧 V 3 は V 0 の影響により電圧値は引き下げられる方向になる。

30

【 0 1 2 0 】

このような充放電による印加電圧の変動傾向を考慮して、上記電源回路 5 では、中間電圧 V 2 , V 3 の電圧値を、駆動用電源 V 2 , V 3 の目標電圧値 ( 印加電圧値 ) に設定している。

【 0 1 2 1 】

これにより、出力電圧 V 2 , V 3 の電圧値が、先述の充放電により変動 ( 変動し易い側 ) しても、即時に対応して差動増幅回路 A M P 1 , A M P 2 内の駆動能力のある M O S トランジスタ 2 1 4 , 2 1 1 がオンすることで、急峻かつ短時間で所定の電圧を回復することができる。また、別の一方の中間電圧値 ( 変動し難い側 ) で許容幅 V を設定することで、出力電圧の電圧値の変動を適切に設定することになる。

40

【 0 1 2 2 】

したがって、上記電源回路 5 を構成を採用して、液晶パネル 1 へ印加する駆動用電源 V 0、V 2、V 3、V 5 が所定の値になるように抵抗 R 4 ~ R 8 の抵抗比を設定し、かつ、差動増幅回路 A M P 1 , A M P 2 の n M O S トランジスタ 2 1 4 および p M O S トランジスタ 2 1 1 がオンする、もしくはオンする直前の状態になるように抵抗 R a の抵抗値を設

50



定することで、低消費電力型で電圧値変動のない、かつ電圧値変動に対しては急峻に回復する電源回路を提供することができる。

【0123】

なお、電源回路5を、V1およびV4の電源回路に適用することは容易である。

【0124】

また、抵抗Raは、上記説明のように抵抗値が固定された抵抗であってもよいし、レーザトリミング等で抵抗値を調整してもよい。さらに、抵抗Raは、複数の抵抗によって構成し、切換え手段により外部からの制御信号に基づいて適切な抵抗値を選択する可変抵抗であってもよい。

【0125】

また、差動増幅回路AMP1、AMP2の入力段の差動部のオフセットを変える方法としては、P型トランジスタ206、N型トランジスタ209のトランジスタ形状を変える例で説明したが、他のトランジスタの形状を変えることで実現してもよいし、さらにトランジスタ形状での対応ではなく、トランジスタのチャンネル部の不純物濃度を変えたり、ゲート膜厚を変えてしきい値電圧を変えてもよい。ただし、トランジスタの形状を変える方が、製造条件を一定にでき、製造しやすい。

【0126】

以上のように、上記電源回路5は、ボルテージフォロア構成の差動増幅回路AMP1、AMP2の出力段を構成する電流出部（P型トランジスタ211）と電流引き込み部（N型トランジスタ214）とが同時にはオンしないため、貫通電流の発生を防止できる。よって、低消費電力化が図れるため、携帯機器に使用される液晶表示装置の電源回路として最適である。

【0127】

また、上記電源回路5は、定常状態では消費電力が少なく、過渡状態からの定常状態への推移にはすばやく追従し、かつ、大電流を流すことができる構造である。よって、高品位な画像表示を実現できる。

【0128】

また、差動増幅回路AMP1、AMP2のオフセット電圧は、上記の電流出部と電流引き込み部とが同時にオンしない範囲で設定すればよい。よって、変動許容幅Vを極力狭くすることができる。よって、変動許容幅V内での電圧値変動を狭く設定できることから、出力端子に配置する平滑コンデンサの容量を小さくでき、電源回路の小型化が可能となる。

【0129】

したがって、電源回路5は、負荷が容量性であり、急速な充放電を行う必要がある一方、低消費電力化も併せて要求される装置の電源回路に有効であり、特に携帯用表示装置に採用すると、その効果は絶大である。

【0130】

最後に、図6を用いて、上記電源回路5の前提となる電源回路5について説明する。この電源回路5は、従来の技術に係る電源回路37（図9）の有する問題点を解決するものとして、本願発明者が提案したものである。

【0131】

図6に示すように、電源回路5は、上記電源回路37に設けられていた抵抗R101～R103および抵抗R104～R108の2系統の抵抗分圧回路のうち、出力段の抵抗R101～R103の系統を無くしたものである。

【0132】

これにより、抵抗R101～R103を流れる消費電流分、さらなる低消費電力化が可能であるとともに、分圧比を出力段の抵抗R101～R103で決定する構成ではないので、内部レジスタを利用したプログラマブルな抵抗値変更を行っても、回路規模が大きくなるようなことがない。

【0133】

10

20

30

40

50

ところが、この電源回路5の場合、出力電圧を目標電圧値へと収束させるための抵抗R101～R103を除いたため、出力電圧の電圧値が許容幅V内に入った後、コンパレータCMP1～CMP4のみの作動になると、V内で変動するだけで、このままでは駆動用電源-V2、-V3としての目標電圧値には収束しない。そこで、上記電源回路5では、平滑コンデンサC1、C2、C3、C5を設けることで目標電圧値に収束させている。

#### 【0134】

また、電源回路5の場合、許容幅Vを超える電圧変動を補正する動作は、電源回路37と同じである。しかし、電源回路5では、出力段で出力電圧の電圧値を決定していたブリーダ抵抗R101～R103が無くなったため、駆動用電源-V2、-V3となる出力電圧の電圧値が許容幅V内で安定せず、許容幅V内での電圧変動が避けられないという問題がある。

10

#### 【0135】

すなわち、駆動用電源-V2となる出力電圧は、基準電圧-VH2と基準電圧-VL2の間の中間値(コンパレータCMP1とコンパレータCMP2の特性が同じであれば、 $-VL2 + (V/2)$ )では安定せず、ノード1やノード2、もしくは出力電圧に雑音に乗った場合、これにコンパレータCMP1、CMP2が応答するため、基準電圧-VH2の電圧値が基準電圧-VL2の電圧値を不安定に上下することになる。そのため、駆動用電源-V2となる出力電圧は、一定電圧値ではなく、 $-V2 \pm (V/2)$ で振れている電圧値を取ることになる。

20

#### 【0136】

なお、抵抗R105・R107を小さくすることで、許容幅Vを小さく抑えることができるので、 $-V2 \pm (V/2)$ で振れていても、ある程度の変動電圧が許容できる液晶パネルでは使用可能である。しかしながら、前述したように、高品位な画質を得るために、電源回路には、駆動電圧の変動が少ないことも要求されるため、今後、さらなる液晶表示画面の高品位化には対応できない。

#### 【0137】

また、出力電圧の振れの原因となるコンパレータCMP1、CMP2の入力段への雑音に強くするためには、許容幅Vを大きくとらねばならないが、許容幅Vを大きくとると、コンパレータCMP1・CMP2のみが作動し、許容幅V内で変動し続けるため、あまり許容幅Vを大きくすると、平滑コンデンサC2・C3で変動を吸収できなくなってしまい、やはり、今後、さらなる液晶表示画面の大型化や高品位化には対応できない。

30

#### 【0138】

なお、ここでは、駆動用電源-V2となる出力電圧について述べたが、同じ構成をとる駆動用電源-V3の出力電圧でも同様のことが起こる。

#### 【0139】

以上のように、電源回路5では、出力段のブリーダ抵抗R101～R103が無い場合、駆動用電源-V2、-V3となる出力電圧の電圧値が許容幅V内で安定せず、許容幅V内での電圧変動が避けられない。

#### 【0140】

本実施の形態に係る電源回路5は、この電源回路5を前提とし、これにおいて、出力電圧の許容幅V内での変動を大幅に低減させ、駆動用電源の電圧を安定して供給するものである。なお、本願出願人は、上記の課題を解決する手法を、「特願2001-110600号(出願日:平成13年4月9日)『電源装置及びそれを備えた表示装置』」においても提案している。

40

#### 【0141】

##### 【発明の効果】

以上のように、本発明の電源装置は、入力された電圧から目標電圧値が設定された中間電圧を発生する抵抗分圧回路と、上記中間電圧が入力されるボルテージフォロア回路とを備え、上記ボルテージフォロア回路は、上記ボルテージフォロア回路の出力電圧が上記目

50

標電圧値を上回ると外部から電流を引き込む電流引き込み手段、および、上記ボルテージフォロア回路の出力電圧が上記目標電圧値を下回ると外部へ電流を出力する電流放出手段を含むとともに、上記ボルテージフォロア回路の出力電圧の上記目標電圧値に対する変動許容幅が上記電流引き込み手段および上記電流放出手段のそれぞれの動作開始電圧値の差として設定されており、上記電流放出手段あるいは上記電流引き込み手段を動作させて、上記ボルテージフォロア回路の出力電圧を定常させる電圧定常手段を備えている構成である。

【0142】

それゆえ、上記電源装置によれば、ボルテージフォロア回路の出力電圧の電圧値は、変動許容幅の範囲を超えるような変動に対しては、電流放出手段あるいは電流引き込み手段の何れかの動作によって、急峻に変動許容幅の範囲内に戻される。また、ボルテージフォロア回路の出力電圧は、変動許容幅の範囲内の変動に対しては、電流放出手段および電流引き込み手段の動作制御により、定常するので、変動許容幅の範囲内で変動することもなく、安定したものとなる。

10

【0143】

したがって、低消費電力でありながら、変動を少なくして安定した出力電圧にて駆動用電源を供給できるとともに、出力電圧の変動においては急峻に定常状態値に回復できる。それゆえ、今後、さらなる液晶表示画面の大型化や高品位化にも、表示品位を低下させることなく対応できるという効果を奏する。

【0144】

また、上記電源装置によれば、出力段のブリーダ抵抗を設けることなく、出力電圧の電圧変動を抑えて安定化できるので、さらなる低消費電力化が可能であるという効果を奏する。また、分圧比を出力段のブリーダ抵抗で決定する構成ではないので、内部レジスタを利用したプログラマブルな抵抗値変更を行っても、回路規模が大きくなるという効果を奏する。

20

【0145】

さらに、本発明の電源装置は、上記ボルテージフォロア回路が、第1の差動段と、上記変動許容幅を規定するオフセット電圧を上記第1の差動段に対して持つ第2の差動段と、上記第1の差動段を放出側差動段として、その出力電圧に応じた電流を外部に出力する上記電流放出手段と、上記第2の差動段を引き込み側差動段として、その出力電圧に応じた電流を外部から引き込む上記電流引き込み手段と、定電流源としての定電流供給手段と、上記第1の差動段の正相入力端子と上記第2の差動段の正相入力端子との両方が接続されて、入力電圧が入力される入力端子と、上記の電流放出手段、電流引き込み手段、および定電流供給手段が接続されるとともに、そこから出力される出力電圧を上記第1の差動段の逆相入力端子と上記第2の差動段の逆相入力端子とに帰還する出力端子と、を含む構成である。

30

【0146】

それゆえ、さらに、上記ボルテージフォロア回路は、出力電圧が入力電圧よりも小さい場合および大きい場合の何れの場合においても、入力電圧と出力電圧とが等しい定常状態に出力端子に定電流源から流れる定電流を大きくしなくても、迅速に定常状態に推移させることができる。したがって、消費電流を増加させることなく、出力電圧を入力電圧に迅速に追従させることができるという効果を奏する。

40

【0147】

加えて、上記ボルテージフォロア回路は、第2の差動段が、第1の差動段に対してオフセット電圧を持っているため、定常状態に推移した後も、定電流供給手段において回路を貫く貫通電流が発生しないという効果を奏する。

【0148】

さらに、本発明の電源装置は、上記ボルテージフォロア回路は、上記第1の差動段と上記第2の差動段とで、回路構成が同一で、上記第2の差動段は、上記第2の差動段の一方の差動枝のP型トランジスタを互いに対をなす他方の差動枝のP型トランジスタに対して

50

、チャンネル幅を狭くするかチャンネル長を長くするとともに、上記他方の差動枝のN型トランジスタを互いに対をなす上記一方の差動枝のN型トランジスタに対して、チャンネル幅を広くするかチャンネル長を短くする、あるいは、上記第2の差動段の一方の差動枝のP型トランジスタを互いに対をなす他方の差動枝のP型トランジスタに対して、チャンネル幅を広くするかチャンネル長を短くするとともに、上記他方の差動枝のN型トランジスタを互いに対をなす上記一方の差動枝のN型トランジスタに対して、チャンネル幅を狭くするかチャンネル長を長くする、ことにより上記オフセット電圧を持つ構成である。

【0149】

それゆえ、さらに、より簡素な構成で、上記第1の差動段と上記第2の差動段との間にオフセット電圧を持たせることができる。したがって、より簡素な構成で、定電流供給部において回路を貫く貫通電流の発生を防ぐことができるという効果を奏する。

10

【0150】

さらに、本発明の電源装置は、上記ボルテージフォロア回路は、定常状態においては、上記電流放出手段または上記電流引き込み手段のいずれか一方のみが動作する構成である。

【0151】

それゆえ、さらに、定常状態における電流の流れを簡素化することができる。したがって、回路の構成や設計をより簡素化することができるという効果を奏する。

【0152】

さらに、本発明の電源装置は、上記抵抗分圧回路が少なくとも2つの中間電圧を発生するものであり、上記電圧定常手段は、2つの上記中間電圧がそれぞれ入力された2つの上記ボルテージフォロア回路の出力を互いに接続する抵抗である構成である。

20

【0153】

それゆえ、さらに、出力電圧同士を抵抗を介して接続することにより、出力電圧の電圧値を互いに安定化することができる。したがって、他の電位を設ける必要がなく、また、上限値や下限値を与える基準電圧を出力するために、抵抗分圧回路に抵抗を付加する必要もない。すなわち、上記した作用をなす電圧定常手段を容易に実現できるという効果を奏する。

【0154】

さらに、本発明の電源装置は、上記電圧定常手段が、外部からの制御信号により抵抗値が変更可能である構成である。

30

【0155】

それゆえ、さらに、上記電圧定常手段である抵抗の抵抗値を変更することによって、出力電圧の電圧値の引き寄せ幅を変化させることができる。そして、上記電源装置に接続される表示パネルの特性や使用状況を考慮して、電源装置の製造後に電圧定常手段を構成する抵抗の抵抗値を決められるようにすることができる。したがって、表示パネルの応答特性の良し悪しや、あるいは高品位表示が必要な場合、あるいは、大画面で表示ムラが識別されやすい場合などの状況に応じて、消費電流との兼ね合いで出力電圧の電圧値の引き寄せ幅を設定でき、電源装置としての汎用性が向上するという効果を奏する。

【0156】

また、本発明の表示装置は、表示パネルと、該表示パネルを駆動する駆動装置と、該駆動装置に表示パネルを駆動するための駆動用電源を供給する電源装置とを備えた表示装置において、上記電源装置として、上記した本発明の電源装置を備えている構成である。

40

【0157】

上記したように、本発明の電源装置は、低消費電力でありながら、変動を少なくして安定した出力電圧にて駆動用電源を供給できるとともに、出力電圧の変動においては急峻に定常状態値に回復可能であり、また、内部レジスタを利用したプログラマブルな抵抗値変更に回路規模を大きくすることなく対応できるものである。それゆえ、上記電源装置を備えることで、大表示画面で、表示品位も高く、かつ、低消費電力の表示装置を実現できるという効果を奏する。

50

## 【図面の簡単な説明】

【図 1】 本発明の一実施の形態に係る電源回路の構成を示す回路図である。

【図 2】 図 1 に示した電源回路に含まれるボルテージフォロア回路の構成例を示す回路図である。

【図 3】 ボルテージフォロア回路の構成例を示す回路図である。

【図 4】 図 1 に示した電源回路が搭載された液晶表示装置の構成を概略的に示すブロック図である。

【図 5】 図 4 に示した液晶表示装置のコモンドライバおよびセグメントドライバの出力波形、ならびに液晶パネルの画素に印加される電圧波形等を示すタイミングチャートである。

10

【図 6】 本発明の前提となる電源回路の構成を示す回路図である。

【図 7】 従来電源回路の構成を示す回路図である。

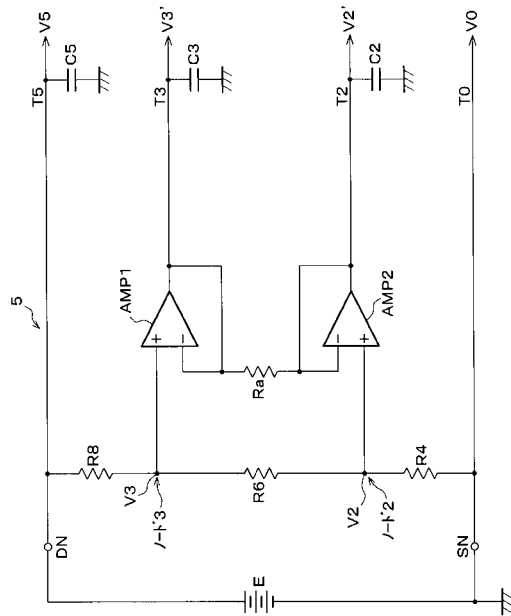
【図 8】 従来電源回路の構成を示す回路図である。

【図 9】 従来電源回路の構成を示す回路図である。

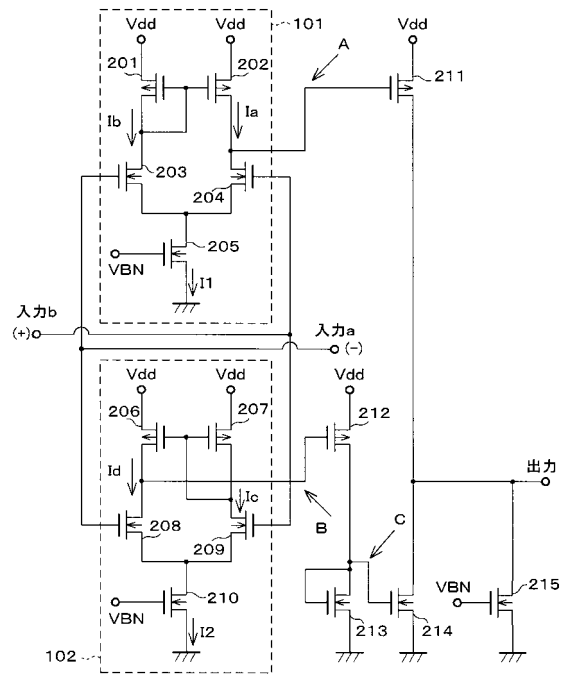
## 【符号の説明】

- 1 液晶パネル（表示パネル）
- 2 コモンドライバ（駆動装置）
- 3 セグメントドライバ（駆動装置）
- 5 電源回路（電源装置）
- 10 表示装置 20
- 101 第 1 差動段（第 1 の差動段、放出側差動段）
- 102 第 2 差動段（第 2 の差動段、引き込み側差動段）
- 201, 202 P 型トランジスタ
- 203, 204, 205 N 型トランジスタ
- 206, 207 P 型トランジスタ
- 208, 209, 210 N 型トランジスタ
- 211 P 型トランジスタ（電流放出手段）
- 212 P 型トランジスタ
- 213 N 型トランジスタ
- 214 N 型トランジスタ（電流引き込み手段） 30
- 215 N 型トランジスタ（定電流供給手段）
- AMP 1, AMP 2 差動増幅回路（ボルテージフォロア回路）
- R 4, R 6, R 8 抵抗（抵抗分圧回路）
- R a 抵抗（電圧定常手段）
- V 0 ~ V 5 駆動用電源
  - a 逆相入力端子
  - b 正相入力端子

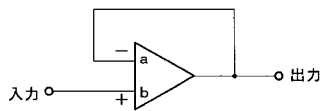
【図1】



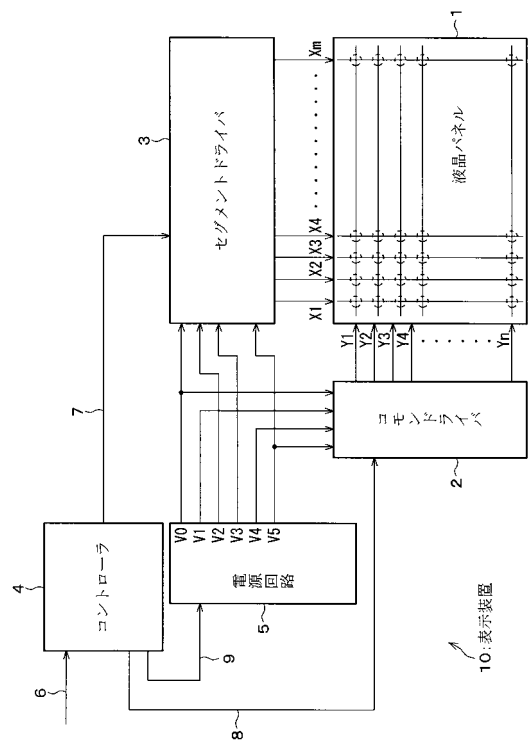
【図2】



【図3】

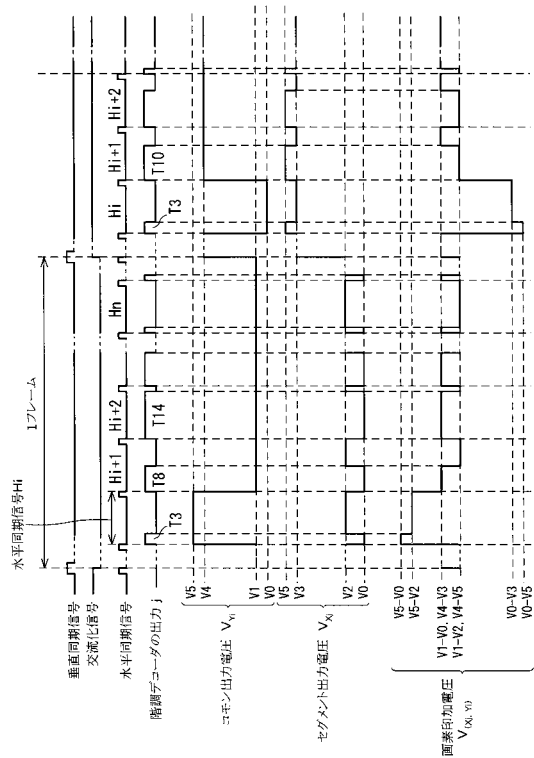


【図4】

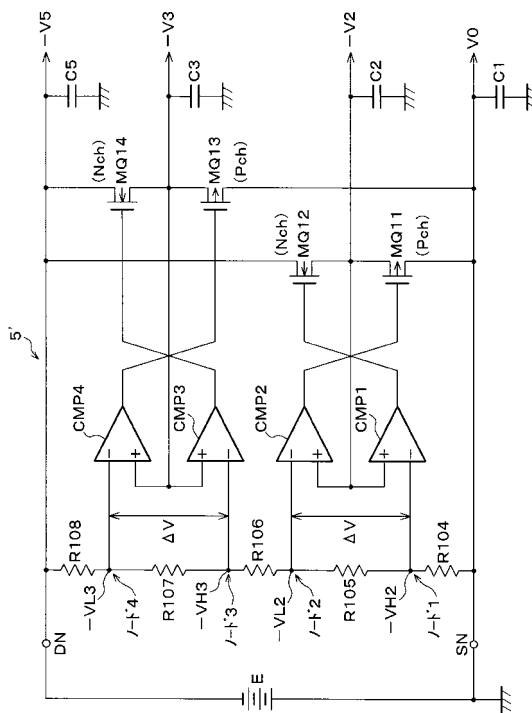


10: 表示装置

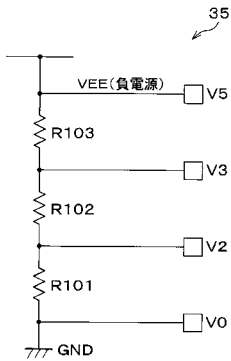
【 図 5 】



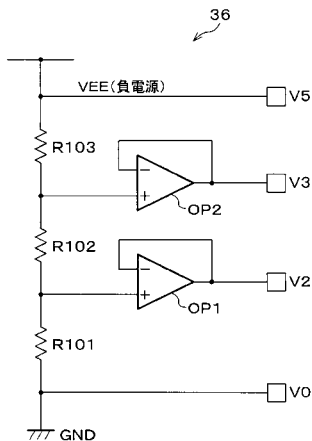
【 図 6 】



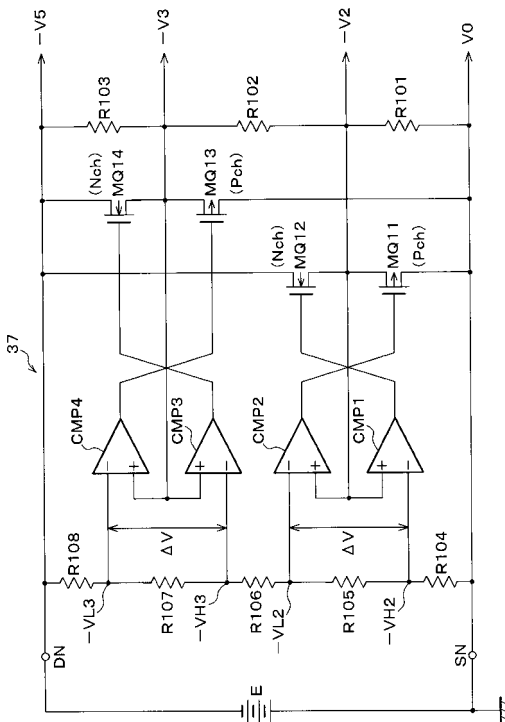
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

- (56)参考文献 特開平07 - 297653 (JP, A)  
特開平07 - 270751 (JP, A)  
特開平08 - 262403 (JP, A)  
特開2002 - 140040 (JP, A)  
特開平07 - 142940 (JP, A)  
特開2002 - 290172 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133