

[12] 发明专利申请公开说明书

[21] 申请号 02108051.8

[43] 公开日 2002 年 11 月 6 日

[11] 公开号 CN 1378343A

[22] 申请日 2002. 3. 26 [21] 申请号 02108051.8

[30] 优先权

[32]2001. 3. 27 [33]JP [31]089880/2001

[71] 申请人 富士通株式会社

地址 日本神奈川

[72] 发明人 青木考樹 先间宏行

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

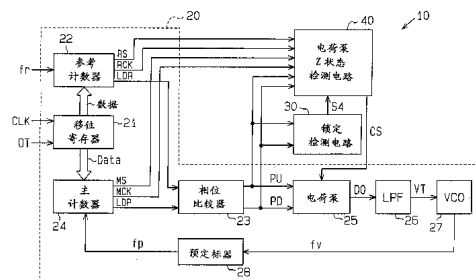
代理人 李德山

权利要求书 6 页 说明书 15 页 附图 10 页

[54] 发明名称 PLL 电路的模式转换方法和 PLL 电路的模式控制电路

[57] 摘要

一种具有高速模式和常规模式的 PLL 电路的模式转换方法,允许 PLL 电路快速被锁定。该 PLL 电路(20)包括一个相位比较器(23)和一个电荷泵(25),用于根据来自相位比较器的比较输出信号生成电流。模式转换方法包括检测电荷泵的电流输出端是否在高阻抗状态的步骤,当检测出高阻抗时,使 PLL 电路由高速模式向通常模式或由通常模式向高速模式转换的步骤。



ISSN 1008-4274

1. 一种 PLL 电路的模式转换方法，其中 PLL 电路包括一个相位比较器（23），用于比较参考频率分离信号和比较频率分离信号之间的相位，并生成比较输出信号，一个电荷泵（25）用于根据来自相位比较器的比较输出信号生成电流，和一个压控振荡器（27），用于生成具有与电荷泵输出电流相一致的预置频率的输出信号，其中，PLL 电路有一个第一模式，用于快速对输出信号锁定而获得所需的频率，和一个通常使用的第二模式，其特征在于，该方法包括以下步骤：

检测电荷泵的电输出端是否工作在高阻抗状态；和

当检测出高阻抗状态时，使 PLL 电路从第一模式向第二模式或从第二模式向第一模式转换。

2. 如权利要求 1 的 PLL 电路模式转换方法，其中 PLL 电路还包括一个锁定检测电路（30），用于根据来自相位比较器的比较输出信号检测 PLL 电路的锁定状态，并当检测到锁定状态时生成锁定检测信号，一个与相位比较器相连的参考计数器（22），用于生成参考频率分离信号、时钟信号和内部状态信号，一个与相位比较器相连的主计数器（24），用于生成比较频率分离信号、时钟信号和内部状态信号，其特征在于，该方法包括以下步骤：

根据来自相位比较器的比较输出信号以及来自参考计数器和主计数器其中之一时钟信号和内部状态信号，对锁定检测信号进行控制；

根据受控锁定检测信号生成模式转换信号；

其中 PLL 电路进行模式转换的步骤包括响应于模式转换信号，而从第一模式转换到第二模式或从第二模式转换到第一模式。

3. 如权利要求 1 的 PLL 电路模式转换方法，其中 PLL 电路还包括一个锁定检测电路（30），用于根据来自相位比较器的比较输出信号检测 PLL 电路的锁定状态，并当检测到锁定状态时生成锁定检测信号，一个与相位比较器相连的参考计数器（22），用于生成参考频率

分离信号，一个与相位比较器相连的主计数器（24），用于生成比较频率分离信号，和一个移位寄存器（21）用于生成频率分离比设置信号，用来改变频率分离比，该频率分离比至少由参考计数器和主计数器其中之一来设置，其特征在于，该方法进一步包括以下步骤：

根据来自相位比较器的比较输出信号以及频率分离比设置信号对锁定检测信号进行控制；

根据受控锁定检测信号生成模式转换信号；

其中 PLL 电路进行模式转换的步骤包括响应于模式转换信号，而从第一模式转换到第二模式或从第二模式转换到第一模式。

4. 一种用于对 PLL 电路的模式进行控制的电路，其中 PLL 电路包括一个相位比较器（23），用于比较参考频率分离信号和比较频率分离信号之间的相位并生成比较输出信号，一个与相位比较器相连的电荷泵（25），用于根据来自相位比较器的比较输出信号生成电流，和一个与电荷泵相连的压控振荡器（27），用于生成具有与电荷泵生成电流相一致的具有预置频率的输出信号，其中，PLL 电路有一个第一模式，用于快速对输出信号锁定而获得所需的频率，和一个通常使用的第二模式，其特征在于，该电路包括：

状态检测电路（40，60，70），用于检测电荷泵的电流输出端是否工作在高阻抗状态，并当检测出高阻抗时，生成模式转换信号，使 PLL 电路从第一模式向第二模式转换或从第二模式向第一模式转换。

5. 如权利要求 4 的对 PLL 电路的模式进行控制的电路，其进一步的特征在于：

一个与状态检测电路相连的锁定检测电路（30），用于根据来自相位比较器的比较输出信号，检测 PLL 电路的锁定状态，并当检测到锁定状态时，生成锁定检测信号；

其中状态检测电路根据锁定检测信号生成模式转换信号。

6. 如权利要求 5 的对 PLL 电路的模式进行控制的电路，其中 PLL 电路包括一个与相位比较器相连的参考计数器（22），用于生成参考

频率分离信号、时钟信号和内部状态信号，一个与相位比较器相连的主计数器（24），用于生成比较频率分离信号、时钟信号和内部状态信号，其特征在于，状态检测电路根据来自相位比较器的比较输出信号以及来自参考计数器和主计数器其中之一时钟信号、内部状态信号，对锁定检测信号进行控制，并根据受控锁定检测信号生成模式转换信号。

7. 如权利要求6的对PLL电路的模式进行控制的电路，其特征在于，相位比较器比较参考频率分离信号和比较频率分离信号之间的相位，并生成第一脉冲信号和第二脉冲信号，其中状态检测电路（40）包括：

一个第一触发器（41），用于生成第一触发器输出信号，该第一触发器包括一个第一时钟输入端，接收来自参考计数器的时钟信号，一个第一数据输入端，接收来自参考计数器的内部状态信号，和一个第一重置输入端，接收来自相位比较器的第一脉冲信号；

一个第二触发器（42），用于生成第二触发器输出信号，该第二触发器包括一个第二时钟输入端，接收来自主计数器的时钟信号，一个第二数据输入端，接收来自主计数器的内部状态信号，和一个第二重置输入端，接收来自相位比较器的第二脉冲信号；

一个与第一和第二触发器相连的与电路（43），用于接收第一和第二触发器输出信号，并生成“与”输出信号；和

一个同与电路和锁定检测电路相连的与电路（44），用于根据“与”输出信号与锁定检测信号并生成模式转换信号。

8. 如权利要求7的对PLL电路的模式进行控制的电路，其特征在于，第一触发器和第二触发器都包含有一延迟触发器。

9. 如权利要求6的对PLL电路的模式进行控制的电路，其特征在于，参考计数器生成内部状态信号，其早于参考频率分离信号预定数量的时钟脉冲，并且其中主计数器生成内部状态信号，其早于比较频率分离信号预定数量的时钟脉冲。

10. 如权利要求 6 的对 PLL 电路的模式进行控制的电路, 其特征在于, 状态检测电路 (60) 包括:

一个与相位比较器相连的与电路 (62), 用于接收第一脉冲信号和第二脉冲信号并生成“与”输出信号;

一个同与电路相连的触发器 (61), 用于生成触发器输出信号, 该触发器包括一时钟输入端, 接收来自主计数器的时钟信号, 一个数据输入端, 接收来自主计数器的内部状态信号, 和一个重置输入端, 接收“与”输出信号, 和

一个与触发器和锁定检测电路相连的闩锁电路 (63), 用于根据触发器输出信号闩锁锁定检测信号并生成模式转换信号。

11. 如权利要求 10 的对 PLL 电路的模式进行控制的电路, 其特征在于, 触发器包括一个延迟触发器。

12. 如权利要求 6 的对 PLL 电路的模式进行控制的电路, 其特征在于, 状态检测电路 (60) 包括:

一个与相位比较器相连的与电路 (62), 用于接收第一脉冲信号和第二脉冲信号, 并生成与输出信号;

一个同与电路相连的触发器 (61), 用于生成触发器输出信号, 该触发器包括一时钟输入端, 接收来参考计数器的时钟信号, 一个数据输入端, 接收来自参考计数器的内部状态信号, 和一个重置输入端, 接收“与”输出信号, 和

一个与触发器和锁定检测电路相连的闩锁电路 (63), 用于根据触发器输出信号闩锁锁定检测信号并生成模式转换信号。

13. 如权利要求 12 的对 PLL 电路的模式进行控制的电路, 其特征在于, 触发器包括一延迟触发器。

14. 如权利要求 5 的对 PLL 电路的模式进行控制的电路, 其中 PLL 电路包括一个参考计数器, 用于生成参考频率分离信号, 一个主计数器, 用于生成比较频率分离信号, 和一个与参考计数器和主计数器相连的移位寄存器, 用于生成频率分离比设置信号, 其用来改变频率分

离比，该频率分离比至少由参考计数器和主计数器其中之一来设置，其特征在于，状态检测电路根据来自相位比较器的比较输出信号以及频率分离比设置信号，对锁定检测信号进行控制，并根据受控锁定检测信号生成模式转换信号。

15. 如权利要求 14 的对 PLL 电路的模式进行控制的电路，其特征在于，状态检测电路（70）包括：

一个与相位比较器相连的或电路（70），用于接收第一脉冲信号和第二脉冲信号，并生成“或”输出信号；和

一个与或电路和锁定检测电路相连的触发器（72），用于生成模式转换信号，该触发器包括一个时钟输入端，接收“或”输出信号，和一个数据输入端，接收锁定检测信号，和一个重置输入端，接收频率分离比设置信号。

16. 如权利要求 15 的对 PLL 电路的模式进行控制的电路，其特征在于，触发器包括一个延迟触发器。

17. 如权利要求 4 的对 PLL 电路的模式进行控制的电路，其特征在于，状态检测电路进一步包括一个延迟电路，通过预定时间对模式转换信号进行延迟。

18. 如权利要求 4 的对 PLL 电路的模式进行控制的电路，其中 PLL 电路进一步包括一个与电荷泵相连的低通滤波器，用于平滑来自电荷泵的输出信号，以消除其中的高频分量，并将电荷泵输出的已消除了高频分量的输出信号输入到压控振荡器中，其特征在于，状态检测电路将模式转换信号输入到相位比较器、电荷泵和低通滤波器之中的任何一个。

19. 一种含有 PLL 电路（20）和与该 PLL 电路相连的模式控制电路（30，40）的半导体装置，用于对 PLL 电路模式转换进行控制，其中 PLL 电路包括一个相位比较器（23），用于比较参考频率分离信号和比较频率分离信号之间的相位，并生成比较输出信号，一个与相位比较器相连的电荷泵（25），用于根据相位比较器的比较结果生成电

流，和一个与电荷泵相连的压控振荡器（27），用于生成具有与电荷泵输出电流相一致的具有预定频率的输出信号，其中，PLL电路有一个第一模式，用于快速对输出信号锁定而获得所需的频率，和一个通常使用的第二模式，其特征在于，该半导体装置包括：

模式控制电路，检测电荷泵的电流输出端是否工作在高阻抗状态；当检测出高阻抗状态时，生成模式转换信号，使PLL电路从第一模式向第二模式转换或从第二模式向第一模式转换。

PLL 电路的模式转换方法 和 PLL 电路的模式控制电路

背景技术

本发明涉及一种 PLL 电路的模式转换方法和 PLL 电路的模式控制电路，特别地，本发明涉及具有两种模式，即高速模式和常规模式的 PLL 电路的模式转换方法及模式控制电路。

近些年来，在移动通信中，例如在蜂窝电话系统中，PLL 电路被用在 PLL 频率合成器。这对 PLL 电路高速锁定有严格要求，同时对 PLL 电路在被锁定时，要有高的信噪比（载波与噪声之比）和低的杂波泄露（spurious leakage）有严格要求。为满足以这两个相互矛盾的要求，提出了一种可以在高速模式和常规模式之间转换的方法。在高速模式下，环路增益大，PLL 电路以高速锁闭。在常规模式下，环路增益小，可获得高的 C/N 比和低的杂波泄露特性。

附图 1 是传统 PLL 频率合成器的方框图。

如图 1 所示，PLL 电路 80 包括一相位比较器 84，用于从一参考计数器 82 接收参考频率分离信号 LDR 和从主计数器 83 接收比较频率分离信号 LDP。相位比较器 84 对参考频率分离信号 LDR 和比较频率分离信号 LDP 之间的相位进行比较，生成一上行脉冲信号或一下行脉冲信号，其脉冲持续时间取决于比较结果。一电荷泵 85 用于接收上行脉冲信号 PU 或下行脉冲信号 PD，根据所接收到的上行脉冲信号 PU 或下行脉冲信号 PD 生成电流 DO。电流 DO 通过一低通滤波器（LPF）86 输入到 VCO87，其受控于电流 DO。

当参考频率分离信号 LDR 和比较频率分离信号 LDP 同相时，即，当 PLL 电路 80 在锁定状态时，如果电荷泵 85 的输出电流 DO 是 0（零），那么系统不在工作区。为此，相位比较器 84 生成一上行电流和一下行

电流。由于当 PLL 电路 80 被锁定时，每个输出电流的流动会影响信噪比 C/N 和杂波泄露，因此在常规状态下输出电流被抑制。

如果 PLL 电路 80 中的低通滤波器 86 是固定的，那么当输出电流大时，锁定时间变短。为此，在高速模式下，电荷泵 85 的输出电流 DO 应被设置为高于其在常规模式下，或是增加上行脉冲信号 PU 和下行脉冲信号 PD 的脉冲持续时间。

在常规模式和高速模式之间的转换是通过一锁定检测电路 89 完成的，该锁定检测电路通过相位比较器 84 的比较输出信号（上行脉冲信号 PU 和下行脉冲信号 PD）检测锁定状态。锁定检测电路 89 生成一模式转换信号 SW，并将该模式转换信号输入到电荷泵 85 中。根据锁定状态，锁定检测电路 89 在常规模式和高速模式之间转换。

在锁定状态下，参考频率分离信号 LDR 的频率和比较频率分离信号 LDP 的频率相同。当信号 LDR，LDP 之间的相差落入预定的范围内时，锁定检测电路 89 从高速模式转换到常规模式。

由于电荷泵 85 和低通滤波器 86 的特性，带有固定设置的低通滤波器 86 的 PLL 电路 80 在信号 LDR，LDP 之间有相差。因此，PLL 电路 80 在高速模式和常规模式中的不同状态下是稳定的。结果是，当从高速模式转换到常规模式时，PLL 电路 80 趋向于不锁定，增加了参考频率分离信号 LDR 和比较频率分离信号 LDP 之间的相差。

在这种情况下，总的锁定时间是，在高速模式下的锁定时间与在模式转换时使 PLL 电路从未锁定状态到锁定状态所需要的再锁定时间的总和。为降低总的锁定时间，为此，有必要降低由于未锁定状态而所需的再锁定时间。

但是，当锁定检测电路 89 检测到一锁定状态之后，锁定检测电路 89 生成模式转换信号 SW，用于从高速模式向常规模式转换。如果在运行过程中，该模式转换信号 SW 输入到电荷泵 85，那么，由 PLL 电路开锁（unlocking）而导致的锁定频率和未锁定频率之间的差值，即未锁定频率间隔将变宽。

如果未锁定间隔变大,那么当 PLL 电路再被锁定时,达到最大未锁定频率所需的时间(最大未锁定状态到达时间)将增加,导致再锁定时间的增加。从而使总的锁定时间增加。

发明内容

本发明的一个目的是提供一种用于 PLL 电路的模式转换方法和模式控制电路,使工作在高速模式和常规模式的 PLL 电路被快速锁定成为可能。

为实现上述目的,本发明提出了一种 PLL 电路的模式转换方法。PLL 电路包括一个相位比较器,用于比较参考频率分离信号和比较频率分离信号之间的相位并生成比较输出信号,一个电荷泵,用于根据来自相位比较器的比较输出信号生成电流,和一个压控振荡器,用于生成具有与电荷泵输出电流相一致的含有预置频率的输出信号。PLL 电路有一个第一模式,用于快速对输出信号锁定而获得所需的频率,和一个通常使用的第二模式。该方法包括检测电荷泵的电流输出端是否工作在高阻抗状态,和当检测出高阻抗状态时,在 PLL 电路的模式之间转换,即从第一模式向第二模式转换或从第二模式向第一模式转换。

本发明另一个方面是提出了用于对 PLL 电路的模式进行控制的电路。PLL 电路包括一个相位比较器,用于比较参考频率分离信号和比较频率分离信号之间的相位并生成比较输出信号,一个与相位比较器相连的电荷泵,用于根据来自相位比较器的比较输出信号生成电流,和一个与电荷泵相连的压控振荡器,用于生成具有与电荷泵输出电流相一致的含有预置频率的输出信号。PLL 电路有一个第一模式,用于快速对输出信号锁定而获得所需的频率,和一个通常使用的第二模式。该电路包括一状态检测电路用于检测电荷泵的电流输出端是否工作在高阻抗状态。当检测出高阻抗状态时,状态检测电路生成模式转换信号使 PLL 电路从第一模式向第二模式转换或从第二模式向第一模式

转换。

本发明的另一个方面是提出了一个含有 PLL 电路和与该 PLL 电路相连的模式控制电路的半导体装置，用于对 PLL 电路模式转换进行控制。PLL 电路包括一个相位比较器，用于比较参考频率分离信号和比较频率分离信号之间的相位并生成比较输出信号，一个与相位比较器相连的电荷泵，用于根据来自相位比较器的比较输出信号结果生成电流，和一个与电荷泵相连的压控振荡器，用于生成具有与电荷泵输出电流相一致的具有预定频率的输出信号。PLL 电路有一个第一模式，用于快速对输出信号锁定而获得所需的频率，和一个通常使用的第二模式。模式控制电路检测电荷泵的电流输出端是否工作在高阻抗状态，当检测出高阻抗状态时，生成模式转换信号，使 PLL 电路从第一模式向第二模式转换或从第二模式向第一模式转换。

以下结合附图，以及借助实施例对本发明原理的示意性描述，本发明其他方面和优点将更明显。

附图说明

以下结合附图对本发明优选实施方式的描述，将更好地理解本发明、以及本发明的目的和优点，其中：

图 1 示出了常规 PLL 频率合成器的示意方框图；

图 2 是依本发明第一实施例 PLL 频率合成器的示意方框图；

图 3 是图 2 所示 PLL 频率合成器的电荷泵 Z 状态检测电路的电路原理图；

图 4A 是图 2 所示 PLL 频率合成器中计数器的电路原理图；

图 4B 是图 4A 所示计数器的输出波形；

图 5 是图 2 所示 PLL 频率合成器的时间图；

图 6 是图 2 所示 PLL 频率合成器从高速模式向常规模式转换时的波形图；

图 7 是依本发明第二实施例的 PLL 频率合成器的电荷泵 Z 状态检

测电路的电路原理图;

图 8 是图 7 所示 PLL 频率合成器的时间图;

图 9 是依本发明第三实施例的 PLL 频率合成器的电荷泵 Z 状态检测电路的电路原理图;

图 10 是图 9 所示 PLL 频率合成器的时间图。

具体实施方式

图 2 是依本发明第一实施例的 PLL 频率合成器 10 的示意方框图。该 PLL 频率合成器包括一 PLL 电路 20, 一锁定检测电路 30, 和一个电荷泵 Z 状态检测电路 (以下称“状态检测电路”) 40。

PLL 电路 20 具有在高速模式(第一模式)和常规模式(第二模式)之间进行转换的功能。在高速模式下, 环路增益高, PLL 电路 20 快速被锁定。在常规模式下, 环路增益低, 可获得高信噪比 C/N 和低的杂波泄露特性。

锁定检测电路 30 根据来自 PLL 电路 20 的上行脉冲信号 PU (第一脉冲信号) 和下行脉冲信号 PD (第二脉冲信号) 检测 PLL 电路 20 的锁定状态。锁定检测电路 30 根据检测结果生成锁定检测信号 S4。

状态检测电路 40 根据来自 PLL 电路 20 的计数器内部状态信号 RS, MS, 计数器时钟信号 RCK, MCK 和脉冲信号 PU, PD 对锁定检测信号 S4 进行控制, 生成模式转换信号 CS。该模式转换信号 CS 被输入到 PLL 电路 20 中。

以下是对 PLL 电路 20 的详细描述。PLL 电路 20 包括一个移位寄存器 21, 一个参考计数器(参考分频器) 22, 一个相位比较器 23, 一个主计数器(对比分频器) 24, 一个电荷泵 25, 一个低通滤波器 26 (以下称“LPF”), 一个压控振荡器 27 (以下称“VCO”), 和一个预定标器 28。

移位寄存器 21 从外部信源接收时钟信号 CLK, 并根据该时钟信号 CLK 不间断地读取串行信号 DT。该移位寄存器 21 将所读取的串

行信号 DT 转化为并行信号数据，并将并行信号数据输入到参考计数器 22 和主计数器 24 中。

参考计数器 22 接收诸如由石英晶体器件振荡所生成的具有预定频率的参考信号 f_r 。参考计数器 22 根据参考频率分离比 (frequency-dividing ratio)，对参考信号 f_r 的频率进行分离，生成一参考频率分离信号 LDR。该参考频率分离比根据并行信号数据获得。参考频率分离信号 LDR 被送到相位比较器 23 中。相位比较器 23 接收来自主计数器 24 的比较频率分离信号 LDP。

相位比较器 23 对信号 LDR, LDP 的相位进行比较，生成上行脉冲信号 PU 和下行脉冲信号 PD (比较输出信号)，其脉冲持续时间取决于相差，将上行脉冲信号 PU 和下行脉冲信号 PD 输入到电荷泵 25 中。电荷泵 25 生成泵频信号 DO，其电流值取决于上行脉冲信号 PU 和下行脉冲信号 PD，将泵频信号 DO 输入到 LPF26 中。

LPF26 平滑泵频信号 DO 以生成控制信号 VT，该控制信号是无高频分量的直流电压。控制信号 VT 输入到 VCO27 中。VCO27 生成 VCO 信号 f_v ，其频率取决于控制信号 VT 的电压值，将 VCO 信号 f_v 输入到预定标器 28 和外部电路中 (图中未示出)。

预定标器 28 根据固定的频率分离比频分 VCO 信号 f_v ，生成比较信号 f_p ，输入到主计数器 24 中。主计数器 24 根据比较频率分离比频分比较信号 f_p ，生成比较频率分离信号 LDP。比较频率分离信号 LDP 输入到相位比较器 23 中。

在 PLL 电路 20 中，当 VCO 信号 f_v 的频率变得低于锁定频率时，比较信号 f_p 的频率将变得低于参考信号 f_r 的频率，引起信号 f_r 和 f_p 之间出现相差。相位比较器 23 生成上行脉冲信号 PU 和下行脉冲信号 PD，其脉冲间隔取决于信号 f_r 和 f_p 之间的相差。例如，相差可致上行脉冲信号 PU 的脉冲间隔长于下行脉冲信号 PD 的脉冲间隔。

电荷泵 25 根据上行脉冲信号 PU 和下行脉冲信号 PD 在低电常态的脉冲间隔，生成泵频信号 DO。在上行脉冲信号 PU 和下行脉冲信号

处于高电平的期间内，电荷泵 25 维持其输出端在一高阻抗状态（Z 状态）。LPF26 根据泵频信号 DO 改变控制信号 VT 的电压值，生成控制信号 VT，例如该控制信号具有高电压值。此时，VCO27 根据控制信号 VT 生成高频 VCO 信号 f_v 。

相反地，当 VCO 信号 f_v 的频率变得高于所需的频率时，比较信号 f_p 的频率将变得高于参考信号 f_r 的频率，引起信号 f_r 和 f_p 之间的相差。相位比较器 23 生成上行脉冲信号 PU 和下行脉冲信号 PD，这些信号的脉冲持续时间取决于信号 f_r 和 f_p 之间的相差。

电荷泵 25 根据上行脉冲信号 PU 和下行脉冲信号 PD 在低电常态的脉冲间隔，输出泵频信号 DO。在上行脉冲信号 PU 和下行脉冲信号处于高电平的期间内，电荷泵 25 维持其输出端在一高阻抗状态（Z 状态）。LPF26 根据泵频信号 DO 生成具有低电压值的控制信号 VT。此时，VCO27 根据该控制信号 VT 生成具有低频 VCO 信号 f_v 。

PLL 电路 20 重复执行以上操作，将 VCO 信号 f_v 的频率锁定在对应于参考计数器 22 的参考频率分离比和主计数器 24 的比较频率分离比的频率上。

PLL 电路 20 根据模式转换信号 CS 在高速模式信号常规模式之间转换。在本发明第一实施例中，电荷泵进行模式转换。电荷泵 25 根据对应于模式转换信号 CS 的每种模式，调节泵频信号 DO 的电流大小。特别地，根据模式转换信号 CS，电荷泵 25 在高速模式时的泵频信号 DO 的电流高于在常规模式时的泵频信号 DO 的电流。因此，在高速模式下，VCO 信号 f_v 频率的增加的变化，使得 VCO 信号 f_v 更快地接近所需的频率。在常规模式下，VCO 信号 f_v 频率的降低的变化，稳定了 VCO 信号 f_v 的频率。

模式转换功能通过相位比较器 23 或 LPF26 来完成。

以下是对锁定检测电路 30 的描述。锁定检测电路 30 包括一相位比较器（未示出），举例来说。锁定检测电路 30 接收上行脉冲信号和下行脉冲信号，检测信号 PU 和 PD 之间的相差。锁定检测电路 30 根

据检测结果生成锁定检测信号 S4，并输出至状态检测电路 40 中。

脉冲信号 PU 和 PD 上升边之间的相差随参考频率分离信号 LDR 和比较频率分离信号 LDP 之间的频差变化。当脉冲信号 PU 和 PD 之间的相差小于或等于预先设定的值时，锁定检测电路 30 检测出 PLL 电路 20 处于锁定状态。当脉冲信号 PU 和 PD 之间的相差大于该预先设定的值时，锁定检测电路 30 检测到 PLL 电路 20 处于未锁定状态。根据本发明第一实施例，当脉冲信号 PU 和 PD 之间的相差小于或等于一预先设定的值时（锁定状态），锁定检测电路 30 生成一高电平的锁定检测信号 S4，当脉冲信号 PU 和 PD 之间的相差大于该预先设定的值时（未锁定状态），锁定检测电路 30 生成低电平的锁定检测信号 S4。

以下对状态检测电路 40 进行描述。如图 3 所示，状态检测电路 40 包括第一触发器 41 和第二触发器 42（以下称“FF”），一个与电路（AND）43，和一个闩锁电路（LATCH）44。

第一触发器 41 和第二触发器 42 由延时触发器组成。该第一触发器 41 包括一时钟输入端，接收来自参考计数器 22 的时钟信号 RCK，一数据输入端，接收来自参考计数器 22 的计数器内部状态信号 RS，和一个重置输入端（RESET），接收上行脉冲信号 PU。

第二触发器 42 包括一时钟输入端，接收来自主计数器 24 的时钟信号 MCK，一数据输入端，接收来自主计数器 24 的计数器内部状态信号 MS，和一个重置输入端（RESET），接收下行脉冲信号 PD。

与电路 43 接收来自第一触发器 41 和第二触发器 42 的输出信号 S1 和 S2。闩锁电路 44 包括一选通输入端（STB）接收来自与电路 43 的输出信号 S3，和一数据输入端，接收来自锁定检测电路 30 的锁定检测信号 S4。闩锁电路 44 根据来自与电路 43 的输出信号 S3 闩锁锁定检测信号 S4，并生成模式转换信号 CS。状态检测电路 40 向电荷泵 25 输出模式转换信号 CS。

当锁定检测电路 30 检测到锁定状态并生成高电平锁定检测信号

S4 时，状态检测电路 40 生成模式转换信号 CS，用于使 PLL 电路 20 工作在常规模式中。当锁定检测电路 30 检测到未锁定状态并生成低电平锁定检测信号 S4 时，状态检测电路 40 生成模式转换信号 CS，用于使 PLL 电路 20 工作在高速模式中。

图 4A 是参考计数器 22 的电路原理图，图 4B 是参考计数器 22 的输出波形。

如图 4A 所示，参考计数器 22 包括第一到第五 51 至 55 的 5 个 T-触发器（以下称“TFF”），一个或电路 56，和一个与电路 57。

参考计数器 22 是一倒计数的计数器，包括从第一到第五 51 至 55 的 5 个 TFF，举例来说。第一 TFF51 接收时钟信号（计数器输入）RCK。与电路 57 接收来自从第一到第五 TFF 51 至 55 的输出信号 OUT1 至 OUT5，并根据输出信号 OUT1 至 OUT5，生成参考频率分离信号 LDR（计数器输出）。

或电路 56 接收来自第二到第五 TFF52 至 55 的输出信号 OUT2 至 OUT5，并根据输出信号 OUT2 至 OUT5 生成内部状态信号（计数器内部输出信号）RS。如图 4B 所示，在参考频率分离信号 LDR 变为高电平之前，内部状态信号 RS 变为对应于时钟信号 RCK 的低电平两时钟脉冲。

主计数器 24 包括有同参考计数器 24 相类似的电路。在比较频率分离信号 LDP 变为高电平之前，主计数器 24 的内部状态信号 MS 也变为对应于时钟信号 MCK 的低电平两时钟脉冲。

如图 5 所示，从内部状态信号 RS 变成低电平的时刻到上行脉冲信号变成高电平的时刻，第一 FF41 输出低电平第一 FF 信号 S1。从内部状态信号 MS 变成低电平的时刻到下行脉冲信号 PD 变成高电平的时刻，第二 FF42 输出低电平的第二 FF 信号 S2。

为此，与电路 43 接收第一和第二 FF 信号 S1，S2，并当电荷泵 25 按照脉冲信号 PU，PD 工作时，输出低电平的与信号 S3。当电荷泵 25 不工作时（Z 状态），与电路 43 输出高电平的与信号 S3。

闩锁电路 44 根据与信号 S3 闩锁锁定检测信号 S4，并根据已闩锁的锁定检测信号 S4 生成模式转换信号 CS。

如图 5 所示，模式转换信号 CS（模式转换定时）随与信号 S3 的上升边同步变化。

状态检测电路 40 将电荷泵 25 工作时的模式转换信号 CS 的电平变换为电荷泵 25 不工作状态（Z 状态）时的模式转换信号的电平。

以下是对 PLL 频率合成器 10 的操作过程的描述。

如图 5 所示，当 PLL 电路 20 首先工作在常规模式时，锁定检测电路 30 生成高电平的锁定检测信号 S4（锁定状态）。根据该高电平的锁定检测信号 S4，状态检测电路 40 向电荷泵 25 输入高电平的模式转换信号 CS。在常规模式下，泵频信号 DO 的电流被抑制。因此，降低了 VCO 信号 f_v 的频率变化，稳定了 VCO 信号 f_v 的频率。

当锁定频率改变，脉冲信号 PU，PD 之间的相差增加到超出预定值时，锁定检测电路 30 生成低电平的锁定检测信号 S4（未锁定状态）。

状态检测电路 40 根据低电平与信号 S3 锁定检测信号 S4。在接收到来自锁定检测电路 30 的低电平锁定检测信号 S4 后，状态检测电路 40 生成同与信号 S3 上升边同步的低电平模式转换信号 CS。PLL 电路 20 工作在高速模式下，并根据低电平模式转换信号 CS 快速锁定 VCO 输出信号。

电荷泵 25 根据低电平脉冲信号生成泵频信号 DO，根据高电平脉冲信号 PU，PD 将其的输出端转换到 Z 状态。因此，当电荷泵 25 在 Z 状态时，从常规模式转换到高速模式。

之后，当锁定检测电路再次生成高电平的锁定检测信号 S4 时，状态检测电路 40 输出高电平模式转换信号 CS 给处于 Z 状态的电荷泵 25。此时，PLL 电路 20 工作在常规模式下。当电荷泵 25 处于 Z 状态时，由于是从高速模式转换到常规模式，因此未锁定频率间隔减小。

图 6 是从高速模式转换到常规模式后的锁定波形。当在图 6 中的 T0 时刻进行模式转换时，根据模式转换同时得到的相位比较而得出的

未锁定频率 F1 低于常规的未锁定频率 F2。在第一实施例中，因为模式转换是在电荷泵 25 处于 Z 状态时进行的，所以未锁定频率间隔减小。因此，最大未锁定状态到达时间 T1 要短于常规最大未锁定状态到达时间 T2。因此，由于这些未锁定状态到达时间之间的差值 (T2-T1)，使得再锁定时间变短，同时也使总锁定时间变短。

根据第一实施例的 PLL 频率合成器 10 具有以下优点：当电荷泵 25 处于 Z 状态时，状态检测电路 40 生成模式转换信号 CS，使电荷泵从高速模式转换到常规模式。因此，减少了未锁定频率间隔，缩短了再锁定时间。结果是，缩短了总锁定时间。

[第二实施例]

图 7 是根据本发明第二实施例的状态检测电路 60 的电路原理图。状态检测电路包括一个触发器 (FF) 61，一个与电路 62，一个闩锁电路 63。与电路 62 接收上行脉冲信号 PU 和下行脉冲信号 PD。

FF61 包括一延迟触发器。FF61 包括一时钟输入端，接收来自自主计数器 24 的时钟信号 MCK，一数据输入端，接收来自自主计数器 24 的计数器内部状态信号 MS，和一个重置输入端，接收来自与电路 62 的输出信号 S11。因此，如图 8 所示，从计数器内部状态信号 MS 变为低电平的时刻起到与输出信号 S11 变为高电平的时刻止，FF61 生成低电平的 FF 输出信号。

闩锁电路 63 有一数据输入端，接收来自时钟检测电路 30 的锁定检测信号 S4 和一选通输入端，接收 FF 输出信号 S12。闩锁电路 63 根据 FF 输出信号 S12 闩锁锁定检测信号 S4，并生成模式转换信号 CS，输入到电荷泵 25 中。

状态检测电路 60 根据来自自主计数器的内部状态信号 MS 和时钟信号 MCK，以及脉冲信号 PU，PD 对时钟检测信号 S4 进行控制，并根据时钟检测信号 S4 生成模式转换信号 CS。状态检测电路 60 还可根据参考计数器 22 的内部状态信号 RS 和时钟信号 RCK 对时钟检测信号 S4 进行控制。

以下是对含有状态检测电路 60 的 PLL 频率合成器 10A 的操作过程的描述。如图 8 所示，当 PLL 电路首先工作在常规模式下，锁定检测电路 30 生成高电平锁定检测信号 S4（锁定状态）。为响应高电平锁定检测信号 S4，状态检测电路 60 生成高电平模式转换信号，输入到电荷泵 25 中。

此时，锁定频率改变，来自相位比较器 23 的脉冲信号 PU，PD 之间的相差增加至超出预定值。之后，锁定检测电路 30 生成低电平锁定检测信号 S4（未锁定状态）。

状态检测电路 60 对低电平锁定检测信号 S4 作出响应，并根据来自 FF61 的低电平信号门锁锁定检测信号 S4。特别地，当电荷泵 25 处于 Z 状态时，状态检测电路 60 生成低电平模式转换信号 CS。PLL 电路 20 对低电平模式转换信号 CS 作出响应，工作在高速模式下并快速锁定 VCO 输出信号。

之后，当锁定检测电路 30 再次生成高电平锁定检测信号 S4 时，即代表锁定状态时，当电荷泵 25 处于 Z 状态时，状态检测电路 60 生成高电平模式转换信号 CS。PLL 电路 20 对高电平模式转换信号 CS 作出响应，工作在常规模式下。由于当电荷泵 25 处于 Z 状态时，由高速模式转换到常规模式，所以缩短了未锁定频率间隔。

在第二实施例中，主计数器 24 的内部状态信号 MS 和时钟信号 MCK 控制锁定检测信号 S4。状态检测电路 60 具有同第一实施例相同的优点，并可由较少数目的电路元器件构成。

[第三实施例]

图 9 是根据本发明第三实施例的状态检测电路 70 的电路原理图。

状态检测电路 70 包括一个或电路 71 和一个触发器（FF）72。

或电路 71 接收上行脉冲信号 PU 和下行脉冲信号 PD。FF72 包括一个延迟触发器。FF72 有一个时钟输入端，接收来自或电路 71 的输出信号 S21，一个数据输入端，接收来自锁定检测电路 30 的锁定检测信号 S4，和一重置输入端，接收来自移位寄存器 21 的频率分离比设

置信号 LE。FF72 生成模式转换信号 CS。用于改变锁定频率的计数器频率分离比通过频率分离比设置信号 LE 来设定。

在第三实施例中，状态检测电路 70 根据频率分离比设置信号 LE 和脉冲信号 PU，PD 对锁定检测信号 S4 进行控制，并生成模式转换信号 CS，输入到电荷泵 25 中。

当由高速模式转换到常规模式时，未锁定状态的作用非常大。因此，根据第三实施例的状态检测电路 70 主要是对从高速模式向常规模式的模式转换进行控制。

以下是对根据第三实施例的状态检测电路 70 的 PLL 频率合成器 10B 操作过程的描述。如图 10 所示，当 PLL 电路 20 首先工作在常规模式下，锁定检测电路 30 生成高电平锁定检测信号 S4（锁定状态）。作为对高电平锁定检测信号 S4 的响应，状态检测电路 70 生成高电平模式转换信号，输入到电荷泵 25 中。

当 FF72 接收到来自移位寄存器 21 的低电平频率分离比设置信号 LE 时，FF72 生成低电平模式转换信号以响应低电平频率分离比设置信号。PLL 电路 20 对低电平模式转换信号 CS 做出响应，工作在高速模式下。状态检测电路 70 根据来自移位寄存器 21 中的频率分离比设置信号 LE 由常规模式转换到高速模式。

之后，当状态检测电路 70 再次接收到来自锁定检测电路 30 的高电平锁定检测信号 S4 时（锁定状态），状态检测电路 70 对来自或电路 71 的输出信号 21 作出响应，生成高电平模式转换信号 CS。PLL 电路对高电平模式转换信号 CS 作出响应，工作在常规模式下。

如上描述，根据输入到 FF72 时钟输入端的来自或电路 71 的输出信号 S21，由高速模式转换到常规模式，模式转换信号 CS 按与输出信号 S21 的上升边同步的方式转换。因此，当电荷泵 25 处于 Z 状态时，由高速模式转换到常规模式。

第三实施例的状态检测电路 70 根据来自移位寄存器 21 的频率分离比设置信号 LE 对锁定检测信号 S4 进行控制。状态检测电路 70 具

有同第一实施例和第二实施例相同的优点，并且构成该电路的元器件数量少于第二实施例所需的电路元器件。

本领域的技术人员应当知道，在不脱离本发明的精神和范围的情况下，还有多种具体形式体现本发明。特别地，应当明白，本发明还可通过以下方式来体现。

在第一和第二实施例中，参考计数器 22 和主计数器 24 的内部状态信号 RS, MS (计数器内部输出信号) 可以是早于参考频率分离信号 LDR 和比较频率分离信号 LDP (计数器输出信号) 一个或 3 个时钟脉冲的信号。具体来讲，内部状态信号 RS, MS 可以是在参考频率分离信号 LDR 和比较频率分离信号 LDP 之前，能立即可靠地屏蔽电荷泵 25 的操作的信号。

相位比较器 23 或 LPF26 可从高速模式转换到常规模式。在这种情况下，相位比较器 23 根据模式转换信号 CS，通过改变对模式切换信号 CS 响应的上行脉冲信号 PU 或下行脉冲信号 PD 的脉冲持续时间来进行模式转换。LPF26 响应模式转换信号 CS，通过改变 LPF 的特性来进行模式转换。

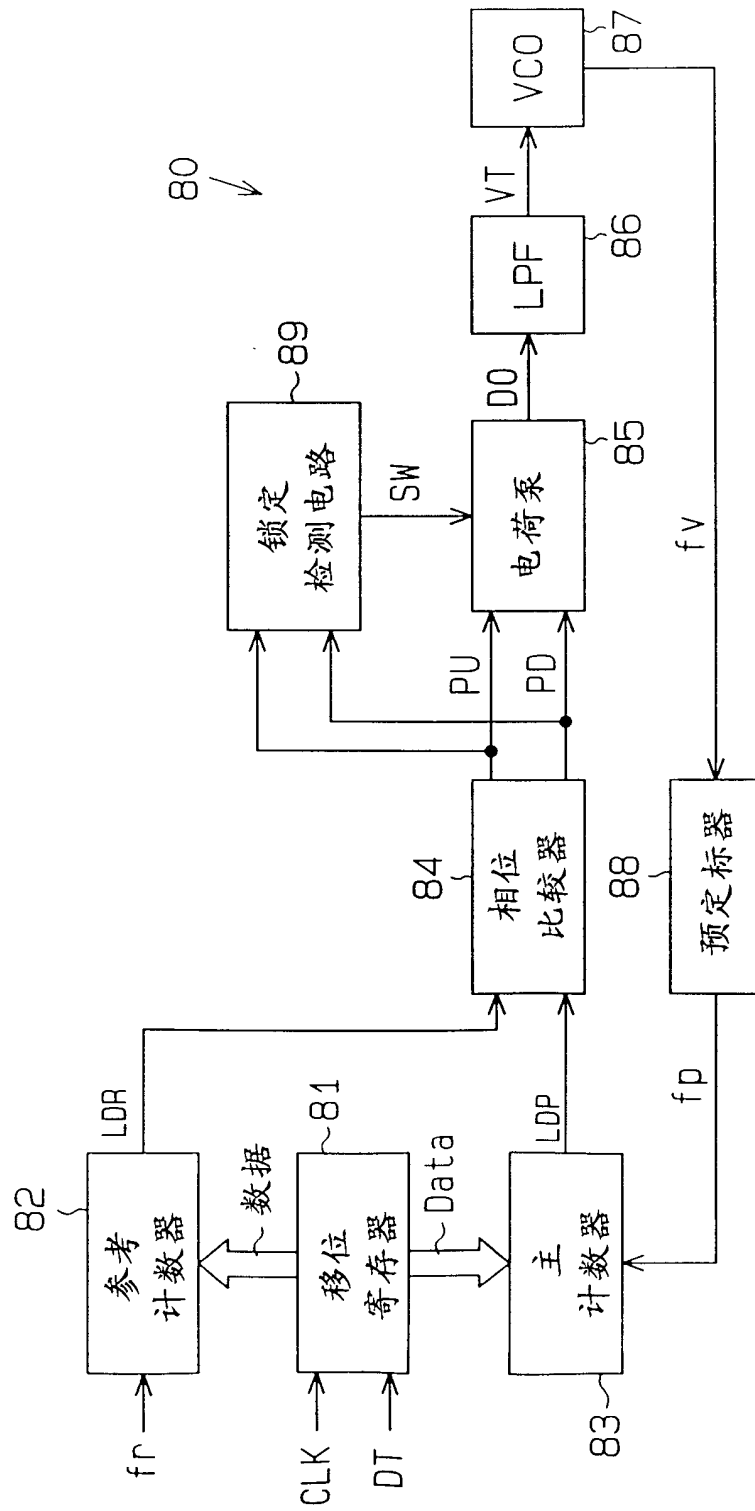
状态检测电路 40, 60, 70 根据来自移位寄存器 21 的频率分离比设置信号 LE 生成模式转换信号 CS 而不是锁定检测信号 CS。或者，状态检测电路 40, 60, 70 根据从外部设备输入到 PLL 电路 20 中的信号生成模式转换信号 CS。

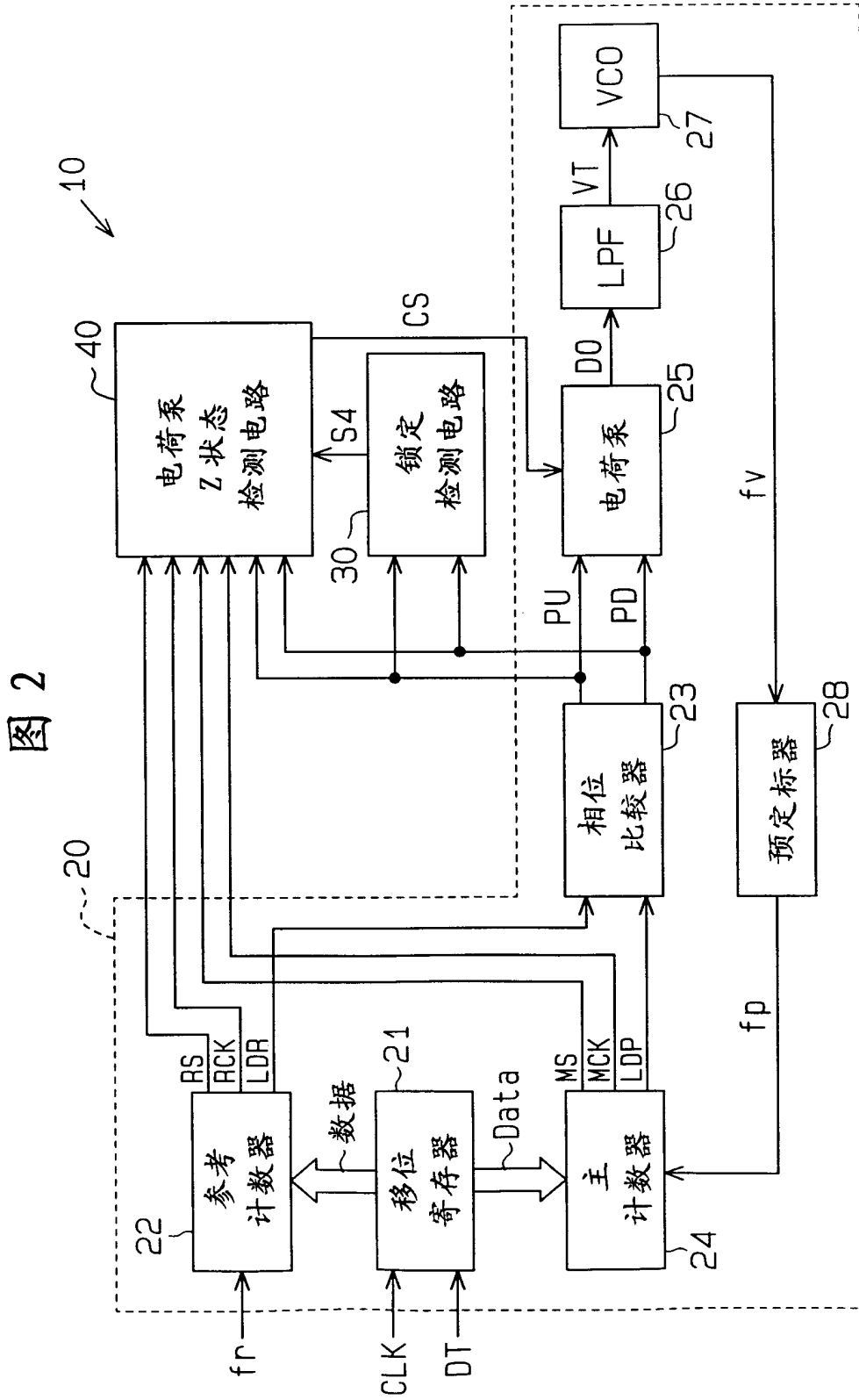
如图 3 虚线所示，状态检测电路还包括一个延迟电路，用于使模式转换信号 CS 按设定时间进行延迟。延迟电路 45 通过延迟电路 45 的设定时间 (延迟时间)，从上行脉冲信号 PU 和下行脉冲信号 PD 的上升边开始对模式转换信号 CS 延迟一个电平变化。也即，从电荷泵 25 结束操作时，通过延迟电路 45 的延迟时间，对模式转换信号 CS 进行一个电平变化的延迟。因此，当电荷泵 25 的输出端处于 Z 状态时，能可靠地进行模式转换。

因此，所公开的例子和实施例应被认为是示意本发明而不是限制

本发明，本发明并不局限于在此所公开的详细内容，在所附权利要求的范围内或等同的权利要求下，可对本发明进行改进。

图1





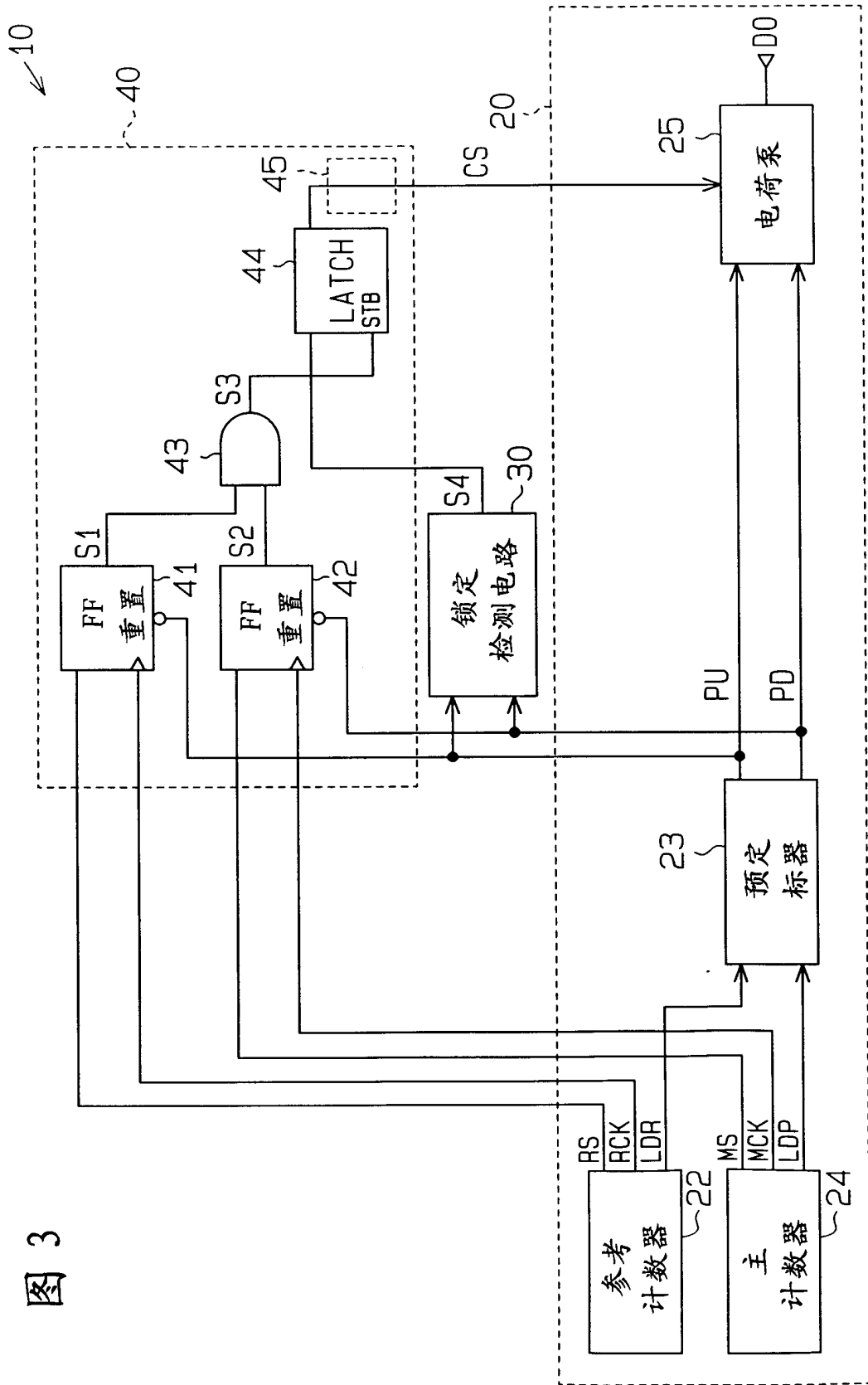


图 3

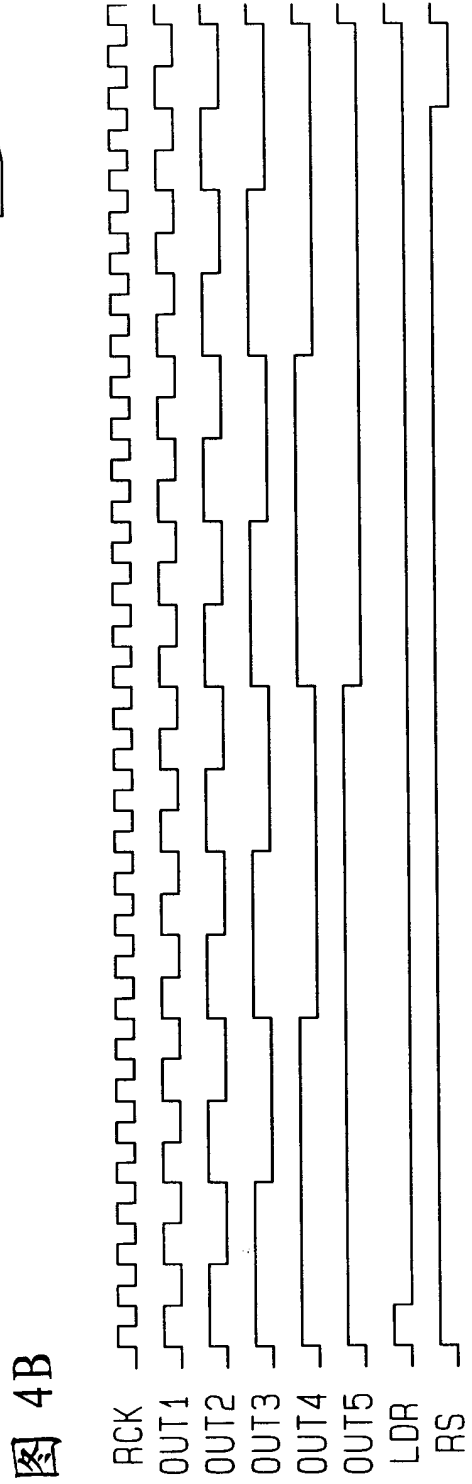
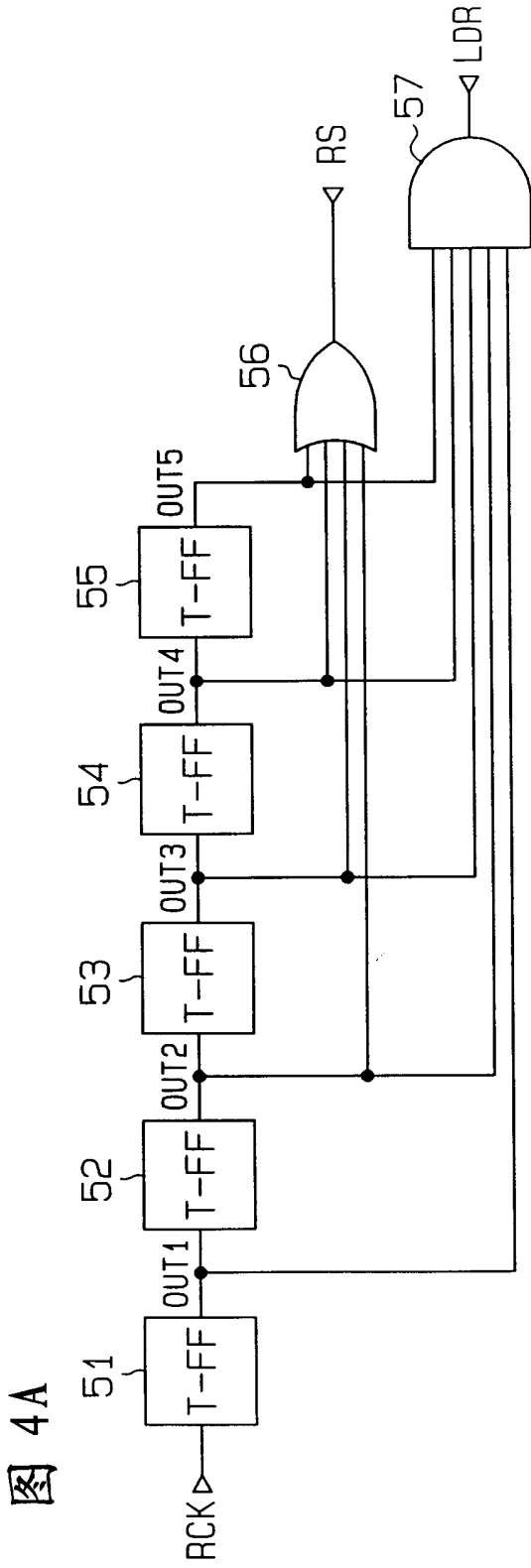


图 5

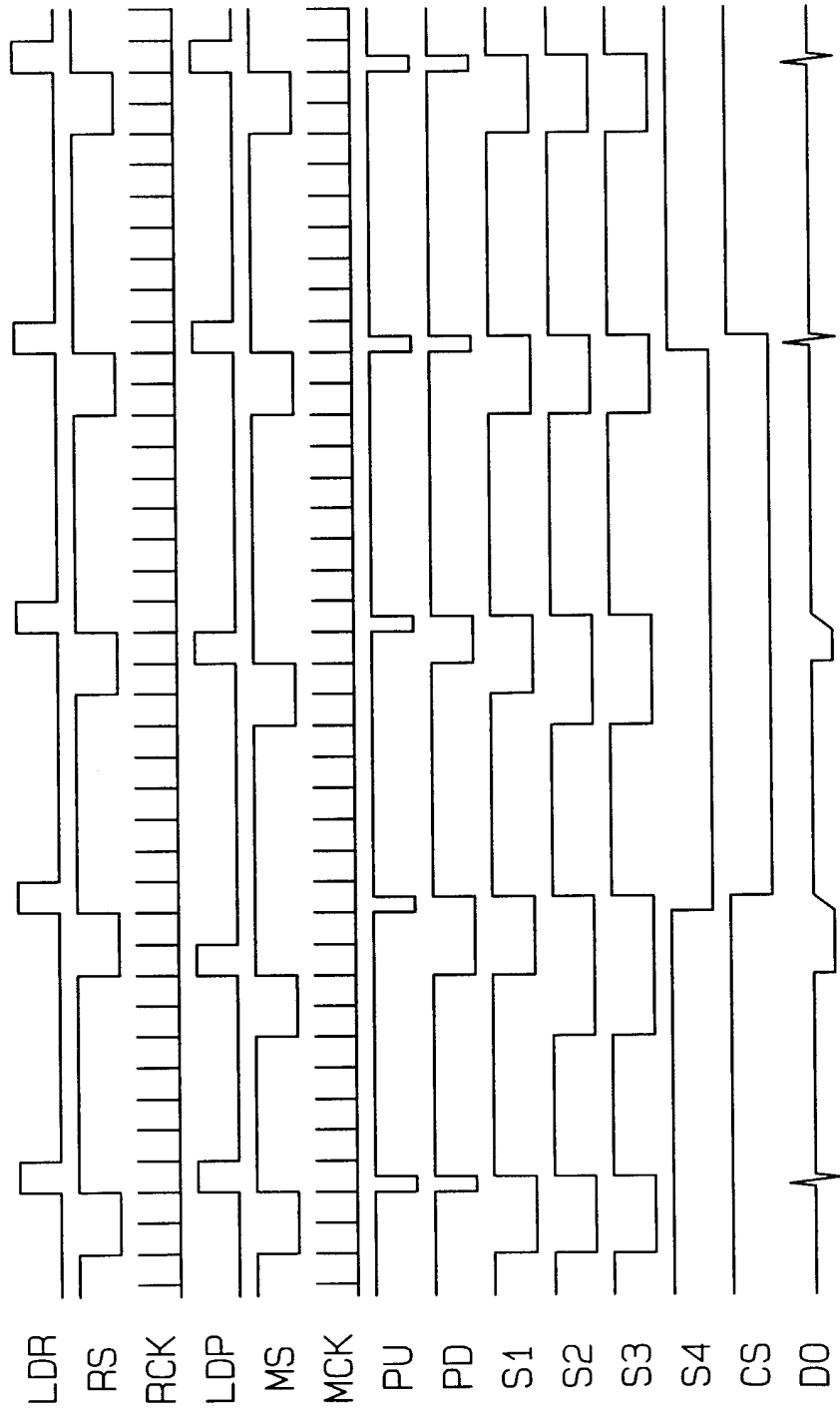
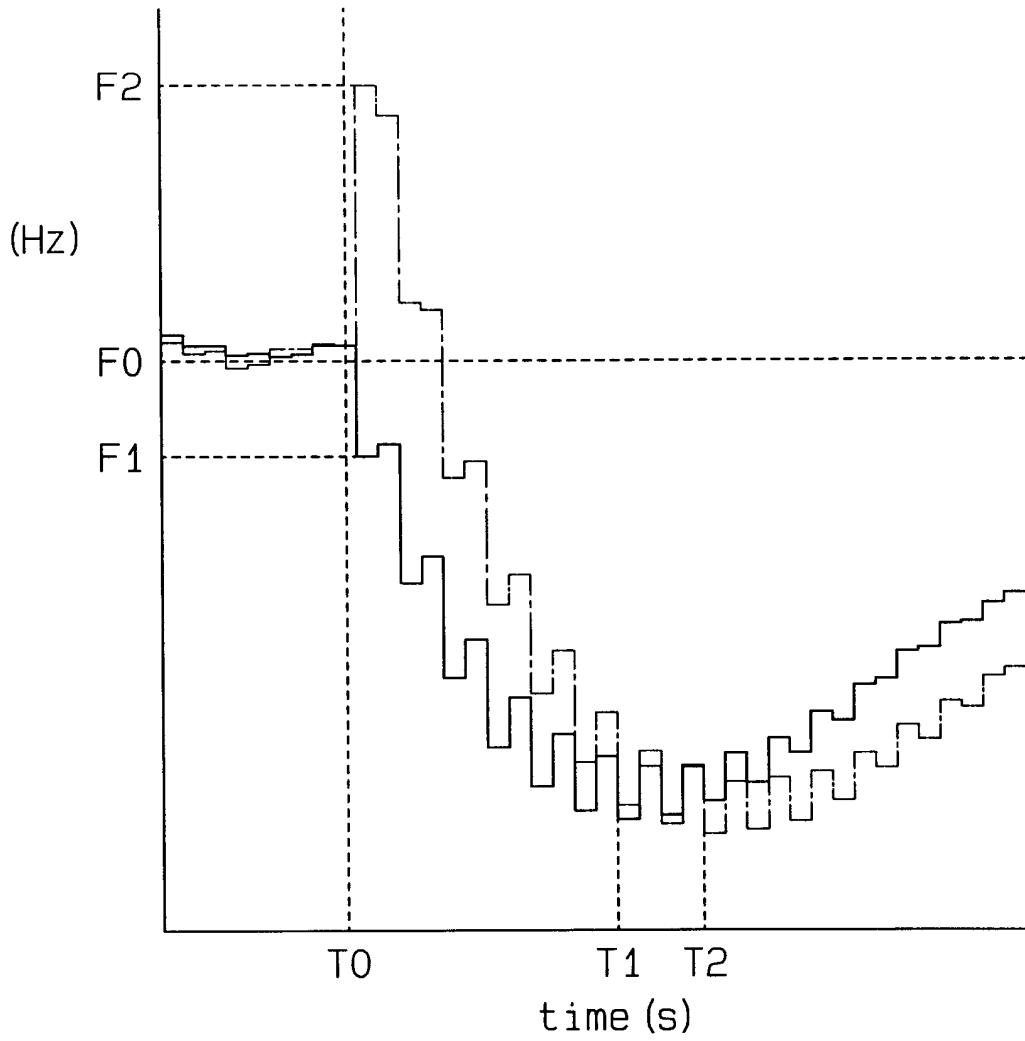


图 6



实线曲线:根据本发明实施例的锁定波形
点画曲线:常规电路的锁定波形

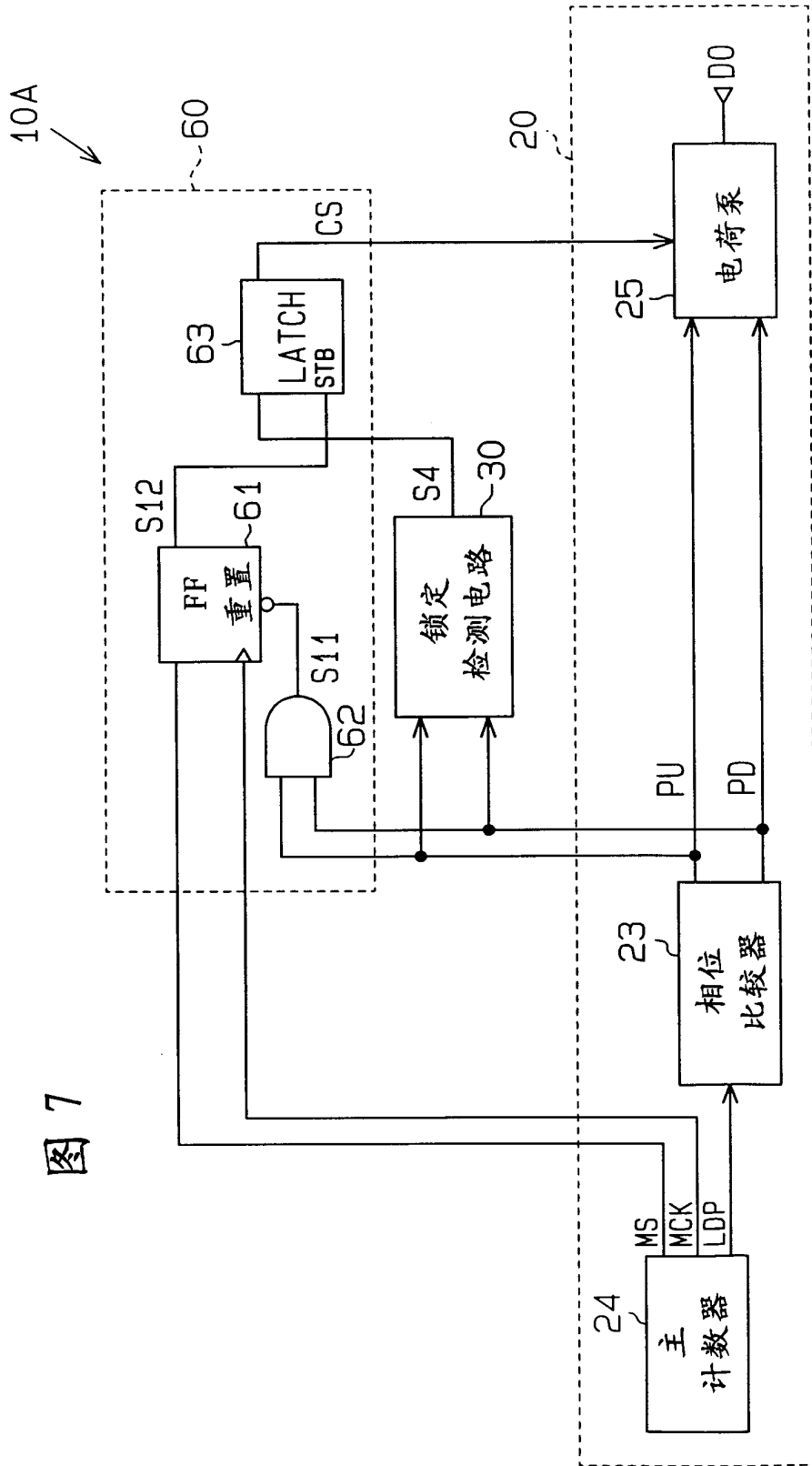
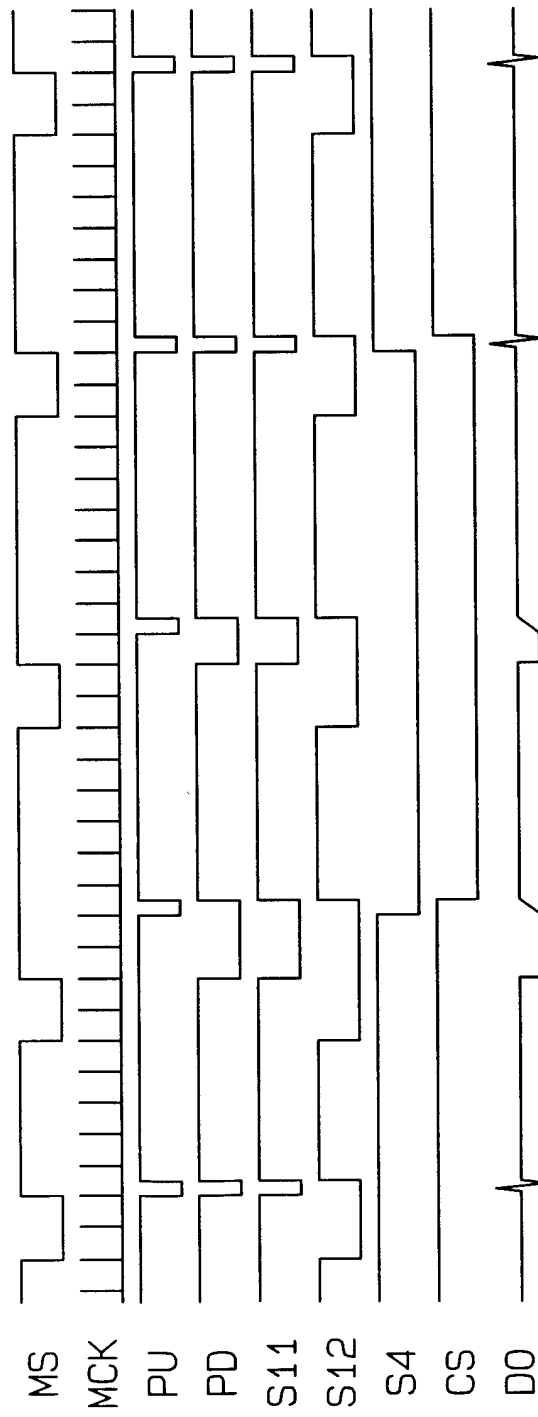


图 7

图 8



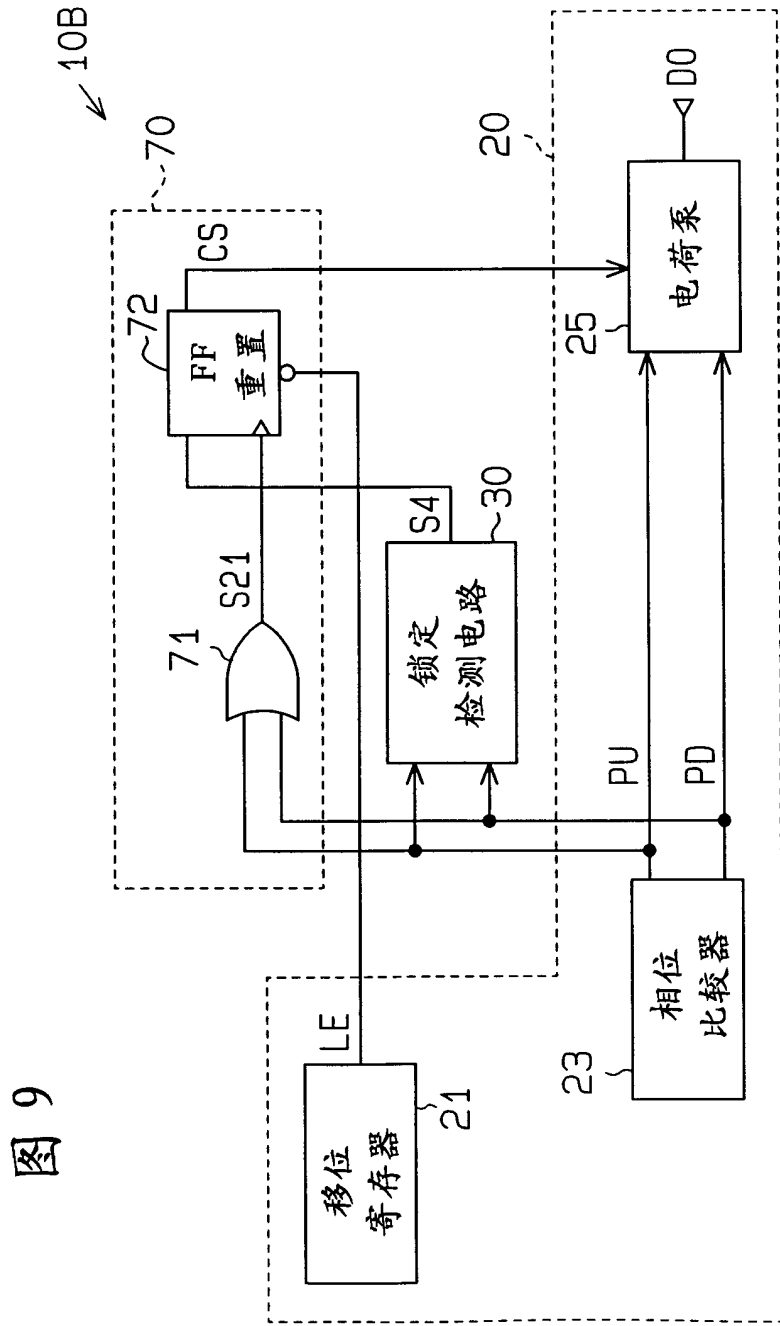


图 10

