



(12)发明专利申请

(10)申请公布号 CN 111343068 A

(43)申请公布日 2020.06.26

(21)申请号 202010293925.5

(22)申请日 2020.04.15

(71)申请人 联合华芯电子有限公司

地址 518133 广东省深圳市宝安区新安街
道兴东社区流仙三路1号润恒工业区
厂房1栋201

(72)发明人 不公告发明人

(51)Int.Cl.

H04L 12/40(2006.01)

H04L 5/00(2006.01)

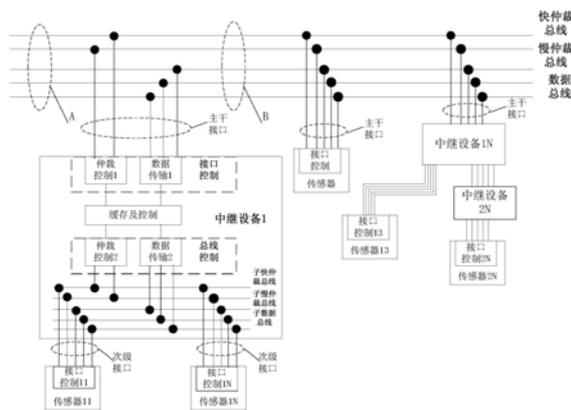
权利要求书3页 说明书12页 附图5页

(54)发明名称

用于巨型载具的双速仲裁总线系统及载具

(57)摘要

本发明公开了一种用于巨型载具的双速仲裁总线系统及载具,包括快速仲裁总线和慢速仲裁总线,具有多级级联的双速仲裁中继设备的节点设备。若节点设备需要发送数据,将节点设备的多进制符号与仲裁总线的电压进行比较,若多进制符号的优先级高于仲裁总线电压的优先级,则在仲裁时隙的开始将多进制符号发送至仲裁总线;如果在一个时间片内的快仲裁总线成功发送第一个多进制符号串与慢速仲裁总线发送的部分多进制符号串一致的,在下一个时间片的开始将所述快仲裁总线上时间片内所有发送多进制符号成功的节点设备的待发数据依次发送至一组数据总线。本发明可动态调整仲裁速率及数据传输速率,在保障数据传输的正确性同时提高总线的传输速率。



1. 一种用于巨型载具的双速仲裁总线系统,其特征在于,包括:

数据总线,所述数据总线包括至少两对铜双绞线,通过数据帧在时间片内传输数据,所述时间片为数据总线传输一个数据帧所需的持续时间;

仲裁总线,所述仲裁总线包括快仲裁总线和慢仲裁总线,通过仲裁帧传输节点设备的多进制符号串,所述多进制符号包括由多个门限分隔的不同电压幅值状态,电压幅值越大优先级越高;

所述快仲裁总线在所述时间片内的快仲裁时隙中传输多进制符号串,所述快仲裁时隙为快仲裁总线传输一个仲裁帧所需的持续时间,一个时间片内包含的所述快仲裁时隙数量应不少于所述数据总线中双绞线对的数量;

所述慢仲裁总线通过仲裁帧在长时间片内的慢仲裁时隙中传输多进制符号串,所述慢仲裁时隙是慢仲裁总线传输一个仲裁帧所需的持续时间,所述慢仲裁时隙的持续时间长于快仲裁时隙持续时间的2倍,所述长时间片为包括若干慢仲裁时隙的持续时间,所包含的所述慢仲裁时隙数量不少于所述数据总线中双绞线对的数量;

节点设备,所述节点设备包括双速率仲裁中继器和双速率仲裁传感器,所述双速率仲裁中继器的主干接口包括A和B两个接口,可以用电缆逐段串联形成系统总线,所述双速率仲裁中继器包括若干个次级接口,所述次级接口可以连接双速率仲裁传感器或者其它双速率仲裁中继器;

所述节点设备包含接口控制模块,所述接口控制模块包括仲裁控制和数据传输模块,分别与数据总线和仲裁总线连接,用于接收来自所述仲裁总线的仲裁帧和来自所述数据总线的的数据帧,向所述仲裁总线输出节点设备的多进制符号串和向数据总线发送数据帧;

当节点设备需要向数据总线发送数据帧时,所述接口控制器在一个时间片内的每个仲裁时隙中反复向仲裁总线发送多进制符号,同时检测和比对在一个时间片内快仲裁总线和慢仲裁总线上分别收到的第一个仲裁帧;

若所述多进制符号串中当前符号的优先级高于仲裁总线上的当前电压优先级,则将所述多进制符号输出到仲裁总线,若所述当前符号的优先级低于仲裁总线上的当前电压优先级,则竞争总线失败,立刻停止通过仲裁总线发送所述多进制符号串中的剩余符号,然后在下一个仲裁时隙再重新发送所述多进制符号串;

若从快仲裁总线与从慢仲裁总线检测到的第一个仲裁帧中已完成传输的多进制符号串完全相同,那么在第一快仲裁时隙通过快仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个时间片的开始将缓存及控制模块中的待上传数据,选择一对双绞线通过数据传输模块上传到主总线,在第二快仲裁时隙通过快仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个时间片的开始将缓存及控制模块中的待上传数据,选择另一对双绞线通过数据传输模块上传到主总线;

若从快仲裁总线与从慢仲裁总线检测到的第一个仲裁帧中已完成传输的多进制符号串不完全相同,那么在第一慢速仲裁时隙通过慢仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个慢时间片的开始将缓存及控制模块中的待上传数据,选择一对双绞线通过数据传输模块上传到主总线,在第二慢仲裁时隙通过慢仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个慢时间片的开始将缓存及控制模块中的待上传数据,选择另一对双绞线通过数据传输模块上传到主总线。

2. 如权利要求1所述的用于巨型载具的双速仲裁总线系统,其特征在于,所述双速率仲裁传感器和双速率仲裁中继器还包括总线控制模块,并设有与慢仲裁总线和快仲裁总线具有相同功能结构的子慢仲裁总线和子快仲裁总线,与两组数据总线具有相同的功能结构的两组子数据总线,所述双速率仲裁传感器可通过子慢仲裁总线、子快仲裁总线和两组子数据总线与双速率仲裁中继器连接;

所述总线控制模块包括仲裁控制和数据传输模块,分别与所述子总线仲裁总线和数据总线相连,用于接收节点设备通过所述子总线送达的仲裁帧和数据帧,并通过所述子总线向连接的节点设备发送仲裁帧和数据帧;

当所述双速率仲裁中继器有数据需要通过子总线转发时,所述双速率仲裁中继器在一个时间片内的每个仲裁时隙中反复向子仲裁总线发送多进制符号,同时检测和比对子快仲裁总线和子慢仲裁总线上收到的第一个仲裁帧;

若所述多进制符号串中当前符号的优先级高于子仲裁总线上的当前电压优先级,则将所述多进制符号输出到子仲裁总线,若所述当前符号的优先级低于子仲裁总线上的当前电压优先级,则竞争总线失败,立刻停止通过仲裁总线发送所述多进制符号串中的剩余符号,然后在下一个仲裁时隙再重新发送所述多进制符号串;

若从所述子总线的子快仲裁总线与从所述子总线的子慢仲裁总线上检测到的第一个仲裁帧中已完成传输的多进制符号串完全相同,那么在第一子快仲裁时隙通过所述子快仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个时间片的开始将待转发数据选择一对双绞线通过数据传输模块转发到所述子总线的子数据总线,在第二子快仲裁时隙通过快仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个时间片的开始将缓存及控制模块中的待转发数据,选择另一对双绞线通过数据传输模块转发到所述子数据总线;

若从所述子总线的子快仲裁总线与总所述子总线的子慢仲裁总线上检测到的第一个仲裁帧中已完成传输的多进制符号串不完全相同时,那么在第一子慢仲裁时隙通过子慢仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个慢时间片的开始将缓存及控制模块中的待转发数据,选择一对双绞线通过数据传输模块转发到子数据总线,在第二子慢仲裁时隙通过子慢仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个慢时间片的开始将缓存及控制模块中的待转发数据,选择另一对双绞线通过数据传输模块转发到子数据总线。

3. 如权利要求1所述的双速率仲裁中继设备,其特征在于所述接口控制模块中的数据传输模块中包含身份识别模块,当所述身份识别模块在从数据总线接收到的数据中检测到与所属双速率仲裁中继设备的身份信息时,才将到达数据存储于本地缓存及控制模块,并经总线控制模块向双速率仲裁中继设备的子数据总线转发,在没有检测到与所属双速率仲裁中继设备相匹配的身份信息时,直接丢弃从所述数据总线收到的数据。

4. 如权利要求1或2所述的双速率仲裁中继设备,其特征在于所述总线控制模块中的数据传输模块中包含身份识别模块,当所述身份识别模块在从双速率仲裁中继设备内部子数据总线接收到的数据中检测到与所属双速率仲裁中继设备相匹配的身份信息时,才将到达数据存储于本地缓存及控制模块,并经接口控制模块向数据总线转发,在没有检测到与所属双速率仲裁中继设备相匹配的身份信息时,直接丢弃从所述子数据总线收到的数据。

5. 如权利要求1所述的用于巨型载具的双速仲裁总线系统,其特征在于,所述双速率仲裁传感器和双速率仲裁中继设备都包括仲裁电路模块,所述仲裁电路模块包括逻辑线或电路,所述逻辑线或电路包括场效应管和第一比较器,所述场效应管漏极作为逻辑线或电路输入端,所述场效应管栅极与第一比较器输出端连接,所述场效应管源极作为逻辑线或电路输出端,所述第一比较器的反相输入端与场效应管源极连接,所述第一比较器同相输入端与场效应管漏极连接,若所述场效应管漏极电压高于所述场效应管源极电压,则所述第一比较器输出高电平驱动场效应管导通,所述场效应管则将输入的多进制符号进行输出,反之所述第一比较器输出低电平,所述场效应管截止。

6. 如权利要求5所述的用于巨型载具的双速仲裁总线系统,其特征在于,所述逻辑线或电路还包括清除电路,所述清除电路包括下拉电阻和开关管,所述下拉电阻一端与逻辑线或输出端连接,所述下拉电阻另一端与开关管输入端连接,所述开关管输出端接地,所述开关管的控制端与逻辑线或输入端的设备连接,所述设备在时隙结束时控制开关管导通。

7. 如权利要求5所述的用于巨型载具的双速仲裁总线系统,其特征在于,所述仲裁电路模块还包括误差消除电路,误差消除电路输入端与逻辑线或电路输出端连接,误差消除电路输出端与逻辑线或电路输入端的设备连接,所述误差消除电路包括:

门限电路,用于提供与多进制符号对应的若干门限电压,所述门限电压用于区分所述不同电压幅值状态;

再生电路,所述再生电路包括与门限电压对应的若干第二比较器和若干分压电阻,每一个第二比较器的同相输入端与逻辑线或输出端连接,每一个第二比较器的反相输入端用于不同门限电压输入,每一个第二比较器输出端串联一个分压电阻,分压电阻之间并联连接,所述第二比较器将多进制符号与门限电压比较后,生成逻辑电平,全部的逻辑电平经过分压电阻分压后生成多进制符号对应的标准电压;

所述设备将误差消除电路输出的标准电压与其输出多进制符号进行比较,若两者一致,则所述设备成功发送多进制符号。

8. 一种载具,其特征在于,包括本体,所述本体设有如权利要求1-7任意一项所述的用于巨型载具的双速仲裁总线系统。

用于巨型载具的双速仲裁总线系统及载具

技术领域

[0001] 本发明涉及数据传输技术领域,具体地说,涉及一种用于巨型载具的双速仲裁总线系统及载具。

背景技术

[0002] 汽车作为一种重要的交通工具,对人类日常生活的重要性不用赘述。从19世纪第一辆汽车的诞生到汽车工业的蓬勃发展至今,离不开此工业对时代变迁的及时调整。进入现代社会,电子信息科技的主旋律下,汽车工业同样做出了相应的改变。

[0003] 从1986年CAN总线被Bosch公布到现在,CAN总线广泛应用于各种领域,同时也是汽车工业使用的车载总线的主要选择。CAN总线同样存在着一些弊端,由于数据传输的往返延迟,CAN总线的传输速率与总线的长度相关,随着总线长度的增加,为了保证数据传输的正确性,其传输速率需要进行降低。

[0004] 其次CAN总线上的各个设备共用一条通信线路,则会存在数据传输碰撞的问题,通常情况下是通过传输仲裁信号进行优先权仲裁来分配通信线路的使用权,由于只有一条通信线路,其冲突概率高,导致通信线路的效率不高。同时由于仲裁信号的传输存在往返延时,所以仲裁信号的传输速率不能太高,而数据传输和仲裁信号传输在同一条通信线路上,导致了通信线路的数据传输速率很低。并且仲裁信号是通过二进制符号进行传输的,即通过符号“0”和“1”进行传输的,采用二进制符号进行优先权仲裁,其仲裁效率太低,设备的排队时间长。

[0005] 随着信息社会的发展,特别是“智能”概念的提出,人们对总线的传输效率和传输速率有了新的要求,因此急需开发一种更高效率和更高速率的总线。

发明内容

[0006] 本发明的目的在于提供一种用于巨型载具的双速仲裁总线系统及载具,可动态调整仲裁速率及数据传输速率,在保障数据传输的正确性同时提高总线的仲裁速率及数据传输速率。

[0007] 本发明公开的用于巨型载具的双速仲裁总线系统及载具所采用的技术方案是:

[0008] 一种用于巨型载具的双速仲裁总线系统包括:

[0009] 数据总线,所述数据总线包括至少两对铜双绞线,通过数据帧在时间片内传输数据,所述时间片为数据总线传输一个数据帧所需的持续时间;

[0010] 仲裁总线,所述仲裁总线包括快仲裁总线和慢仲裁总线,通过仲裁帧传输节点设备的多进制符号串,所述多进制符号包括由多个门限分隔的不同电压幅值状态,电压幅值越大优先级越高;

[0011] 所述快仲裁总线在所述时间片内的快仲裁时隙中传输多进制符号串,所述快仲裁时隙为快仲裁总线传输一个仲裁帧所需的持续时间,一个时间片内包含的所述快仲裁时隙数量应不少于所述数据总线中双绞线对的数量;

[0012] 所述慢仲裁总线通过仲裁帧在长时间片内的慢仲裁时隙中传输多进制符号串,所述慢仲裁时隙是慢仲裁总线传输一个仲裁帧所需的持续时间,所述慢仲裁时隙的持续时间长于快仲裁时隙持续时间的2倍,所述长时间片为包括若干慢仲裁时隙的持续时间,所包含的所述慢仲裁时隙数量不少于所述数据总线中双绞线对的数量;

[0013] 节点设备,所述节点设备包括双速率仲裁中继器和双速率仲裁传感器,所述双速率仲裁中继器的主干接口包括A和B两个接口,可以用电缆逐段串联形成系统总线,所述双速率仲裁中继器包括若干个次级接口,所述次级接口可以连接双速率仲裁传感器或者其它双速率仲裁中继器;

[0014] 所述节点设备包含接口控制模块,所述接口控制模块包括仲裁控制和数据传输模块,分别与数据总线和仲裁总线连接,用于接收来自所述仲裁总线的仲裁帧和来自所述数据总线的的数据帧,向所述仲裁总线输出节点设备的多进制符号串和向数据总线发送数据帧;

[0015] 当节点设备需要向数据总线发送数据帧时,所述接口控制器在一个时间片内的每个仲裁时隙中反复向仲裁总线发送多进制符号,同时检测和比对在一个时间片内快仲裁总线和慢仲裁总线上分别收到的第一个仲裁帧;

[0016] 若所述多进制符号串中当前符号的优先级高于仲裁总线上的当前电压优先级,则将所述多进制符号输出到仲裁总线,若所述当前符号的优先级低于仲裁总线上的当前电压优先级,则竞争总线失败,立刻停止通过仲裁总线发送所述多进制符号串中的剩余符号,然后在下一个仲裁时隙再重新发送所述多进制符号串;

[0017] 若从快仲裁总线与从慢仲裁总线检测到的第一个仲裁帧中已完成传输的多进制符号串完全相同,那么在第一快仲裁时隙通过快仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个时间片的开始将缓存及控制模块中的待上传数据,选择一对双绞线通过数据传输模块上传到主总线,在第二快仲裁时隙通过快仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个时间片的开始将缓存及控制模块中的待上传数据,选择另一对双绞线通过数据传输模块上传到主总线;

[0018] 若从快仲裁总线与从慢仲裁总线检测到的第一个仲裁帧中已完成传输的多进制符号串不完全相同,那么在第一慢速仲裁时隙通过慢仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个慢时间片的开始将缓存及控制模块中的待上传数据,选择一对双绞线通过数据传输模块上传到主总线,在第二慢仲裁时隙通过慢仲裁总线成功发送完整多进制符号串的接口控制模块,在下一个慢时间片的开始将缓存及控制模块中的待上传数据,选择另一对双绞线通过数据传输模块上传到主总线。

[0019] 作为优选方案,若所述节点设备连续成功发送待发数据的时隙次数达到设定值,则所述节点设备降低发送多进制符号串的次数。

[0020] 作为优选方案,双速率仲裁中继器会根据从子总线上接收数据对应的多进制符号串和所述缓存及控制模块中缓存的待发数据的数量,经加权计算得到新多进制符号串,所述新多进制符号串的优先级高于或等于原先收到的所述多进制符号串的优先级。

[0021] 作为优选方案,所述双速率仲裁传感器和双速率仲裁中继器还包括总线控制模块,并设有与慢仲裁总线和快仲裁总线具有相同功能结构的子慢仲裁总线和子快仲裁总线,与两组数据总线具有相同的功能结构的两组子数据总线,所述双速率仲裁传感器可通

过子慢仲裁总线、子快仲裁总线和两组子数据总线与双速率仲裁中继器连接；

[0022] 所述总线控制模块包括仲裁控制和数据传输模块，分别与所述子总线仲裁总线和数据总线相连，用于接收节点设备通过所述子总线送达的仲裁帧和数据帧，并通过所述子总线向连接的节点设备发送仲裁帧和数据帧；

[0023] 当所述双速率仲裁中继器有数据需要通过子总线转发时，所述双速率仲裁中继器在一个时间片内的每个仲裁时隙中反复向子仲裁总线发送多进制符号，同时检测和比对于子快仲裁总线和子慢仲裁总线上收到的第一个仲裁帧；

[0024] 若所述多进制符号串中当前符号的优先级高于子仲裁总线上的当前电压优先级，则将所述多进制符号输出到子仲裁总线，若所述当前符号的优先级低于子仲裁总线上的当前电压优先级，则竞争总线失败，立刻停止通过仲裁总线发送所述多进制符号串中的剩余符号，然后在下一个仲裁时隙再重新发送所述多进制符号串；

[0025] 若从所述子总线的子快仲裁总线与从所述子总线的子慢仲裁总线上检测到的第一个仲裁帧中已完成传输的多进制符号串完全相同，那么在第一子快仲裁时隙通过所述子快仲裁总线成功发送完整多进制符号串的接口控制模块，在下一个时间片的开始将待转发数据选择一对双绞线通过数据传输模块转发到所述子总线的子数据总线，在第二子快仲裁时隙通过快仲裁总线成功发送完整多进制符号串的接口控制模块，在下一个时间片的开始将缓存及控制模块中的待转发数据，选择另一对双绞线通过数据传输模块转发到所述子数据总线；

[0026] 若从所述子总线的子快仲裁总线与总所述子总线的子慢仲裁总线上检测到的第一个仲裁帧中已完成传输的多进制符号串不完全相同时，那么在第一子慢仲裁时隙通过子慢仲裁总线成功发送完整多进制符号串的接口控制模块，在下一个慢时间片的开始将缓存及控制模块中的待转发数据，选择一对双绞线通过数据传输模块转发到子数据总线，在第二子慢仲裁时隙通过子慢仲裁总线成功发送完整多进制符号串的接口控制模块，在下一个慢时间片的开始将缓存及控制模块中的待转发数据，选择另一对双绞线通过数据传输模块转发到子数据总线。

[0027] 作为优选方案，所述接口控制模块中的数据传输模块中包含身份识别模块，当所述身份识别模块在从数据总线接收到的数据中检测到与所属双速率仲裁中继设备的身份信息时，才将到达数据存储在本地缓存及控制模块，并经总线控制模块向双速率仲裁中继设备的子数据总线转发，在没有检测到与所属双速率仲裁中继设备相匹配的身份信息时，直接丢弃从所述数据总线收到的数据。

[0028] 作为优选方案，所述总线控制模块中的数据传输模块中包含身份识别模块，当所述身份识别模块在从双速率仲裁中继设备内部子数据总线接收到的数据中检测到与所属双速率仲裁中继设备相匹配的身份信息时，才将到达数据存储在本地缓存及控制模块，并经接口控制模块向数据总线转发，在没有检测到与所属双速率仲裁中继设备相匹配的身份信息时，直接丢弃从所述子数据总线收到的数据。

[0029] 作为优选方案，所述双速率仲裁传感器和双速率仲裁中继器都包括仲裁电路模块，所述仲裁电路模块包括逻辑线或电路，所述逻辑线或电路包括场效应管和第一比较器，所述场效应管漏极作为逻辑线或电路输入端，所述场效应管栅极与第一比较器输出端连接，所述场效应管源极作为逻辑线或电路输出端，所述第一比较器的反相输入端与场效应

管源极连接,所述第一比较器同相输入端与场效应管漏极连接,若所述场效应管漏极电压高于所述场效应管源极电压,则所述第一比较器输出高电平驱动场效应管导通,所述场效应管则将输入的多进制符号进行输出,反之所述第一比较器输出低电平,所述场效应管截止。

[0030] 作为优选方案,所述逻辑线或电路还包括清除电路,所述清除电路包括下拉电阻和开关管,所述下拉电阻一端与逻辑线或输出端连接,所述下拉电阻另一端与开关管输入端连接,所述开关管输出端接地,所述开关管的控制端与逻辑线或输入端的设备连接,所述设备在时隙结束时控制开关管导通。

[0031] 作为优选方案,所述仲裁电路模块还包括误差消除电路,误差消除电路输入端与逻辑线或电路输出端连接,误差消除电路输出端与逻辑线或电路输入端的设备连接,所述误差消除电路包括:

[0032] 门限电路,用于提供与多进制符号对应的若干门限电压,所述门限电压用于区分所述不同电压幅值状态;

[0033] 再生电路,所述再生电路包括与门限电压对应的若干第二比较器和若干分压电阻,每一个第二比较器的同相输入端与逻辑线或输出端连接,每一个第二比较器的反相输入端用于不同门限电压输入,每一个第二比较器输出端串联一个分压电阻,分压电阻之间并联连接,所述第二比较器将多进制符号与门限电压比较后,生成逻辑电平,全部的逻辑电平经过分压电阻分压后生成多进制符对应的标准电压;

[0034] 所述设备将误差消除电路输出的标准电压与其输出多进制符号进行比较,若两者一致,则所述设备成功发送多进制符号。

[0035] 一种载具,包括本体,所述本体设有上述的用于巨型载具的双速仲裁总线系统。

[0036] 本发明公开的实施例的有益效果是:仲裁信号由仲裁总线进行传输,待发数据由数据总线进行传输。这样仲裁总线 and 数据总线可采用不同的速率进行数据的传输,使仲裁总线 and 数据总线分别能达到其最大的传输速率,提高整体数据传输速率。双速率仲裁传感器在双速率仲裁中继设备中进行第一次竞争,竞争成功的传感器通过中继设备再在系统总线上进行第二次竞争,中继设备将仲裁信号分为两次进行竞争,减少单次参与竞争的设备数量,减少设备的冲突概率。同时考虑到缓存及控制模块内待发送数据存在溢出风险,中继设备会根据缓存数据量形成一个新多进制符号串,新多进制符号串的优先级不低于原来传感器的优先级。将仲裁总线划分成快仲裁总线及慢仲裁总线,由于快仲裁总线的时隙小于慢仲裁总线的时隙,在一个时间片内当快仲裁总线上完成多进制符号串的传输时,慢仲裁总线上只完成了部分多进制符号串的传输,此时在快仲裁总线在一个时间片内成功发送第一次多进制符号串且与慢仲裁总线发送的部分多进制符号串一致的中继设备,在下一个时间片的开始将上述快仲裁总线一个时间片内所有仲裁时隙内成功传输多进制符号串的中继设备的待发数据发送至其中一组数据总线。如果上述已完成传输的多进制符号串不一致,则按照慢仲裁总线上的多进制符号串作为依据进行数据传输。通过对比第一个多进制符号串的正确性来判断快仲裁总线一个时间片内仲裁帧传输的正确性,动态选择仲裁总线的多进制符号串作为数据传输的依据,由于本系统内的双速率中继设备可以多级级联双速率中继设备的方式接入,保证距离总线不同长度的传感器数据传输的准确性及高效性。而使用多进制符号串传输仲裁信号,在相同的时间内,可以传输更多的信息,并且仲裁总线自

动选择电压幅值较高的多进制符号串进行输出,提高了仲裁的效率。

附图说明

[0037] 图1是本发明实施例一中用于巨型载具的双速仲裁总线系统的结构示意图,仲裁总线包含快仲裁总线及慢仲裁总线。

[0038] 图2是本发明用于巨型载具的双速仲裁总线系统的逻辑线或电路的电路示意图。

[0039] 图3是本发明用于巨型载具的双速仲裁总线系统的仲裁电路模块的电路示意图。

[0040] 图4是本发明实施例一中用于巨型载具的双速仲裁总线系统的下行信号流程图。

[0041] 图5是本发明实施例一种用于巨型载具的双速仲裁总线系统的上行信号流程图。

[0042] 图6是本发明实施例二中用于巨型载具的双速仲裁总线系统的结构示意图,仲裁总线包含快仲裁总线、中速仲裁总线、慢仲裁总线。

具体实施方式

[0043] 下面结合具体实施例和说明书附图对本发明做进一步阐述和说明:

[0044] 实施例一

[0045] 请参考图1,用于巨型载具的双速仲裁总线系统包括:

[0046] 至少两组数据总线,通过数据帧传输节点设备的待发数据。

[0047] 两组仲裁总线,通过仲裁帧传输节点设备的多进制符号串,所述多进制符号串由多个门限分隔的不同电压幅值状态,所述两组仲裁总线包括快速仲裁总线和慢速仲裁总线。

[0048] 节点设备,所述节点设备包括双速率仲裁中继器和双速率仲裁传感器,所述双速率仲裁中继器的主干接口包括A和B两个接口,可以用电缆逐段串联形成系统总线,所述双速率仲裁中继器包括若干个次级接口,所述次级接口可以连接双速率仲裁传感器或者其它双速率仲裁中继器。因此节点设备可以是双速率仲裁中继器直接下挂双速率仲裁传感器,也可以是多级双速率仲裁中继器级联再下挂双速率仲裁传感器。

[0049] 请参考图4,当有底层传感器需要传输至数据总线时,此时假定系统内只有一级双速率仲裁中继器直接下挂双速率仲裁传感器的情况。

[0050] 当节点设备需要向数据总线发送数据帧时,所述接口控制器在一个时间片内的每个仲裁时隙中反复向仲裁总线发送多进制符号,同时检测和比对在一个时间片内快仲裁总线和慢仲裁总线上分别收到的第一个仲裁帧。

[0051] 这里需要强调的是,发送到快仲裁总线的多进制符号串是以较快的速率在快仲裁时隙中发送的;发送到慢仲裁总线的多进制符号串是以较慢的速率在慢仲裁时隙中发送的。

[0052] 为了说明方便,不妨用具体数值举例。取多进制符号串长度为10个符号;快仲裁总线速率为每秒2.5M符号,快仲裁总线的时隙长度为5微秒;慢仲裁总线速率为每秒1M符号,时隙长度为14微秒;两根数据总线,时间片持续16微秒,包括了3个快仲裁时隙,长时间片持续45微秒,包括了3个慢仲裁时隙;双速率仲裁中继器的子总线与上述总线功能一致,子时隙、子时间片、子长时间片均是一一对应关系。

[0053] 在仲裁时隙的开始,双速率仲裁传感器的接口控制电路将对应的多进制符号串逐

位和子仲裁总线的电压进行比较,若所述多进制符号的优先级高于子仲裁总线电压的优先级,则将多进制符号被输出至子仲裁总线,若所述多进制符号的优先级低于子仲裁总线电压的优先级则停止剩余符号发送,对应的双速率仲裁传感设备待下一个仲裁时隙进行子数据线竞争。

[0054] 同时对比在一个时间片内子快仲裁总线和子慢仲裁总线上第一个仲裁帧已传输完成的多进制符号串。当第一个子慢仲裁总线上第一个仲裁帧传输结束的时候,10个符号持续了10微秒,短于子慢仲裁总线的时隙长度14微秒,也短于子时间片的持续时间16微秒。此时子快仲裁总线上的第一个仲裁帧在4微秒内就传输结束了。因此在第10微秒至第16微秒的这段时间中,接口控制电路可以对两个不同速率的子仲裁总线上发送的相同内容的10个多进制符号串进行比较。

[0055] 若两者完全相同,则认为上述一个时间片中在子快仲裁总线上所有快仲裁时隙内成功发送的多进制符号串全部正确。在下一个时间片,即16微秒后开始,上述多进制符号串对应双速率仲裁传感器的待发数据,依次选择一组子数据总线进行传输,直至所有数据总线分配完成,未有分配子数据总线的双速率仲裁传感器,则在本时间片,也就是16微秒结束以后,进入下个时间片的子总线竞争。

[0056] 若两者不完全相同,则将子慢仲裁总线传输的多进制符号串作为数据传输的依据,在下一个长时间片,即45微秒后开始,上述多进制符号串对应双速率仲裁传感器的待发数据依次选择一组子数据总线进行传输,直至所有子数据总线分配完成,未有分配子数据总线的双速率仲裁传感器,则在本次长时间片,也就是45微秒结束以后,进入下个时间片的子总线竞争。

[0057] 总线控制模块内数据传输模块的身份识别模块对从子数据总线上接收的数据进行分析,如果和所述双速率仲裁中继器身份一致时,将数据通过总线控制模块存储至缓存及控制模块中,双速率仲裁中继器会根据从子总线上接收数据对应的多进制符号串和所述缓存及控制模块中缓存的待发数据的数量,经加权计算得到新多进制符号串,所述新多进制符号串的优先级高于或等于原先收到的所述多进制符号串的优先级。

[0058] 双速率仲裁中继器开启第二轮的数据总线竞争,在仲裁时隙的开始,双速率仲裁传感器的接口控制电路将对应的多进制符号串逐位和仲裁总线的电压进行比较,若所述多进制符号的优先级高于仲裁总线电压的优先级,则将多进制符号输出至仲裁总线,若所述多进制符号的优先级低于子仲裁总线电压的优先级则停止剩余符号发送,对应的双速率仲裁传感设备待下一个仲裁时隙进行数据线竞争。同时对比在一个时间片内快仲裁总线和慢仲裁总线上第一个仲裁帧已传输完成的多进制符号串。当第一个慢仲裁总线上第一个仲裁帧传输结束的时候,10个符号持续了10微秒,短于慢仲裁总线的时隙长度14微秒,也短于时间片的持续时间16微秒。此时快仲裁总线上的第一个仲裁帧在4微秒内就传输结束了。因此在第10微秒至第16微秒的这段时间中,接口控制电路可以对两个不同速率的仲裁总线上发送的相同内容的10个多进制符号串进行比较。若两者完全相同,则认为上述一个时间片中在快仲裁总线上所有快仲裁时隙内成功发送的多进制符号串全部正确。在下一个时间片,即16微秒后开始,上述多进制符号串对应双速率仲裁中继器的待发数据,依次选择一组数据总线进行传输,直至所有数据总线分配完成,未有分配数据总线的双速率仲裁中继器,则在本时间片,也就是16微秒结束以后,进入下个时间片的总线竞争。

[0059] 若两者不完全相同,则将慢仲裁总线传输的多进制符号串作为数据传输的依据,在下一个长时间片,即45微秒后开始,上述多进制符号串对应双速率仲裁中继器的待发数据依次选择一组数据总线进行传输,直至所有数据总线分配完成,未有分配数据总线的双速率仲裁中继器,则在本次长时间片,也就是45微秒结束以后,进入下个时间片的总线竞争。

[0060] 如果节点设备是双速率仲裁中继器级联的情况,就会存在次级双速率仲裁中继器在双速率仲裁中继器中竞争子总线的情况,其传输规则和双速率传感器相同,在此不再赘述。

[0061] 请参考图5,当有数据总线有数据需传输至底层双速率传感器时,此时假定系统内只有一级双速率仲裁中继器直接下挂双速率仲裁传感器的情况。

[0062] 接口控制模块内数据传输模块的身份识别模块对从数据总线上接收的数据进行分析,如果和所述双速率仲裁传感器身份一致时,将数据通过接口控制模块存储至缓存及控制模块中,双速率仲裁中继器会根据子总线上接收数据对应的多进制符号串和所述缓存及控制模块中缓存的待发数据的数量,经加权计算得到新多进制符号串,所述新多进制符号串的优先级高于或等于原先收到的所述多进制符号串的优先级。如果身份不一致,双速率仲裁中继器直接丢弃接收到的数据。

[0063] 在仲裁时隙的开始,双速率仲裁器的接口控制电路将对应的多进制符号串逐位和子仲裁总线的电压进行比较,若所述多进制符号的优先级高于子仲裁总线电压的优先级,则将多进制符号输出至子仲裁总线,若所述多进制符号的优先级低于仲裁总线电压的优先级则停止剩余符号发送,对应的双速率仲裁传感设备待下一个仲裁时隙进行子数据线竞争。

[0064] 同时对比在一个时间片内子快仲裁总线和子慢仲裁总线上第一个仲裁帧已传输完成的多进制符号串。当第一个子慢仲裁总线上第一个仲裁帧传输结束的时候,10个符号持续了10微秒,短于子慢仲裁总线的时隙长度14微秒,也短于子时间片的持续时间16微秒。此时快仲裁总线上的第一个仲裁帧在4微秒内就传输结束了。因此在第10微秒至第16微秒的这段时间中,接口控制电路可以对两个不同速率的子仲裁总线上发送的相同内容的10个多进制符号串进行比较。

[0065] 若两者完全相同,在下一个时间片,即16微秒后开始,上述多进制符号串对应双速率仲裁中继器的待发数据,依次选择一组子数据总线进行传输,直至所有数据总线分配完成,未有分配子数据总线的双速率仲裁中继器,则在本时间片,也就是16微秒结束以后,进入下个时间片的子总线竞争。

[0066] 若两者不完全相同,则将子慢仲裁总线传输的多进制符号串作为数据传输的依据,在下一个长时间片,即45微秒后开始,上述多进制符号串对应双速率仲裁中继器的待发数据依次选择一组子数据总线进行传输,直至所有数据总线分配完成,未有分配子数据总线的双速率仲裁中继器,则在本次长时间片,也就是45微秒结束以后,进入下个时间片的子总线竞争。

[0067] 底层的双速率传感器的接口控制模块内数据传输模块的身份识别模块对从子数据总线上接收的数据进行分析,如果和所述双速率传感器身份一致时直接接收,如果不一致直接丢弃。

[0068] 如果节点设备是双速率仲裁中继器级联的情况,就会存在次级双速率仲裁中继器在继续向底层的双速率传感器数据传输情况,其传输规则和双速率传感器相同,在此不再赘述。

[0069] 由于线长延迟的原因,快仲裁总线上传输的多进制符号串可能存在一部分是距离较近设备的多进制符号串,一部分是距离较远设备的多进制符号串,此时快速仲裁总线上输出的多进制符号串与慢速仲裁总线上的部分多进制符号串不一致,等于没有设备在快速仲裁总线上成功发送多进制符号串,所以输出至快速仲裁总线上的多进制符号串不作为仲裁结果。

[0070] 而慢仲裁总线由于传输速率低,所以总是能输出正确的多进制符号串,因此将慢速仲裁总线上输出的多进制符号串作为仲裁结果。当快仲裁总线输出的多进制符号串又与慢仲裁总线输出的部分多进制符号串一致时,仍然以快速仲裁总线输出的多进制符号串为仲裁结果。慢仲裁总线的传输速率满足最大线长延迟,保证仲裁信号的基本传输速率,而当没有距离较远设备参与仲裁时,快仲裁总线就可以提高距离较近设备的仲裁信号的传输速率。

[0071] 进一步的,每个节点控制器都会有预先设定好的优先级编码,优先级编码由多进制符号串进行表示,多进制符号串通过节点控制器内的数模转换器翻译成多电平后参与仲裁竞争。

[0072] 进一步的,请参考图2,接口控制模块及总线控制模块包括仲裁电路模块、数据传输模块和控制模块。仲裁电路模块包括逻辑线或电路,逻辑线或电路包括场效应管和第一比较器,场效应管漏极作为逻辑线或电路输入端,场效应管栅极与第一比较器输出端连接,场效应管源极作为逻辑线或电路输出端,第一比较器的反相输入端与场效应管源极连接,所述第一比较器同相输入端与场效应管漏极连接。

[0073] 若逻辑线或电路的输入端电压高于其输出端电压,即第一比较器同相输入端电压高于其反相输入端电压,第一比较器输出高电平驱动场效应管导通,由于场效应管作为开关使用,其导通压降低,其输出端电压被钳制在略小于其输入端电压,相当于场效应管则将输入的多进制符号进行输出,反之第一比较器输出低电平,场效应管截止。

[0074] 逻辑线或电路还包括输入缓冲器,输入缓冲器输出端与场效应管输入端连接。

[0075] 逻辑线或电路还包括清除电路,所述清除电路包括下拉电阻和开关管,所述下拉电阻一端与逻辑线或输出端连接,所述下拉电阻另一端与开关管输入端连接,所述开关管输出端接地,所述开关管的控制端与逻辑线或电路输入端的设备连接,所述设备在时隙结束时控制开关管导通。导线在高频状态下存在寄生电容,会影响到逻辑线或电路后续输出的多进制符号,而在时隙结束时到导通开关管,将寄生电容引入接地消除,这样在下一个时隙开始,也就是下一个多进制符号串输出,就不会受到寄生电容的影响。通常情况下选择场效应管作为开关管。

[0076] 进一步的,仲裁电路模块还包括误差消除电路,误差消除电路输入端与逻辑线或电路输出端连接,误差消除电路输出端与逻辑线或电路输入端的设备连接,误差消除电路包括:

[0077] 门限电路,用于提供与多进制符号对应的若干门限电压,所述门限电压用于区分所述不同电压幅值的状态;

[0078] 再生电路,所述再生电路包括与门限电压对应的若干第二比较器和若干分压电阻,每一个第二比较器的同相输入端与仲裁总线连接,每一个第二比较器的反相输入端用于不同门限电压输入,每一个第二比较器输出端串联一个分压电阻,分压电阻之间并联连接,第二比较器将多进制符号与门限电压比较后,生成逻辑电平,全部的逻辑电平经过分压电阻分压后生成多进制符号对应的标准电压,逻辑线或电路输入端的设备将误差消除电路输出的标准电压与其输出多进制符号进行比较,若两者一致,则所述设备成功发送多进制符号;

[0079] 以及,零增益运算放大器,标准电压经过零增益运算放大器缓冲后输出。

[0080] 数据总线或仲裁总线具有不同的数据符号调制方式和调制速率。考虑到数据总线需要达到较高数据传输速率,因此数据总线具有较高的符号调制速率,而仲裁总线需要考虑到仲裁的准确性和往返延迟,因此仲裁总线具有较低的符号调制速率。数据总线上的数据可采用任何方式的调制方式进行调制,而仲裁总线上的数据则采用电平调制。其中,数据总线可采用任何形式的数据线进行数据传输,例如双绞线和光纤,并且每一组数据总线之间是相互独立的,且支持全双工通信。

[0081] 数据总线和仲裁总线采用结构化数据块方式进行数据传输,基本传输单位为数据帧,仲裁总线传输单位为仲裁帧。数据总线和仲裁总线在时域上进行时隙划分,每一个时隙的长度都可传输一个数据帧。规定只能在时隙开始时传输数据帧,也就是占用总线,并在时隙结束之前停止传输,也就是释放总线,总线释放后属于空闲状态。快速仲裁总线时隙长度与数据总线时隙长度是相同的,慢速仲裁总线时隙长度大于快速仲裁总线时隙长度。三者具有相对固定的相位差,通常相位差为0。

[0082] 双速率仲裁传感器和双速率仲裁中继器将多进制符号串逐位与仲裁总线上的电压进行比较,如果多进制符号的电压值高于仲裁总线上的电压,则具有优先级,并将多进制符号输出至仲裁总线。这个特性称为“线或”功能,即相当于逻辑“或”运算,输出端自动选择电压值大的多进制符号进行输出,不需要进行冲突检测。本实施例中,节点设备的接口控制模块输出多进制符号来参与优先权仲裁,多进制符号由多电平来表示。参与仲裁的节点设备的接口控制模块输出多进制符号串序列,多进制符号串序列之间进行逐位比较,具有优先级的多进制符号进行输出,并继续发送下一位的多进制符号,能够将多进制符号串序列完整发送的节点设备的接口控制模块获得仲裁优先权,并将待发数据发送至数据总线上完成数据传输。

[0083] 本发明中,采用多进制符号来进行仲裁信号的传输,相比二进制符号来进行仲裁信号的传输,相同时间内可以传输更多的信息,大大的提高了仲裁效率。

[0084] 具体的实现过程如下:

[0085] 请参考图3,设定有三个节点设备参与优先级仲裁。

[0086] 对应的有三个逻辑线或电路100和三个误差消除电路200。逻辑线或电路100输出端与误差消除电路200输入端连接,误差消除电路200输出端与逻辑线或电路100输入端的设备连接。

[0087] 由于三个误差消除电路其结构相同,为了方便说明,图3中只包括三个逻辑线或电路和一个误差消除电路。

[0088] 现以一个5V逻辑系统来对本电路进行说明,多进制符号包括五种状态,定义低于

1V为电平0,其标准电压为0.5V;1.1V-1.9V之间为电平1,其标准电压为1.5V;2.1V-2.9V之间为电平2,其标准电压为2.5V;3.1V-3.9V之间为电平3,其标准电压为3.5V;4.1V以上为电平4,其标准电压为4.5V。其它电压值为电平过渡电压,需要就近舍入最近的电平。当所有输入端口均未接入而呈现高阻状态时,默认输出电平0。

[0089] 那么本实施例的电路可用于五进制符号的仲裁信号传输。电平0表示符号“0”,电平1表示符号“1”,以此类推。

[0090] 由上述可知,多进制符号包括四个门限电压,分别为1V、2V、3V和4V。相对应的,门限电路包括5个串联的电阻,每个电阻分得1V电压,对应的门限电压分别为4V、3V、2V和1V,分别对应图3中的节点10-13。

[0091] 对应的,再生电路包括4个第二比较器和4个分压电阻,每一个第二比较器的同相输入端与同一多进制符号串输入连接,每一个第二比较器的反相输入端与不同门限电压连接,每个第二比较器的输出端串联一个分压电阻,分压电阻之间并联连接。当第二比较器的同相输入端电压大于反相输入端电压时,第二比较器输出逻辑高电平,反之则输出逻辑低电平。全部第二比较器输出的逻辑高电平或逻辑低电平经过分压电阻分压后生成多进制符号对应的标准电压。

[0092] 由本实施例的电路可知,若推导其它多进制符号串的仲裁信号传输电路时,只需改变门限电压的数量,而比较器和分压电阻进行对应的数量改变即可。

[0093] 比较器输出的高电平和低电平的电压幅值由比较器的驱动电压所控制,本实施例中,为方便理解,比较器输出的高电平为4.5V,低电平为0.5V,与比较器输出端串联的分压电阻阻值都相等,令其阻值为R。但是需要说明的是,实际上,比较器输出的高电平幅值、低电平幅值和分压电阻的阻值,都是可以通过所需结果进行计算得到。

[0094] 假设节点1输入电平3,标准电压为3.5V,节点2输入电平2,标准电压为2.5V,节点3输入电平1,标准电压为1.5V。

[0095] 由上述分析可知,节点4为高电平输出,节点5输出电压略小于3.5V。即输出电平3。

[0096] 由于3.5V只小于4V的门限电压,所以节点6输出低电平0.5V,节点7、8和9均输出高电平4.5V。此时输出out的电压为:

$$[0097] \quad (4.5-0.5) * \frac{R}{\frac{1}{3}R+R} + 0.5 = 3.5V$$

[0098] 正好是电平3对应的标准电压。节点设备的接口控制模块将误差消除电路输出的标准电压与输入的电平进行比较,最后判断与节点1输入的电平一致,而与节点1连接的设备获得仲裁优先权。

[0099] 假设输入第一位电平时,节点1输入电平2,标准电压为2.5V,节点2输入电平2,标准电压为2.5V,节点3输入电平1,标准电压为1.5V。假设电平在传输过程中受到干扰,变为节点1输入2.7V,节点2输入2.2V,节点3输入1.3V。

[0100] 由上述分析可知,节点4为高电平输出,节点5输出电压略小于2.7V。由于2.7V大于2V而小于3V的门限电压,所以节点9和8输出高电平4.5V,节点6和7均输出低电平0.5V。此时输出out的电压为:

$$[0101] \quad (4.5-0.5) * \frac{\frac{1}{2}R}{\frac{1}{2}R + \frac{1}{2}R} + 0.5 = 2.5V$$

[0102] 正好是电平2对应的标准电压。

[0103] 假设输入第二位电平时,节点1输入电平4,标准电压为4.5V,节点2输入电平2,标准电压为2.5V,节点3输入电平3,标准电压为3.5V。由上述分析可知,节点4为高电平输出,节点5输出电压略小于4.5V。假设在传输过程中受到干扰,4.5V变为4.8V。

[0104] 由于4.8V大于所有的门限电压,所以节点9、8、7和6均输出高电平4.5V。此时输出out的电压为4.5V,正好是电平4对应的标准电压。节点设备将误差消除电路输出的标准电压与输入的电平进行比较,在进行第一位电平比较时,节点1和节点2与输入的电平一致,继续第二位电平的比较,只有节点1与输入的电平一致,最后判断与节点1输入的电平一致,而与节点1连接的设备获得仲裁优先权。

[0105] 由上述可知,逻辑线或电路能够选择输出电压值最高的多进制符号对,多进制符号经过再生电路后产生若干逻辑电平,而若干逻辑电平通过分压电阻生成多进制符号对应的标准电压,即多进制符号,保证了数字电路逻辑判断的准确性,同时逻辑线或电路的导通压降低,在相同的电压幅值下可以划分更多不同状态的电平。多进制符号与门限电压进行比较,生成逻辑电平,先消除了多进制符号的传输噪声和误差。进一步的,由于多进制符号是和门限电压进行比较,因此生成的逻辑电平带有多进制符号的信息和特征,而根据这些信息和特征将逻辑电平转换为多进制符号对应的标准电压。由常识可知,同一电压幅值内划分越多的电平,则相邻状态的电平之间的电压差值越小,这样容易导致数字电路的逻辑判断错位。而本电路使用多电平表示多进制符号的同时,通过误差再生电路消除了多进制符号的传输误差,提高了多进制符号状态判断的准确性。

[0106] 一种载具,载具包括本体,所述本体设有上述的用于巨型载具的双速仲裁总线系统。

[0107] 实施例二

[0108] 请参考图6,实施例二与实施例一的区别在于:

[0109] 用于总线系统的双速率仲裁中继设备还包括中速仲裁总线,所述中速仲裁总线的时隙长度大于快速仲裁总线,小于慢速仲裁总线。子总线也包含子中速仲裁总线,子总线和中枢总线功能完全相同。

[0110] 若在时间片内输出至快速仲裁总线的第一个多进制符号串与输出至慢速仲裁总线的第一个已完成传输的多进制符号串不一致,则将输出至中速仲裁总线的多进制符号串与输出至慢速仲裁总线的多进制符号串进行比较,若二者一致,则输出至中速仲裁总线的多进制符号串作为仲裁结果。

[0111] 慢仲裁总线的传输速率满足最大线长延迟,保证仲裁信号的基本传输速率,而当没有距离较远设备参与仲裁时,快仲裁总线就可以提高距离较近设备的仲裁信号的传输速率,而中速仲裁总线则用于提高中等距离设备的仲裁信号的传输速率。

[0112] 最后应当说明的是,以上实施例仅用以说明本发明的技术方案,而非对本发明保护范围的限制,尽管参照较佳实施例对本发明作了详细地说明,本领域的普通技术人员应当理解,可以对本发明的技术方案进行修改或者等同替换,而不脱离本发明技术方案的实

质和范围。

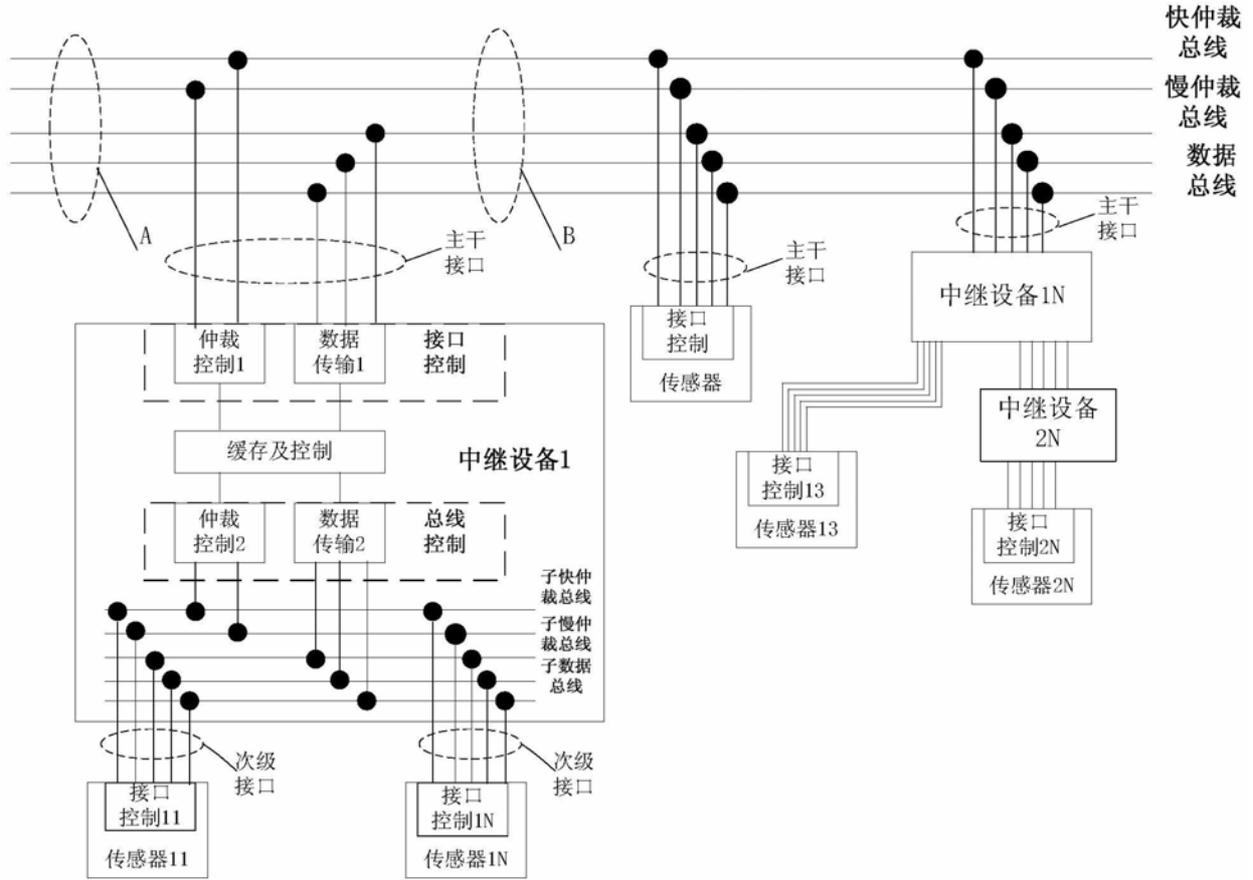


图1

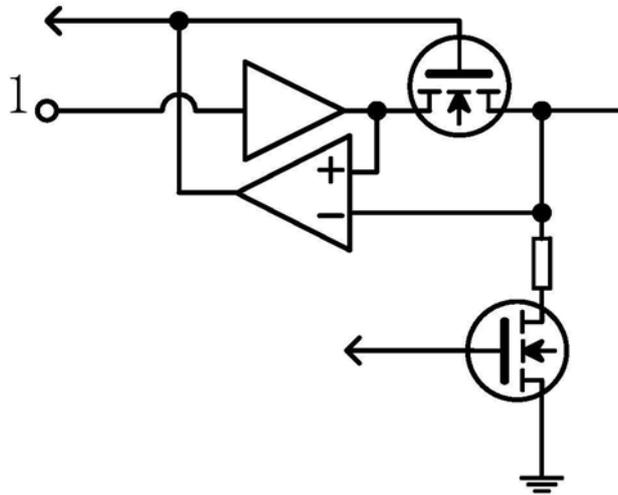


图2

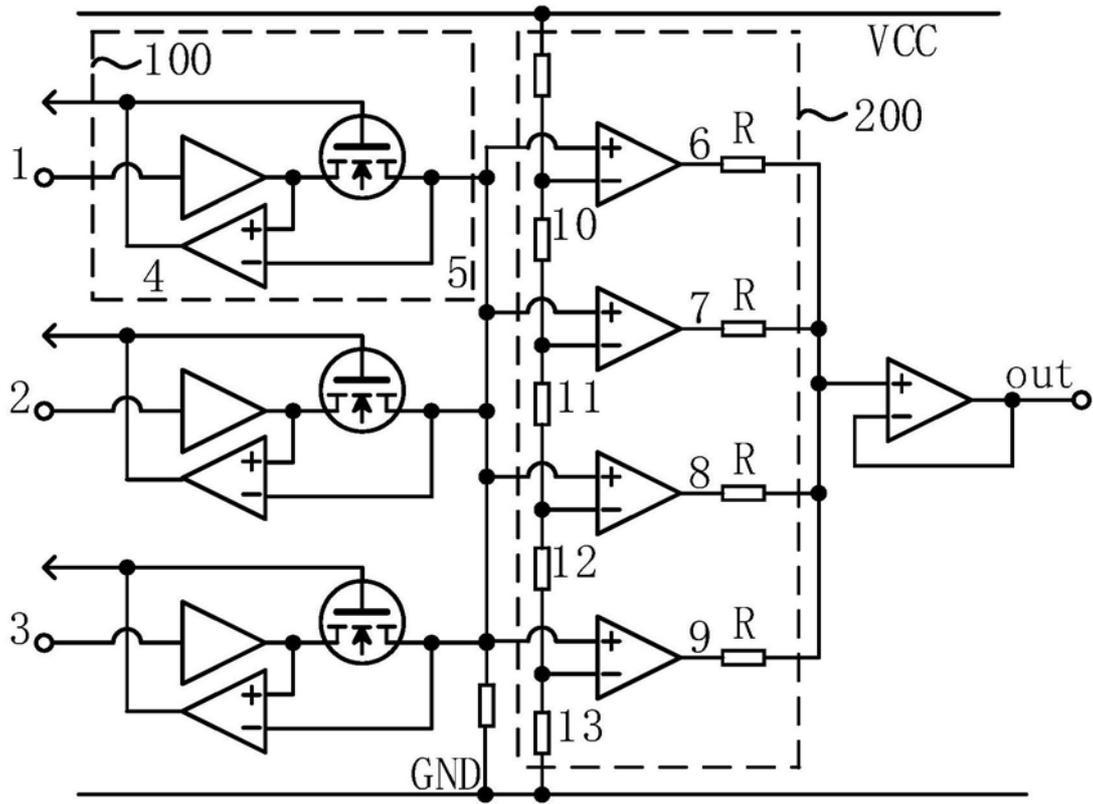


图3

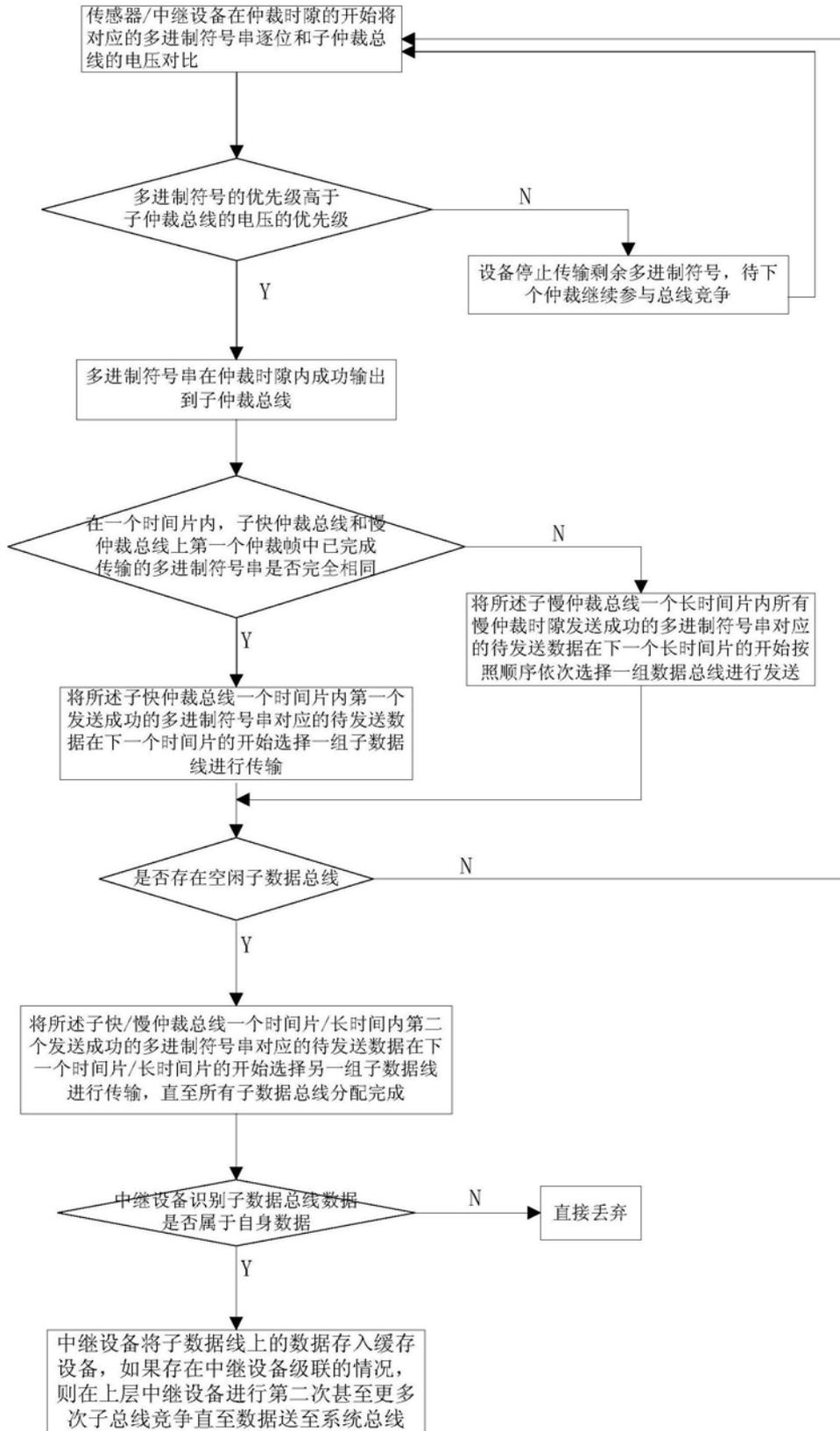


图4

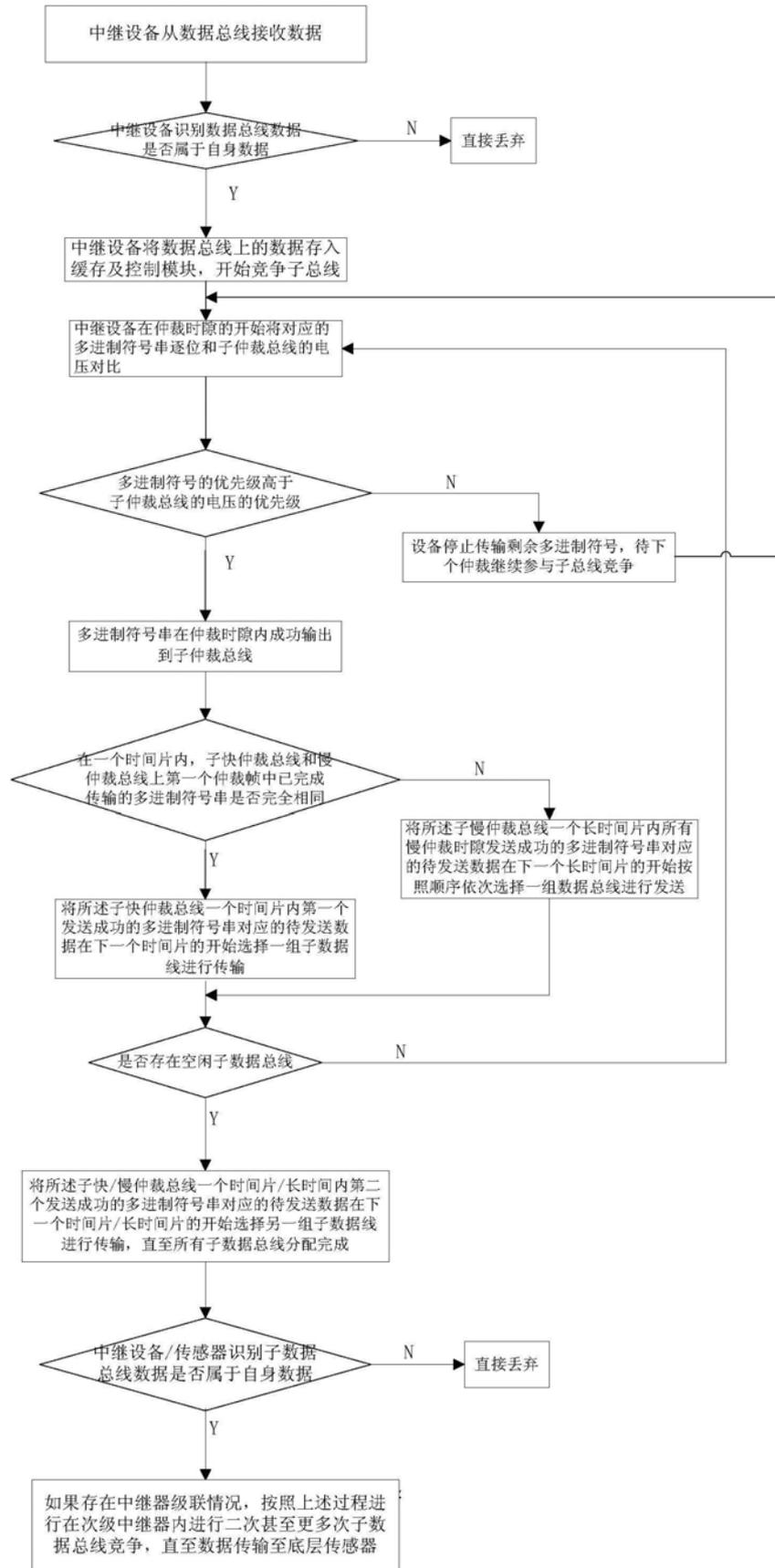


图5

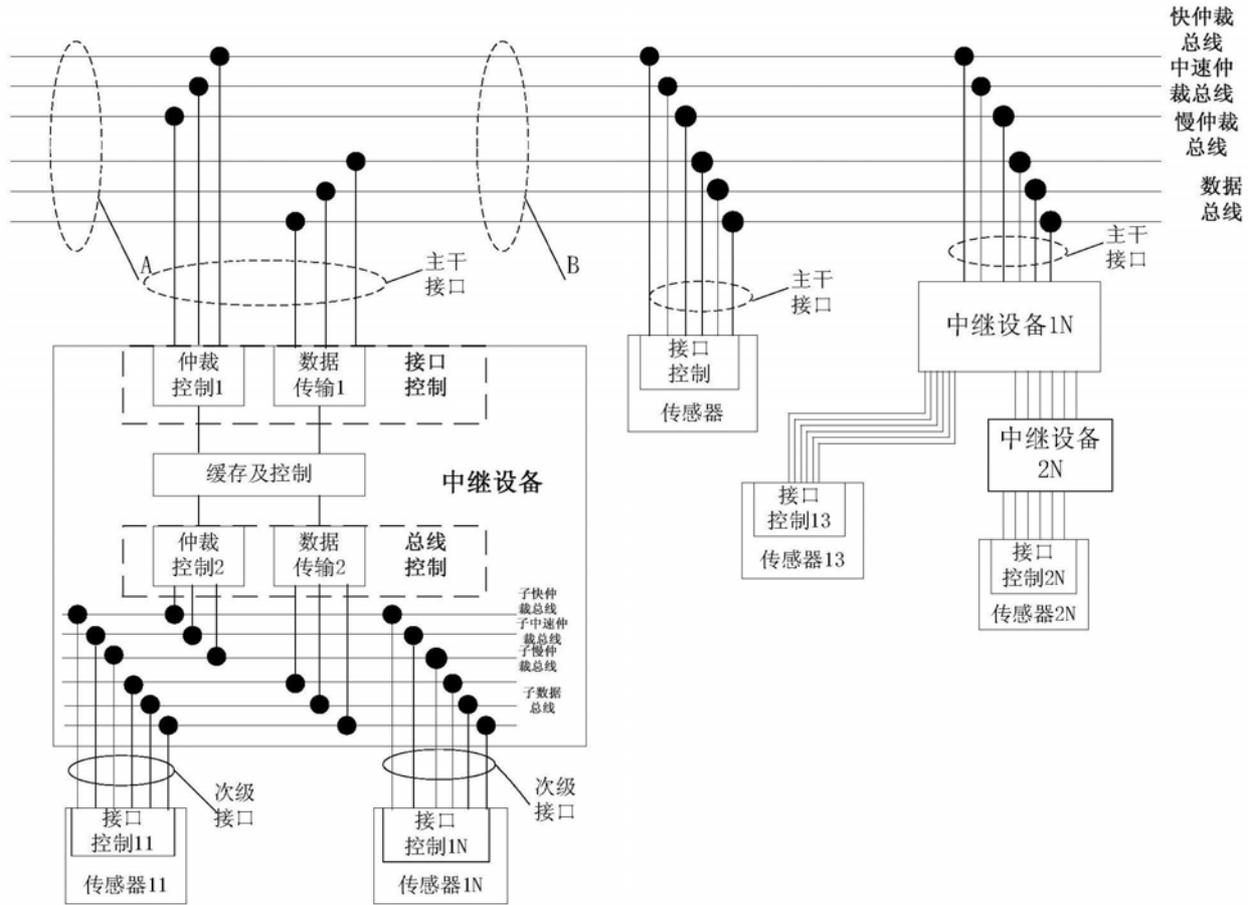


图6