

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 21/8247

(45) 공고일자 2005년06월13일
(11) 등록번호 10-0494343
(24) 등록일자 2005년05월31일

(21) 출원번호 10-2000-0083186
(22) 출원일자 2000년12월27일

(65) 공개번호 10-2002-0053527
(43) 공개일자 2002년07월05일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 조수민
서울특별시중로구팔판동115-20

(74) 대리인 신영무
최승민

심사관 : 반성원

(54) 반도체 소자의 필드 트랜지스터 제조 방법

요약

본 발명은 반도체 소자의 필드 트랜지스터 제조 방법에 관한 것으로, 제 1 접합부 및 제 1 접합부보다 액티브 영역쪽으로 깊게 형성된 제 2 접합부의 이중 구조로 형성함으로써 접합부로 전류가 과도하게 흐르는 것을 방지하여 콘택 파괴를 방지할 수 있는 반도체 소자의 필드 트랜지스터 제조 방법이 제시된다.

대표도

도 5

색인어

필드 트랜지스터, ESD, 이중 접합 구조

명세서

도면의 간단한 설명

도 1은 입력편에 사용되는 ESD 보호 회로.

도 2는 DQ편에 사용되는 ESD 보호 회로.

도 3은 종래의 필드 트랜지스터의 평면도.

도 4는 도 3의 A-A' 라인을 따라 절취한 필드 트랜지스터의 단면도.

도 5는 본 발명에 따른 필드 트랜지스터의 평면도.

도 6은 도 5의 B-B' 라인을 따라 절취한 상태의 필드 트랜지스터의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

11 및 22 : 반도체 기판 12 및 22 : 필드 영역

13 및 23 : 액티브 영역 14 및 25 : 콘택

24 : 제 2 접합부

101 및 201 : 반도체 기판 102 및 202 : 필드 산화막

103 : 접합부 104 및 205 : 절연막

105 및 206 : 도전체막 203 : 제 1 접합부

204 : 제 2 접합부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 필드 트랜지스터 제조 방법에 관한 것으로, 특히 필드 트랜지스터의 접합부를 제 1 접합부 및 제 1 접합부보다 깊게 형성된 제 2 접합부로 형성함으로써 접합부로 전류가 과도하게 흐르는 것을 방지하여 콘택 파괴를 방지할 수 있는 반도체 소자의 필드 트랜지스터 제조 방법에 관한 것이다.

메모리 소자의 집적 회로에서 발생하는 고장 모드(failure mode)에는 여러가지 있는데, 전기적 현상에 의한 모드에는 EOS와 ESD(Electrostatic Discharge; 정전기 방전)로 분류된다. 그중에서 ESD 현상은 정전기가 흐르면서 발생하는 현상으로, 발생 원인에 따라 HBM, MM, CDM으로 분류된다. 이러한 전류는 트랜지스터의 가장 취약한 부분으로 집중되어 흐르기 때문에 접합부나 콘택 또는 게이트 산화막의 용해(melting)에 의한 파괴(failure) 현상의 원인이 된다.

이러한 ESD 현상에 대하여 내부 회로를 보호하기 위해 메모리 소자에서는 입력 핀과 DQ 핀에 ESD 보호 회로를 구성하고 있다. 이러한 보호 회로는 그 기능상 입력단에는 전압을 일정하게 유지하는 역할을 해주도록 하고, 출력단에는 전류를 일정하게 유지하는 역할을 해주도록 한다.

도 1은 입력 핀에 일반적으로 사용되는 ESD 보호 회로이다. 전원 단자(Vcc)와 접지 단자(Vss) 사이에 입력 패드와 연결되도록 전원 필드 트랜지스터(F11)와 접지 필드 트랜지스터(F12)가 접속된다. 그리고, 확산 저항(DR)을 통해 내부 회로로 PMOS 트랜지스터(P11) 및 NMOS 트랜지스터(N11)로 구성된 입력 버퍼가 접속된다. 이러한 보호 회로는 외부의 정전기 충격으로부터 내부 회로를 보호하도록 구성된다. 일반적으로 메모리에서 입력 핀에 사용되는 보호 회로는 필드 트랜지스터가 주로 사용된다.

도 2는 DQ 핀에서 일반적으로 사용하는 ESD 보호 회로이다. 전원 단자(Vcc)와 접지 단자(Vss) 사이에 DQ 패드와 연결되도록 제 1 PMOS 트랜지스터(P211)와 제 1 NMOS 트랜지스터(N21)가 접속된다. 그리고, 저항(R)을 통해 내부 회로로 제 2 PMOS 트랜지스터(P22) 및 제 2 NMOS 트랜지스터(N22)로 구성된 입력 버퍼가 접속된다. DQ 핀에서는 데이터의 출력을 담당하는 출력 버퍼를 ESD 보호 회로로 사용하고 있는데, 출력 버퍼는 패드에 인접하여 있으며, ESD에 견딜 수 있도록 하기 위해 수백 μm 의 폭을 갖는 구조로 설계된다.

한편, 입력 핀에 사용되는 ESD 보호 회로에 있어 필드 트랜지스터의 설계는 매우 중요하다. 일반적으로 ESD 입력 회로의 필드 트랜지스터는 HBM에 있어서는 모서리(액티브 영역과 필드 영역이 접하는 부분)에서 전류가 흐르게 되고, 크라우딩(crowding) 또한 이 부분에서 발생된다. 이와 달리 MM의 경우는 HBM에 비해 전류의 양도 더 많고, 콘택 하단의 접합부로 전류가 많이 흐르게 된다. 그러므로 전류 크라우딩으로 인한 ESD 파괴를 방지하기 위해 적절한 구조가 필요하다.

종래의 0.35 μm 플래쉬 메모리 소자에서는 도 3 및 도 4에 도시된 바와 같은 필드 트랜지스터를 사용하고 있는데, 종래의 필드 트랜지스터 제조 방법을 설명하면 다음과 같다.

반도체 기판(11 및 101)의 소정 영역에 필드 산화막(102)를 형성하여 필드 영역(12)과 액티브 영역(13)을 확정한다. 그리고 액티브 영역(13)의 반도체 기판에 DDD 공정에 의해 접합부(103)를 형성한다. 셀 영역이 소자 제조 공정중에 반도체 기판 상부에 형성된 절연막(104)의 소정 영역을 식각하여 콘택(14)을 형성한다. 콘택(14)이 매립되도록 전체 구조 상부에 텅스텐등의 도전체막(105)을 형성한 후 전면 식각 공정을 실시한다.

상기한 바와 같이 종래의 필드 트랜지스터 제조 공정에서 접합부는 DDD 공정으로 형성한다. 일반적으로 ESD에는 DDD 구조보다는 LDD 구조가 더 유리하다. 그러나, 플래쉬 메모리 소자에서는 게이트 산화막의 두께 때문에 DDD 구조가 LDD 구조에 비해 유리하며, 또한 입력 핀에 12.5V의 고전압이 인가되는 경우가 있기 때문에 DDD 구조를 사용하고 있다. 그러나 DDD 구조는 LDD에 비해 높은 접합 항복 전압을 가지기 때문에 ESD 파괴 현상으로 나타날 수 있다.

실제로, 현재 사용되고 있는 ESD 특성 확인 결과 모서리 부분의 파괴는 없지만, 필드 트랜지스터내에 콘택 스파이킹 현상이 발견되며, 이러한 콘택 파괴가 입력 핀 누설의 원인이 되고 있다. 이와 같은 결과는 ESD 스트레스에 의하여 콘택 하단의 접합부로 전류가 과도하게 흐르게 되어 콘택 파괴를 유발하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 접합부로 전류가 과도하게 흐르는 것을 방지하여 콘택 파괴를 방지할 수 있는 반도체 소자의 필드 트랜지스터 제조 방법을 제공하는데 있다.

본 발명의 다른 목적은 접합부의 구조를 변형하여 콘택 파괴를 방지함으로써 ESD 특성을 개선시킬 수 있는 반도체 소자의 필드 트랜지스터 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

본 발명에 따른 반도체 소자의 필드 트랜지스터 제조 방법은 반도체 기관의 소정 영역에 필드 산화막을 형성하여 필드 영역과 액티브 영역을 확정하는 단계와, 상기 액티브 영역에 제 1 불순물 이온 주입 공정을 실시하여 제 1 접합부를 형성하는 단계와, 상기 액티브 영역의 소정 영역에 제 1 불순물 이온 주입 공정보다 높은 에너지 및 이온량으로 제 2 불순물 이온 주입 공정을 실시하여 상기 제 1 접합부보다 깊게 제 2 접합부를 형성하는 단계와, 전체 구조 상부에 절연막을 형성한 후 상기 절연막의 소정 영역을 식각하여 상기 제 2 접합부를 노출시키는 콘택을 형성하는 단계와, 상기 콘택에 도전체막을 매립시키는 단계를 포함하여 이루어진 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 5는 본 발명에 따른 반도체 소자의 필드 트랜지스터의 평면도이고, 도 6은 도 5의 B-B' 라인을 따라 절취한 상태의 단면도로서, 이들을 이용하여 본 발명에 따른 반도체 소자의 필드 트랜지스터 제조 방법을 설명하면 다음과 같다.

반도체 기관(21 및 201)의 소정 영역에 필드 산화막(202)을 형성하여 필드 영역(22)과 액티브 영역(23)을 확정한다. 그리고 액티브 영역(23)의 반도체 기관에 DDD 공정에 의해 제 1 접합부(203)를 형성한다. 액티브 영역(23)의 소정 부분에 제 1 접합부(203)를 형성하기 위한 이온 주입 공정보다 더 높은 에너지 및 불순물 농도로 제 2 불순물 이온 주입 공정을 실시하여 제 2 접합부(204 및 204')를 형성한다. 따라서, 제 2 접합부(204 및 204')는 제 1 접합부(203)보다 더 깊이 형성된다. 또한, 제 2 접합부(204 및 204')는 필드 산화막(202)과 제 1 접합부(203)가 접하는 부분보다 액티브 영역쪽으로 형성된다. 셀 영역의 소자 제조 공정중에 반도체 기관(21) 상부에 형성된 절연막(205)의 소정 영역을 식각하여 콘택(205)을 형성한다. 콘택(205)이 매립되도록 전체 구조 상부에 텅스텐등의 도전체막(206)을 형성한 후 전면 식각 공정을 실시한다.

상술한 바와 같이 본 발명에서는 ESD 보호 회로용 필드 트랜지스터의 제 1 접합부 안쪽으로 제 1 접합부보다 높은 에너지 및 이온량으로 제 2 접합부를 형성함으로써 DDD 구조의 접합부의 단점인 전류 크라우딩을 방지하여 전류를 분산시켜 ESD 특성을 개선시킬 수 있다. 제 2 접합부는 접합 항복 전압이 상대적으로 낮기 때문에 전류가 주로 제 2 접합부쪽으로 집중적으로 빠지게 되며, 또한 기존의 경우처럼 한곳에 집중되는 것이 아니라 골고루 분산되므로 ESD 특성에 유리하게 된다. 뿐만 아니라 ESD에 의한 열충격(thermal shock)이 발생된다 하더라도 제 2 접합부에서 발생되므로 게이트 산화막이나 콘택에 거의 영향을 미치지 않으며, 콘택 용해 현상이 발생되더라도 제 2 접합부가 누설 원인을 제거할 수 있다.

한편, DQ 핀의 ESD 보호 회로로 사용되는 입출력 드라이버의 트랜지스터를 상기와 같은 방법으로 형성하더라도 채널쪽은 종래의 형태와 차이가 없기 때문에 입출력 드라이버의 정상적인 동작에 문제가 없다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 효과적으로 ESD를 보호할 수 있어 반도체 소자의 특성을 향상시킬 수 있다. 또한, 제 2 접합부의 접합 항복 전압이 상대적으로 낮으므로 전류가 주로 제 2 접합부쪽으로 집중적으로 빠지게 되며, 골고루 분산되므로 ESD 특성에 유리하게 된다. 뿐만 아니라, ESD에 의한 열충격이 발생된다 하더라도 제 2 접합부에서 발생되므로 게이트 산화막이나 콘택에 거의 영향을 미치지 않으며, 콘택 용해가 발생되더라도 제 2 접합부가 누설 원인을 제거할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기관의 소정 영역에 필드 산화막을 형성하여 필드 영역과 액티브 영역을 확정하는 단계와,

상기 액티브 영역에 제 1 불순물 이온 주입 공정을 실시하여 제 1 접합부를 형성하는 단계와,

상기 액티브 영역의 소정 영역에 상기 제 1 불순물 이온 주입 공정보다 높은 이온량으로 제 2 불순물 이온 주입 공정을 실시하여 제 2 접합부를 형성하는 단계와,

전체 구조 상부에 절연막을 형성한 후 상기 절연막의 소정 영역을 식각하여 콘택을 형성하는 단계와,

상기 콘택에 도전체막을 매립시키는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 필드 트랜지스터 제조 방법.

청구항 2.

제 1 항에 있어서, 상기 제 1 접합부는 DDD 구조로 형성하는 것을 특징으로 하는 반도체 소자의 필드 트랜지스터 제조 방법.

청구항 3.

제 1 항에 있어서, 상기 제 2 접합부는 상기 제 1 접합부보다 액티브 영역 쪽으로 형성하는 것을 특징으로 하는 반도체 소자의 필드 트랜지스터 제조 방법.

청구항 4.

제 1 항에 있어서, 상기 제 2 불순물 이온 주입 공정은 상기 제 1 불순물 이온 주입 공정보다 높은 에너지로 실시하는 것을 특징으로 하는 반도체 소자의 필드 트랜지스터 제조 방법.

청구항 5.

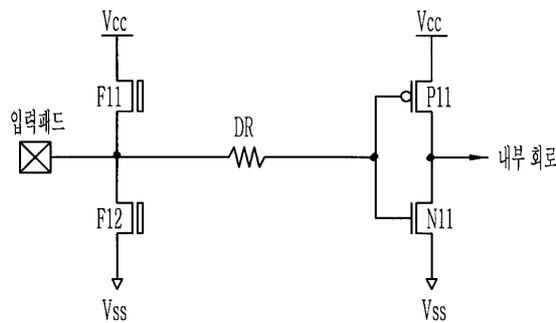
제 1 항에 있어서, 상기 제 2 접합부는 상기 제 1 접합부보다 깊이 형성하는 것을 특징으로 하는 반도체 소자의 필드 트랜지스터 제조 방법.

청구항 6.

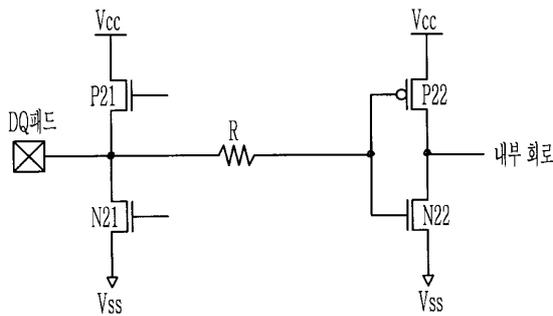
제 1 항에 있어서, 상기 콘택은 상기 제 2 접합부를 노출시키도록 형성하는 것을 특징으로 하는 반도체 소자의 필드 트랜지스터 제조 방법.

도면

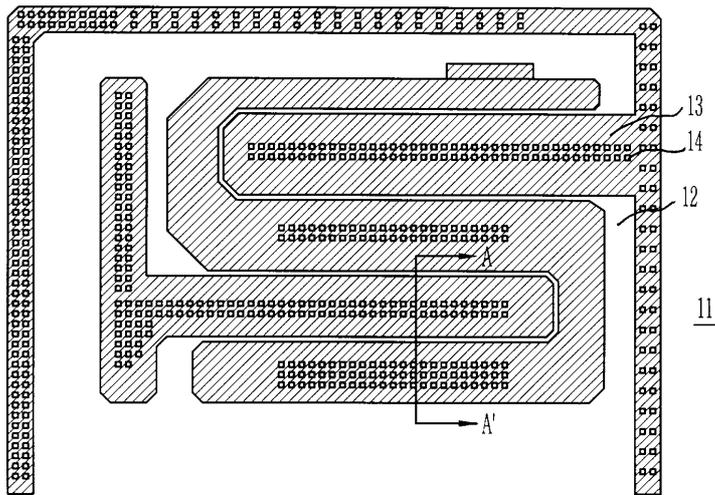
도면1



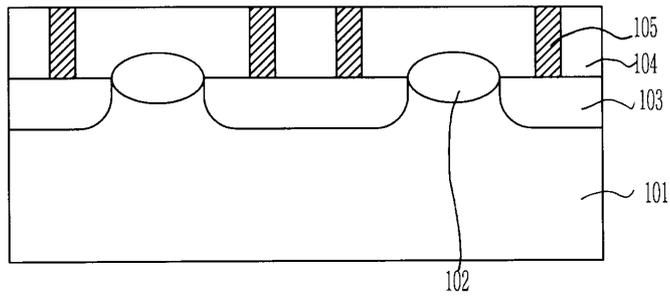
도면2



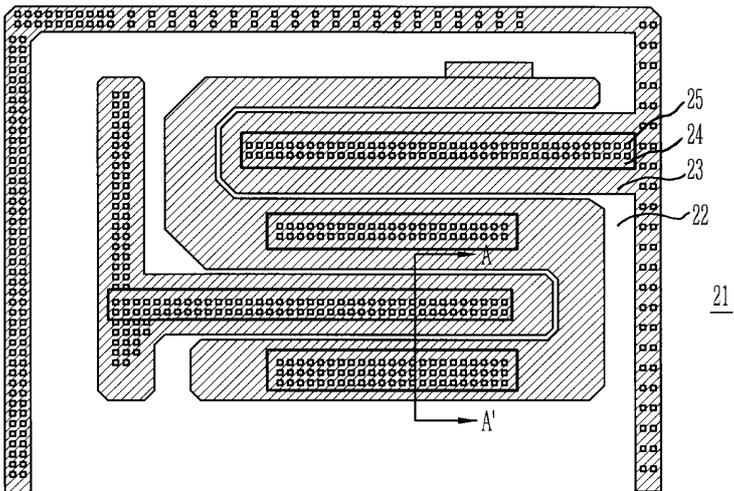
도면3



도면4



도면5



도면6

