



(12)发明专利申请

(10)申请公布号 CN 111176358 A

(43)申请公布日 2020. 05. 19

(21)申请号 201911372394.2

(22)申请日 2019.12.27

(71)申请人 成都锐成芯微科技股份有限公司
地址 610041 四川省成都市高新区天府五街200号1号楼A座4楼

(72)发明人 黄存华

(51) Int. Cl.
G05F 1/56(2006.01)

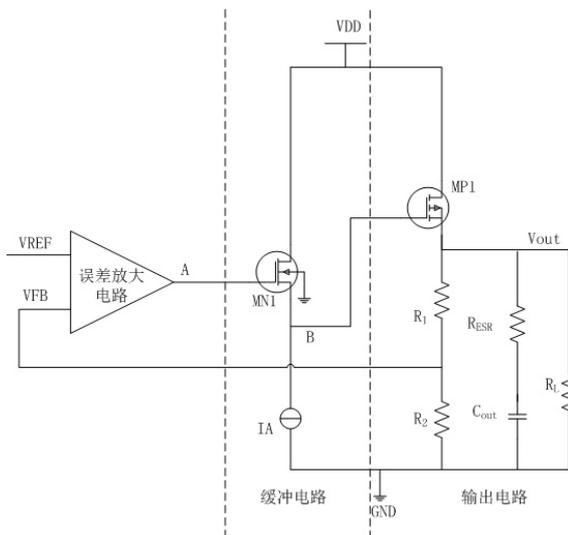
权利要求书2页 说明书6页 附图2页

(54)发明名称

一种低功耗低压差线性稳压器

(57)摘要

本发明公开了一种低功耗低压差线性稳压器,涉及集成电路技术领域。该线性稳压器包括误差放大电路、输出电路和缓冲电路,缓冲电路分别连接于误差放大电路和输出电路,误差放大电路接收基准电压和反馈电压并输出比较信号,缓冲电路将比较信号进行缓冲后发送至输出电路,输出电路将反馈电压输出至误差放大电路进行比较;缓冲电路包括第一NMOS管,第一NMOS管连接于误差放大电路输出端和输出电路中的第一PMOS管。本发明技术方案通过在误差放大电路和输出电路之间采用NMOS管作为缓冲电路,一方面解决了线性稳压器稳定性问题,另一方面,输出电路中的第一PMOS管的栅极电压摆幅大大增加,极大地缩小了第一PMOS管的面积。



1. 一种低功耗低压差线性稳压器,包括误差放大电路和输出电路,其特征在于,所述线性稳压器还包括缓冲电路,所述缓冲电路分别连接于所述误差放大电路和所述输出电路,所述误差放大电路接收基准电压和反馈电压并输出比较信号,所述缓冲电路将所述比较信号进行缓冲后发送至所述输出电路,输出电路将反馈电压输出至所述误差放大电路进行比较;所述缓冲电路包括第一NMOS管,所述第一NMOS管连接于所述误差放大电路输出端和所述输出电路中的第一PMOS管。

2. 根据权利要求1所述的低功耗低压差线性稳压器,其特征在于,所述第一NMOS管为耗尽型NMOS管。

3. 根据权利要求2所述的低功耗低压差线性稳压器,其特征在于,所述第一NMOS管的栅极连接于所述误差放大电路的输出端、漏极连接于电源电压、源极通过第一偏置电流源接地;

所述第一PMOS管的栅极连接于所述第一NMOS管的源极、源极连接于电源电压、漏极通过分压电阻接地。

4. 根据权利要求2所述的低功耗低压差线性稳压器,其特征在于,所述误差放大电路包括接收基准电压的第二PMOS管、接收反馈电压的第三PMOS管以及第四PMOS管,所述第二PMOS管和所述第三PMOS管通过所述第四PMOS管连接于电源电压;

所述误差放大电路还包括第五PMOS管、第六PMOS管、第二NMOS管、第三NMOS管、第四NMOS管和第五NMOS管,所述第二NMOS管连接于所述第二PMOS管和所述第四NMOS管、所述第三NMOS管连接于所述第三PMOS管和所述第五NMOS管,所述第四NMOS管连接于所述第五PMOS管、所述第五NMOS管连接于所述第六PMOS管。

5. 根据权利要求4所述的低功耗低压差线性稳压器,其特征在于,所述缓冲电路还包括第六NMOS管和第七PMOS管,所述第六NMOS管的漏极连接于所述第一NMOS管的源极,源极接地,栅极连接于所述第三NMOS管的栅极和漏极以及第五NMOS管的栅极;所述第七PMOS管的源极连接于电源电压、漏极连接于所述第一NMOS管的源极和所述第一PMOS管的栅极;

所述第一NMOS管栅极连接于所述第五NMOS管的漏极和所述第六PMOS管的漏极,漏极连接于电源电压。

6. 根据权利要求5所述的低功耗低压差线性稳压器,其特征在于,所述线性稳压器还包括偏置电路,所述偏置电路包括第二偏置电流源和第八PMOS管,所述第八PMOS管的源极连接于电源电压、漏极通过所述第二偏置电流源接地、栅极连接于漏极和所述第四PMOS管的栅极以及所述第七PMOS管的栅极。

7. 根据权利要求4所述的低功耗低压差线性稳压器,其特征在于,所述第二PMOS管和所述第三PMOS管的源极连接于所述第四PMOS管的漏极,所述第四PMOS管的源极连接于电源电压;

所述第二PMOS管的栅极接收基准电压、漏极连接于所述第二NMOS管的漏极和栅极;所述第三PMOS管的栅极接收反馈电压、漏极连接于所述第三NMOS管的漏极和栅极;

所述第二NMOS管的源极接地、栅极与漏极相连并连接于所述第四NMOS管的栅极;所述第三NMOS管的源极接地、栅极与漏极相连并连接于所述第五NMOS管的栅极;所述第四NMOS管的源极接地、漏极连接于所述第五PMOS管的栅极和漏极;所述第五NMOS管的源极接地、漏极连接于所述第六PMOS管的栅极和漏极;

所述第五PMOS管和所述第六PMOS管的栅极相互连接、源极连接于电源电压。

8. 根据权利要求4所述的低功耗低压差线性稳压器,其特征在於,所述输出电路包括分压反馈子电路和负载子电路;所述分压反馈子电路包括串联的第一电阻和第二电阻,所述第一电阻的一端连接于所述第一PMOS管的漏极、另一端连接于所述第三PMOS管的栅极用以输出反馈电压至所述第三PMOS管,所述第一电阻的另一端还通过所述第二电阻接地。

9. 根据权利要求8所述的低功耗低压差线性稳压器,其特征在於,所述负载子电路包括第三电阻、滤波电容和负载电阻,所述第三电阻和所述负载电阻的一端连接于所述第一PMOS管的漏极和输出电路的输出端,所述第三电阻的另一端通过滤波电容接地,所述负载电阻的另一端接地。

一种低功耗低压差线性稳压器

技术领域

[0001] 本发明涉及集成电路技术领域,特别是涉及一种低功耗低压差线性稳压器。

背景技术

[0002] LDO(Low Dropout Regulator, 低压差线性稳压器)是一种应用于便携式电子设备中的电源芯片,它具有低压差、低噪声、低静态功耗以及输出电流大等突出特点。由于LDO输出电流的变化导致LDO中的误差放大器不能稳定工作,因此需要对误差放大器进行频率补偿。

[0003] 常见的补偿方式有负载电容上的寄生电阻(Equivalent Series Resistance, ESR)零点补偿,密勒补偿等。ESR补偿结构简单,只需要选择一个合适的寄生电阻来调整误差放大器的相位裕度,系统就可以稳定工作,但是ESR很难取到一个合适的值。密勒补偿需要很大的片内电容,增加了版图面积。

[0004] 另外一种常见的补偿方式是采用PMOS源随结构作为缓冲级,将PMOS源随结构作为缓冲级并放置于误差放大器输出端和功率MOS管的栅极之间,使得原来的低频极点分为两个高频极点,同时还可以用外部电容的ESR抵消其中一个极点,就可以得到较好的相位裕度。这种方案结构简单,稳定性较好,被普遍采用,但是PMOS源随结构的缓冲级会产生一个 V_{gs} (栅源电压)的压降,导致功率MOS管(一般是PMOS管)的 V_{gs} 摆幅受限, V_{gs} 的最大值不可能达到电源电压,在输出负载电流较大时,需要增大功率MOS管的面积,同时电源电压至少要达到2倍的 V_{gs} 以上,不适用于低电源电压应用。

发明内容

[0005] 本发明的主要目的在于提供一种低功耗低压差线性稳压器,旨在使其适用于低电源电压电路系统。

[0006] 为实现上述目的,本发明提供一种低功耗低压差线性稳压器,包括误差放大电路和输出电路,所述线性稳压器还包括缓冲电路,所述缓冲电路分别连接于所述误差放大电路和所述输出电路,所述误差放大电路接收基准电压和反馈电压并输出比较信号,所述缓冲电路将所述比较信号进行缓冲后发送至所述输出电路,输出电路将反馈电压输出至所述误差放大电路进行比较;所述缓冲电路包括第一NMOS管,所述第一NMOS管连接于所述误差放大电路输出端和所述输出电路中的第一PMOS管。

[0007] 优选地,所述第一NMOS管为耗尽型NMOS管。

[0008] 优选地,所述第一NMOS管的栅极连接于所述误差放大电路的输出端、漏极连接于电源电压、源极通过第一偏置电流源接地;

所述第一PMOS管的栅极连接于所述第一NMOS管的源极、源极连接于电源电压、漏极通过分压电阻接地。

[0009] 优选地,所述误差放大电路包括接收基准电压的第二PMOS管、接收反馈电压的第三PMOS管以及第四PMOS管,所述第二PMOS管和所述第三PMOS管通过所述第四PMOS管连接于

电源电压；

所述误差放大电路还包括第五PMOS管、第六PMOS管、第二NMOS管、第三NMOS管、第四NMOS管和第五NMOS管，所述第二NMOS管连接于所述第二PMOS管和所述第四NMOS管、所述第三NMOS管连接于所述第三PMOS管和所述第五NMOS管，所述第四NMOS管连接于所述第五PMOS管、所述第五NMOS管连接于所述第六PMOS管。

[0010] 优选地，所述缓冲电路还包括第六NMOS管和第七PMOS管，所述第六NMOS管的漏极连接于所述第一NMOS管的源极，源极接地，栅极连接于所述第三NMOS管的栅极和漏极以及第五NMOS管的栅极；所述第七PMOS管的源极连接于电源电压、漏极连接于所述第一NMOS管的源极和所述第一PMOS管的栅极；

所述第一NMOS管栅极连接于所述第五NMOS管的漏极和所述第六PMOS管的漏极，漏极连接于电源电压。

[0011] 优选地，所述线性稳压器还包括偏置电路，所述偏置电路包括第二偏置电流源和第八PMOS管，所述第八PMOS管的源极连接于电源电压、漏极通过所述第二偏置电流源接地、栅极连接于漏极和所述第四PMOS管的的栅极以及所述第七PMOS管的栅极。

[0012] 优选地，所述第二PMOS管和所述第三PMOS管的源极连接于所述第四PMOS管的漏极，所述第四PMOS管的源极连接于电源电压；

所述第二PMOS管的栅极接收基准电压、漏极连接于所述第二NMOS管的漏极和栅极；所述第三PMOS管的栅极接收反馈电压、漏极连接于所述第三NMOS管的漏极和栅极；

所述第二NMOS管的源极接地、栅极与漏极相连并连接于所述第四NMOS管的栅极；所述第三NMOS管的源极接地、栅极与漏极相连并连接于所述第五NMOS管的栅极；所述第四NMOS管的源极接地、漏极连接于所述第五PMOS管的栅极和漏极；所述第五NMOS管的源极接地、漏极连接于所述第六PMOS管的栅极和漏极；

所述第五PMOS管和所述第六PMOS管的栅极相互连接、源极连接于电源电压。

[0013] 优选地，所述输出电路包括分压反馈子电路和负载子电路；所述分压反馈子电路包括串联的第一电阻和第二电阻，所述第一电阻的一端连接于所述第一PMOS管的漏极、另一端连接于所述第三PMOS管的栅极用以输出反馈电压至所述第三PMOS管，所述第一电阻的另一端还通过所述第二电阻接地。

[0014] 优选地，所述负载子电路包括第三电阻、滤波电容和负载电阻，所述第三电阻和所述负载电阻的一端连接于所述第一PMOS管的漏极和输出电路的输出端，所述第三电阻的另一端通过滤波电容接地，所述负载电阻的另一端接地。

[0015] 本发明技术方案通过在误差放大电路和输出电路之间采用NMOS管作为缓冲电路，一方面解决了线性稳压器稳定性问题，另一方面，输出电路中的第一PMOS管的栅极电压摆幅大大增加，极大地缩小了第一PMOS管的面积。

附图说明

[0016] 图1为本发明低功耗低压差线性稳压器一实施例的电路原理示意图；

图2为本发明低功耗低压差线性稳压器另一实施例的电路原理示意图。

[0017] 本发明目的的实现、功能特点及优点将结合实施例，参照附图做进一步说明。

[0018]

具体实施方式

[0019] 应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0020] 下面结合附图对本发明进一步说明。

[0021] 本发明实施例提供一种低功耗低压差线性稳压器,适用于低电源电压应用。

[0022] 如图1所示,本实施例提供了一种低功耗低压差线性稳压器,包括误差放大电路、输出电路和缓冲电路,所述缓冲电路分别连接于所述误差放大电路和所述输出电路,所述误差放大电路接收基准电压VREF和反馈电压VFB并输出比较信号,所述缓冲电路将所述比较信号进行缓冲后发送至所述输出电路,输出电路将反馈电压VFB输出至所述误差放大电路进行比较;所述缓冲电路包括第一NMOS管MN1,所述第一NMOS管MN1连接于所述误差放大电路输出端和所述输出电路中的第一PMOS管MP1。

[0023] 在具体实施例中,该第一NMOS管MN1为耗尽型NMOS管。

[0024] 具体地,第一NMOS管MN1的栅极连接于所述误差放大电路的输出端、漏极连接于电源电压VDD、源极通过第一偏置电流源IA接地GND;所述第一PMOS管MP1的栅极连接于所述第一NMOS管MN1的源极、源极连接于电源电压VDD、漏极通过分压电阻接地GND。

[0025] 具体地,输出电路包括分压反馈子电路和负载子电路;所述分压反馈子电路包括串联的第一电阻R1和第二电阻R2,所述第一电阻R1的一端连接于所述第一PMOS管MP1的漏极、另一端连接于第三PMOS管MP3的栅极用以输出反馈电压VFB至第三PMOS管MP3,第一电阻R1的另一端还通过第二电阻R2接地GND。负载子电路包括第三电阻RESR、滤波电容Cout和负载电阻RL,所述第三电阻RESR和所述负载电阻RL的一端连接于所述第一PMOS管MP1的漏极和输出电路的输出端Vout,所述第三电阻RESR的另一端通过滤波电容Cout接地GND,所述负载电阻RL的另一端接地GND。在具体实施例中,第三电阻RESR为电容串联等效电阻,滤波电容Cout为外部输出滤波电容。

[0026] 如图1所示,本实施例的工作原理为:

带隙基准产生基准电压VREF,误差放大电路将接收到的反馈电压VFB和基准电压VREF的差值放大,控制第一PMOS管MP1的导通阻抗,实现恒定的输出电压;当没有缓冲电路时,由于误差放大电路输出节点A为高阻抗,第一PMOS管MP1面积大,节点B会有很大的栅极电容,因此节点B直接连接于误差放大电路的输出节点A,在该公共节点会产生一个低频极点

$$p_1 = \frac{1}{R_A C_B}$$
,其中RA为误差放大电路的输出电阻,CB为第一PMOS管MP1的栅极寄生电容;输

出电路还包括有一个uF级别的滤波电容Cout,其产生主极点
$$p_0 = \frac{1}{R_0 C_{out}}$$
,其中

$$R_0 = (R_1 + R_2) || R_L || R_{ds}$$
 为输出端Vout的阻抗,其中,Rds为第一PMOS管MP1的输出阻抗。这样会使得在单位增益带宽以内,会存在两个极点,导致系统不稳定。

[0027] 本发明实施例在误差放大电路输出和第一PMOS管MP1的栅极之间增加缓冲级,使

得原来的低频极点p1分为两个高频极点:
$$p_{11} = \frac{1}{R_A C_A}$$
 和
$$p_{12} = \frac{1}{R_B C_B}$$
,由于,

$C_A \ll C_B, R_B \approx \frac{1}{g_{m_mn1}} \ll R_A$, 其中 R_A 为误差放大器的输出阻抗, R_B 为第一PMOS管

MP1的输出阻抗, C_A 为误差放大器的寄生电容, C_B 为第一PMOS管MP1的栅极寄生电容, g_{m_mn1} 为第一NMOS管MN1的跨导。同时,可以利用负载子电路中第三电阻 R_{ESR} 产生的零点

$Z_0 = \frac{1}{R_{ESR}C_{out}}$ 抵消其中一个极点,其中, R_{ESR} 为第三电阻 R_{ESR} 的阻值, C_{out} 为滤波电容 C_{out}

的值。负载子电路的结构简单,增加了线性稳压器的稳定性。

[0028] 并且,由于本发明实施例中的缓冲电路使用了耗尽型NMOS源随结构,一方面使得节点A和节点B的两个极点均为高频极点,而且由于第一NMOS管的衬偏效应使得节点B的输出阻抗更小,即

$R_B \approx \frac{1}{g_{m_mn1} + g_{mb_mn1}} < \frac{1}{g_{m_mn1}}$, 其中 g_{m_mn1} 为第一NMOS管MN1的跨导, g_{mb_mn1} 为衬底偏置效应第一NMOS管MN1产生的跨导,所以节点B的极点会更高频,对稳定性更有利。

导, g_{mb_mn1} 为衬底偏置效应第一NMOS管MN1产生的跨导,所以节点B的极点会更高频,对稳定性更有利。

[0029] 另一方面,节点A的电压摆幅最大范围 V_{dsN} 为: $V_{dsN} \leq V_A \leq V_{DD} - V_{dsP}$, 其中 V_A 为节点A的电压, V_{DD} 为电源电压VDD, V_{dsP} 为第一PMOS管MP1的漏源电压;而第一NMOS管的栅源电压接近0V,因此节点B的电压摆幅范围 V_{dsN} 为:

$V_{dsN} \leq V_B \leq (V_{DD} - V_{dsP} - V_{gs_MNI} \approx V_{DD} - V_{dsP})$, 其中 V_B 为节点B的电压, V_{gs_MNI} 为第一NMOS管MN1的栅源电压,可以看到,节点B的电压最低值非常低,当输出电流较大时,第一PMOS管MP1可以获得最大的栅源电压,由饱和区漏电流的平方律关系等式:

$I_{ds} = 0.5 * \beta (V_{gs} - V_{th})^2$ 可知,本发明实施例的结构对比现有技术中使用PMOS管源随结构的缓冲级而言,在相同的输出电流条件下,本发明实施例中的第一PMOS管MP1的面积缩小了将近一半!

且本发明实施例中的第一NMOS管MN1源随结构选择耗尽型是因为:当线性稳压器的负载电流非常小甚至接近0时,节点A的电压为: $V_{DD} - V_{dsP}$, 节点B的电压为:

$V_{DD} - V_{dsP} - V_{gs_MNI}$, 若第一NMOS管MN1使用增强型NMOS管,增强型NMOS的阈值电压远高于0V,则第一PMOS管MP1的栅源电压为 $(-V_{gs_MNI} - V_{dsP})$,会导致第一PMOS管MP1不能关闭,使得输出电压失控;当第一NMOS管MN1采用耗尽型NMOS时,节点B的电压为

$V_{DD} - V_{dsP} - V_{gs_MNI} \approx V_{DD} - V_{dsP}$, 则第一PMOS管MP1的栅源电压约为 $-V_{dsP}$, 第一PMOS管MP1截止,线性稳压器正常工作。

[0030] 如图2所示,在另一实施例中,该低功耗低压差线性稳压器包括误差放大电路、输出电路和缓冲电路,所述缓冲电路分别连接于所述误差放大电路和所述输出电路,所述误差放大电路接收基准电压VREF和反馈电压VFB并输出比较信号,所述缓冲电路将所述比较信号进行缓冲后发送至所述输出电路,输出电路将反馈电压VFB输出至所述误差放大电路

进行比较;所述缓冲电路包括第一NMOS管MN1,所述第一NMOS管MN1连接于所述误差放大电路输出端Vout和所述输出电路中的第一PMOS管MP1。

[0031] 具体地,该第一NMOS管MN1为耗尽型NMOS管。

[0032] 具体地,误差放大电路包括接收基准电压VREF的第二PMOS管MP2、接收反馈电压VFB的第三PMOS管MP3以及第四PMOS管MP4,所述第二PMOS管MP2和所述第三PMOS管MP3通过所述第四PMOS管MP4连接于电源电压VDD;所述误差放大电路还包括第五PMOS管MP5、第六PMOS管MP6、第二NMOS管MN2、第三NMOS管MN3、第四NMOS管MN4和第五NMOS管MN5,所述第二NMOS管MN2连接于所述第二PMOS管MP2和所述第四NMOS管MN4、所述第三NMOS管MN3连接于所述第三PMOS管MP3和所述第五NMOS管MN5,所述第四NMOS管MN4连接于所述第五PMOS管MP5、所述第五NMOS管MN5连接于所述第六PMOS管MP6。

[0033] 具体地,缓冲电路还包括第六NMOS管MN6和第七PMOS管MP7,所述第六NMOS管MN6的漏极连接于所述第一NMOS管MN1的源极,源极接地GND,栅极连接于所述第三NMOS管MN3的栅极和漏极以及第五NMOS管MN5的栅极;所述第七PMOS管MP7的源极连接于电源电压VDD、漏极连接于所述第一NMOS管MN1的源极和所述第一PMOS管MP1的栅极;所述第一NMOS管MN1栅极连接于第五NMOS管MN5的漏极和第六PMOS管MP6的漏极,漏极连接于电源电压VDD。

[0034] 具体地,线性稳压器还包括偏置电路,所述偏置电路包括第二偏置电流源IB和第八PMOS管MP8,所述第八PMOS管MP8的源极连接于电源电压VDD、漏极通过所述第二偏置电流源IB接地GND、栅极连接于漏极和所述第四PMOS管MP4的的栅极以及所述第七PMOS管MP7的栅极。

[0035] 具体地,第二PMOS管MP2和所述第三PMOS管MP3的源极连接于所述第四PMOS管MP4的漏极,所述第四PMOS管MP4的源极连接于电源电压VDD;所述第二PMOS管MP2的栅极接收基准电压VREF、漏极连接于所述第二NMOS管MN2的漏极和栅极;所述第三PMOS管MP3的栅极接收反馈电压VFB、漏极连接于所述第三NMOS管MN3的漏极和栅极;所述第二NMOS管MN2的源极接地GND、栅极与漏极相连并连接于所述第四NMOS管MN4的栅极;所述第三NMOS管MN3的源极接地GND、栅极与漏极相连并连接于所述第五NMOS管MN5的栅极;所述第四NMOS管MN4的源极接地GND、漏极连接于所述第五PMOS管MP5的栅极和漏极;所述第五NMOS管MN5的源极接地GND、漏极连接于所述第六PMOS管MP6的栅极和漏极;所述第五PMOS管MP5和所述第六PMOS管MP6的栅极相互连接、源极连接于电源电压VDD。

[0036] 具体地,输出电路包括分压反馈子电路和负载子电路;所述分压反馈子电路包括串联的第一电阻R1和第二电阻R2,所述第一电阻R1的一端连接于所述第一PMOS管MP1的漏极、另一端连接于所述第三PMOS管MP3的栅极用以输出反馈电压VFB至所述第三PMOS管MP3,所述第一电阻R1的另一端还通过所述第二电阻R2接地GND。

[0037] 在具体实施例中,负载子电路包括第三电阻 R_{ESR} 、滤波电容 C_{out} 和负载电阻 R_L ,所述第三电阻 R_{ESR} 和所述负载电阻 R_L 的一端连接于所述第一PMOS管MP1的漏极和输出电路的输出端Vout,所述第三电阻 R_{ESR} 的另一端通过滤波电容 C_{out} 接地GND,所述负载电阻 R_L 的另一端接地GND。

[0038] 该实施例的工作原理为:

第四PMOS管MP4、第七PMOS管MP7和第八PMOS管MP8构成偏置电路;差分输入对管第二PMOS管MP2和第三PMOS管MP3、三对电流镜第二NMOS管MN2和第四NMOS管MN4、第三NMOS管MN3

和第五NMOS管MN5、第五PMOS管MP5和第六PMOS管MP6构成放大电路；耗尽型NMOS管第一NMOS管MN1MN1和第六NMOS管MN6组成缓冲电路；第一PMOS管MP1为输出功率管；第一电阻R1和第二电阻R2为分压反馈网络；滤波电容 C_{out} 为外部输出滤波电容，第三电阻 R_{ESR} 为电容串联等效电阻。

[0039] 本实施例中的线性稳压器有三个明显的极点：节点A、节点B和输出端Vout；

输出端Vout的主极点： $P_0 = \frac{1}{R_0 C_{out}}$ ，其中 $R_0 = (R_1 + R_2) || R_L || R_{ds}$ 为输出

端Vout看到的阻抗；

节点A和节点B的非主极点分别为： $P_A = \frac{1}{R_A C_A}$ 和 $P_B = \frac{1}{R_B C_B}$ ，其中 R_A 为误差放

大电路的输出电阻， $R_A = R_{ds_MP4} || R_{ds_MN4}$ ， C_A 为节点A的寄生电容； R_B 为B点输出电

阻， $R_B \approx \frac{1}{g_{m_m6} + g_{mb_m6}} || R_{ds_MN5}$ ， C_B 为第一PMOS管MP1的栅极寄生电容；

ESR零点为： $Z_0 = \frac{1}{R_{ESR} C_{out}}$ 。

[0040] 由于节点B的摆幅较大，低电平电压仅为第六NMOS管MN6的漏源电压，第一PMOS管MP1可以获得最大的栅源电压，第一PMOS管MP1的尺寸可以大大减小，当第一PMOS管MP1的尺寸减小的同时还会减小节点B的寄生电容，极点进一步推向高频，可以获得更好的相位裕度。

[0041] 第七PMOS管MP7用于轻负载时将第六NMOS管MN6的电流进行分流，使得流过第一NMOS管MN1的电流减小，进一步减小节点A和节点B间的电压差，使得节点B的电压更高。

[0042] 本实施例中的线性稳压器静态功耗很低，而且不会随着负载电流而变化，而且可以获得300mA以上的驱动能力。

[0043] 应当理解的是，以上仅为本发明的优选实施例，不能因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

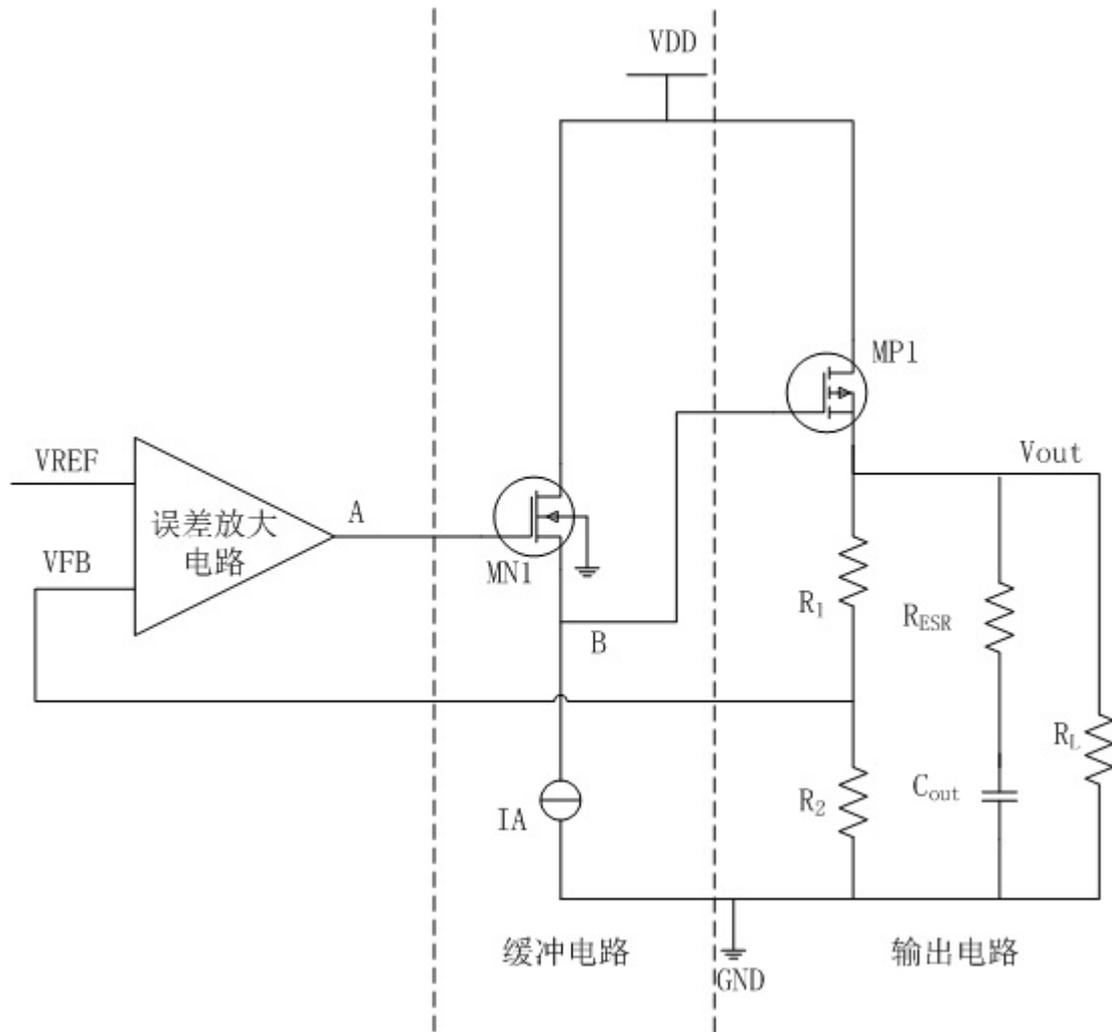


图1

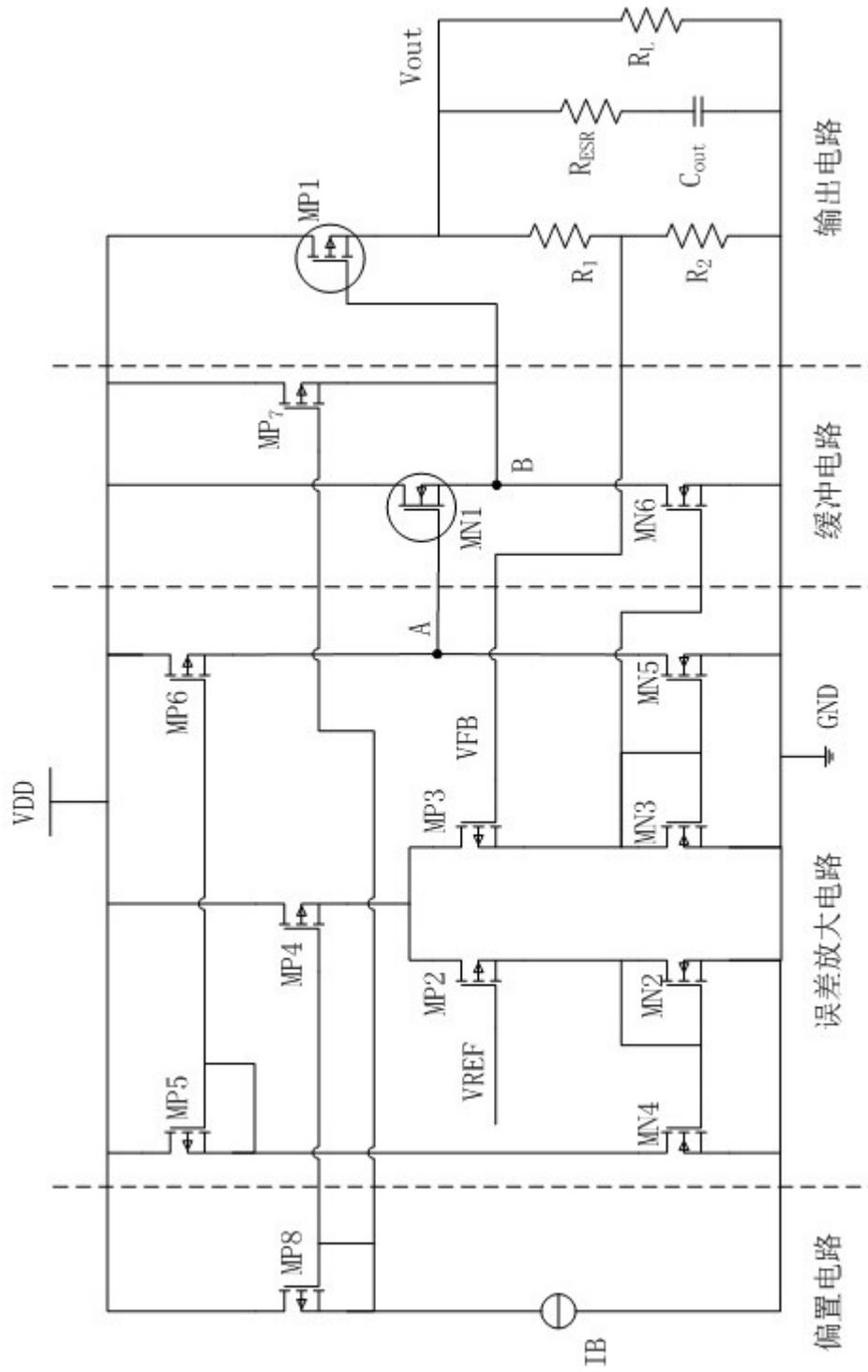


图2