

(12) 发明专利申请

(10) 申请公布号 CN 102272888 A

(43) 申请公布日 2011. 12. 07

(21) 申请号 200980153246. X

代理人 丁辰

(22) 申请日 2009. 12. 29

(51) Int. Cl.

(30) 优先权数据

H01L 21/033(2006. 01)

12/318, 609 2008. 12. 31 US

(85) PCT申请进入国家阶段日

2011. 06. 30

(86) PCT申请的申请数据

PCT/US2009/069711 2009. 12. 29

(87) PCT申请的公布数据

W02010/078343 EN 2010. 07. 08

(71) 申请人 桑迪士克 3D 有限责任公司

地址 美国加利福尼亚州

(72) 发明人 陈永廷 S. J. 拉迪甘

(74) 专利代理机构 北京市柳沈律师事务所

11105

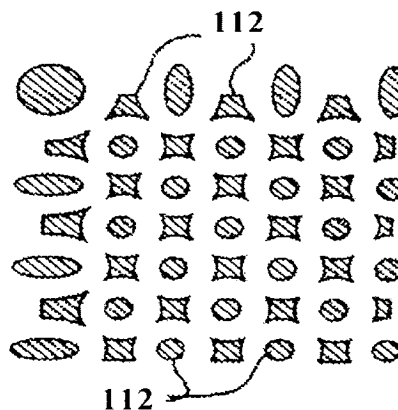
权利要求书 2 页 说明书 8 页 附图 5 页

(54) 发明名称

柱形结构的阻剂结构元件和可移除间隔物间距加倍构图方法

(57) 摘要

一种制造半导体器件的方法,包括:在衬底上形成至少一层;在至少一层上形成可成像材料的至少两个分开的结构元件;在至少两个结构元件上形成侧壁间隔物;以及用填充物结构元件来填充在第一结构元件上的第一侧壁间隔物和第二结构元件上的第二侧壁间隔物之间的空间。该方法还包括:选择性地移除侧壁间隔物以留下第一结构元件,所述填充物结构元件和第二结构元件彼此分隔开;以及使用该第一结构元件、所述填充物结构元件和第二结构元件作为掩模,来蚀刻至少一层。



1. 一种制造半导体器件的方法,包括:

在衬底上形成至少一层;

在该至少一层上形成可成像材料的至少两个分隔开的结构元件;

在该至少两个结构元件上形成侧壁间隔物;

用填充物结构元件来填充在第一结构元件上的第一侧壁间隔物和第二结构元件上的第二侧壁间隔物之间的空间;

选择性地移除侧壁间隔物,以留下彼此分隔开的所述第一结构元件、所述填充物结构元件和所述第二结构元件;以及

把所述第一结构元件、所述填充物结构元件和所述第二结构元件用作掩模,来蚀刻该至少一层。

2. 根据权利要求1的方法,其中,所述至少两个分隔开的结构元件包括多个结构元件。

3. 根据权利要求2的方法,还包括:

用多个填充物结构元件之一填充在所述多个结构元件的每两个相邻结构元件之间的每个空间;以及

把该多个结构元件和该多个填充物结构元件用作掩模,来蚀刻该至少一层。

4. 根据权利要求2的方法,其中,形成侧壁间隔物的步骤包括:在该多个结构元件上形成侧壁间隔物,使沿着至少两个预定方向的在相邻结构元件上的侧壁间隔物彼此接触,以形成位于该侧壁间隔物之间的完全封闭的空隙空间。

5. 根据权利要求1的方法,其中:

所述至少两个结构元件和填充物结构元件包括第一材料,所述侧壁间隔物包括不同于该第一材料的第二材料;以及

选择性地移除的步骤包括:选择性地蚀刻侧壁间隔物的第二材料,而不实质地移除第一材料。

6. 根据权利要求1的方法,其中:

所述至少两个结构元件包括第一材料,所述填充物结构元件包括第二材料,所述侧壁间隔物包括不同于第一和第二材料的第三材料;以及

选择性地移除所述侧壁间隔物的步骤包括:选择性地蚀刻侧壁间隔物的第三材料,而不实质地移除第一或第二材料。

7. 根据权利要求1的方法,其中,用填充物结构元件填充在第一结构元件上的第一侧壁间隔物和第二结构元件上的第二侧壁间隔物之间的空间的步骤包括:通过在第一和第二结构元件上的液相沉积来沉积可流动的聚合物填充物材料,以使侧壁间隔物的上部曝光。

8. 根据权利要求1的方法,其中:

所述可成像材料包括光阻材料、电子束阻剂材料、或纳米压印阻剂材料;

所述填充物结构元件包括具有大约1到大约15厘泊的粘质的可流动聚合物材料;以及

选择性地移除侧壁间隔物的步骤包括:选择性地蚀刻侧壁间隔物,而不实质地移除该至少两个分隔开的结构元件和填充物结构元件。

9. 根据权利要求8的方法,其中:

所述至少两个结构元件和填充物结构元件包括光阻材料;所述侧壁间隔物包括氧化硅。

10. 根据权利要求 1 的方法,其中:
所述至少两个结构元件和填充物结构元件包括光阻材料;所述侧壁间隔物包括氮化硅。
11. 根据权利要求 1 的方法,还包括:在蚀刻该至少一层的步骤之后,移除该至少两个结构元件和填充物结构元件。
12. 根据权利要求 1 的方法,还包括:在该至少两个结构元件上形成侧壁间隔物的步骤之前,修整该至少两个结构元件,以减小该至少两个结构元件的尺寸。
13. 根据权利要求 1 的方法,其中,所述至少一层包括位于至少一个半导体器件层上的硬模堆栈。
14. 根据权利要求 13 的方法,其中,所述硬模堆栈包括 BARC 层、DARC 层、有机硬模层、和至少一个导电硬模层。
15. 根据权利要求 14 的方法,其中,蚀刻该至少一层的步骤包括:至少蚀刻该 DARC 层。
16. 根据权利要求 15 的方法,还包括:修整所述 DARC 层,以形成具有实质上圆柱形的 DARC 层部分。
17. 根据权利要求 15 的方法,还包括:
在蚀刻该 DARC 层的步骤之后,移除该至少两个结构元件和填充物结构元件;
把蚀刻的 DARC 层用作掩模,来至少蚀刻所述有机硬模层;以及
把所述有机硬模层和所述导电硬模层中的至少一个用作掩模,来蚀刻该至少一个半导体层。
18. 根据权利要求 17 的方法,其中,蚀刻该至少一个半导体器件层的步骤形成多个柱形器件。
19. 根据权利要求 18 的方法,其中,所述多个柱形器件包括多个非易失性存储器单元,每个非易失性存储器单元包括二极管操纵元件和电阻率切换存储元件。
20. 一种制造柱形非易失性存储器器件阵列的方法,包括:
在衬底上形成多个底部电极;
在所述多个底部电极上形成至少一个器件层,该至少一个器件层包括至少一个操纵元件层和至少一个存储元件层;
在该至少一个器件层上形成硬模堆栈;
在该硬模堆栈上形成多个光阻分隔开的结构元件;
在所述多个光阻分隔开的结构元件上形成侧壁间隔物;
在所述多个光阻分隔开的结构元件之间形成多个光阻填充物结构元件,使侧壁间隔物的上部曝光,且使所述多个光阻填充物结构元件位于侧壁间隔物之间;
选择性地移除侧壁间隔物,以留下所述多个光阻分隔开的结构元件和彼此分隔开的所述多个光阻填充物结构元件;
把所述多个光阻分隔开的结构元件和所述多个光阻填充物结构元件用作掩模,来蚀刻该硬模堆栈的至少一部分,以形成多个硬模结构元件;
把所述多个硬模结构元件用作掩模来蚀刻该至少一个器件层,以形成多个柱形非易失性存储器单元,每个柱形非易失性存储器单元包括二极管操纵元件和电阻率切换存储元件;以及
形成接触所述多个非易失性存储器单元的多个上位电极。

柱形结构的阻剂结构元件和可移除间隔物 间距加倍构图方法

[0001] 相关申请的引用

[0002] 本申请要求在 2008 年 12 月 31 日提交的美国专利申请序列号 12/318,609 的权益,其为了所有目的在此整体通过引用包含于此。

技术领域

[0003] 本发明总体上涉及一种制造半导体器件的方法,更具体地,涉及一种制造半导体柱形结构的方法。

背景技术

[0004] 由半导体材料构成的器件用于在电组件和系统中建立存储器电路。存储器电路因为在其中存储数据和指令集因此是这种器件的基础 (backbone)。最大化在这种电路上的每单位面积的存储器元件的数量最小化了其成本,且因此在设计这种电路时是主要动机。

[0005] 由于在半导体晶片上形成的结构的尺度变小,因此当前可用于创建这些器件的工具到达其极限。作为例子,当前可用的 193 纳米沉浸工具 (immersion tools) 将不能创建具有小于大约 80nm 的间距 (pitch) 的结构。为了制造比具有当前可用的工具更小的结构元件 (feature),人们必须使用更复杂的工艺。一个这种工艺是加倍曝光 / 加倍构图 (double patterning) 的技术。另一个是在模板图案上形成的侧壁间隔物的使用,模板图案然后被移除。然后,侧壁间隔物 (sidewall spacer) 在蚀刻一个或多个底层膜期间用作掩模。

[0006] 为了简便,这两个技术的一维、规则的线和空间 (line-and-space) 图案具有将光刻产生的 (photolithography-produced) 间距一分为二的效果。以此方式,可以延长给定的光刻 (photolithography) 工具的分辨率能力。

[0007] 但是,对于规则地隔开的柱形的二维图案,加倍构图的方案延长该间距 2 的平方根的因子。侧壁间隔物方法照原样根本不能使用,因为这种方案将产生规则地隔开的圆环 (annuli) 柱形,而不是实心柱。

发明内容

[0008] 一种制造半导体器件的方法,包括:在衬底上形成至少一层;在该至少一层上形成可成像材料的至少两个隔开的结构元件;在该至少两个结构元件上形成侧壁间隔物;用填充物结构元件来填充在第一结构元件上的第一侧壁间隔物和第二结构元件上的第二侧壁间隔物之间的空间。该方法还包括:选择性地移除侧壁间隔物以留下第一结构元件,所述填充物结构元件和第二结构元件彼此分隔开;以及使用所述第一结构元件、所述填充物结构元件和第二结构元件作为掩模来蚀刻该至少一层。

[0009] 一种制造柱形非易失性存储器器件阵列的方法,包括:在衬底上形成多个底部电极;在所述多个底部电极上形成至少一个器件层,包括至少一个操纵元件层和至少一个存储元件层;在该至少一个器件层上形成硬模堆栈;以及在该硬模堆栈上形成多个光阻分隔

开的结构元件。该方法还包括：在所述多个光阻分隔开的结构元件上形成侧壁间隔物；在所述多个光阻分隔开的结构元件之间形成多个光阻填充物结构元件，以使该侧壁间隔物的上部曝光且使得所述多个光阻填充物结构元件位于侧壁间隔物之间；以及选择性地移除该侧壁间隔物以留下该多个光阻分隔开的结构元件和彼此分隔开的该多个光阻填充物结构元件。该方法还包括：使用所述多个光阻分隔开的结构元件和所述多个光阻填充物结构元件作为掩模来蚀刻硬模堆栈的至少一部分，以形成多个硬模结构元件；使用所述多个硬模结构元件作为掩模来蚀刻该至少一个器件层，以形成多个柱形非易失性存储器单元，每个柱形非易失性存储器单元包括二极管操纵元件和电阻率切换存储元件；以及形成接触所述多个非易失性存储器单元的多个上位电极 (upper electrode)。

附图说明

[0010] 图 1 是非易失性存储器单元的透视图。

[0011] 图 2 是图 1 的存储器单元的阵列的透视图。

[0012] 图 3A-3D 是图示在通过相减 (subtractive) 方法来形成导电轨 (conductive rail) 的工艺中的步骤的剖面侧视图。

[0013] 图 4A-4D 是图示在通过镶嵌 (Damascene) 方法来形成导电轨的工艺中的步骤的剖面侧视图。

[0014] 图 5 是在形成柱形结构之前的器件层的剖面侧视图。

[0015] 图 6-10 是根据本发明的一个实施例的制造器件阵列的工艺步骤的剖面侧视图 (多个图, 具有子部分 A) 和顶视图 (多个图, 具有子部分 B)。

具体实施方式

[0016] 本发明人实现了替代使用侧壁间隔物作为用于蚀刻器件层的掩模, 而是当形成该蚀刻掩模时侧壁间隔物可以用作为牺牲性的间隔物。一旦形成该蚀刻掩模, 则移除侧壁间隔物, 且移除位于先前侧壁间隔物位置以下的器件层的部分以留下分隔开的器件, 诸如柱形器件。

[0017] 例如, 首先在衬底上形成一个或多个器件层。可以使用任何适当的衬底, 诸如半导体晶片 (包括硅或复合半导体晶片) 或金属、玻璃、陶瓷或塑料衬底。可以用一个或多个绝缘层覆盖该衬底, 并且 / 或者可以在衬底上或在衬底中形成一个或多个器件, 诸如驱动器电路。该器件层可以包括半导体器件的半导体层、形成电极的一个或多个导电层、和 / 或用于隔离器件的半导体或导电部分的绝缘层。

[0018] 然后, 在器件层上形成至少两个分隔开的结构元件。优选地, 形成多个 (即, 多于两个) 结构元件以形成大的器件阵列。可以直接在半导体、导电和 / 或绝缘器件层上或上方形成这些结构元件。这些结构元件可以具有任何空间, 只要这些结构元件能够随后用作用于蚀刻底层器件层的蚀刻掩模。

[0019] 例如, 如以下将更详细地描述的, 这些结构元件可以具有圆柱形。但是, 如果要形成矩形或三角形器件, 也可以使用诸如矩形或三角形的其它形状。这些结构元件可以具有任何期望的尺寸, 且优选地具有与底层器件的期望的宽度相同的宽度。这些结构元件应该具有足以用作蚀刻掩模的高度或厚度。这些结构元件包括可成像材料, 诸如可成像聚合物

材料,该可成像材料包括光阻材料(包括可视和UV可成像光阻材料)、电子束可成像阻剂材料、或纳米压印光刻(nanoimprint lithography)可成像阻剂材料。因此,通过使用用于结构元件的可成像材料而不是不可成像材料,省略用于蚀刻不可成像结构元件的分离的蚀刻步骤。可选地,可以进行修整(trimming)步骤来减小分隔开的结构元件的尺寸。任何适当的修整方法,例如干蚀刻,可以用于修整分隔开的结构元件。

[0020] 然后,在结构元件上形成侧壁间隔物。可以通过传统的侧壁间隔物形成方法,诸如通过在结构元件上沉积薄膜然后各向异性地蚀刻该薄膜以留下在结构元件上的侧壁间隔物,来形成侧壁间隔物。间隔物可以由不同于结构元件的上部的导电、绝缘或半导体材料构成。能够选择侧壁间隔物材料,以使得 i) 与分隔开的结构元件的材料相比,其能够用于蚀刻化学法而被选择性地各向异性地蚀刻,ii) 通过使用不同的干或湿的蚀刻化学法,与分隔开的结构元件的材料相比,其能够选择性地被移除(诸如各向同性地蚀刻)。例如,当这些结构元件包括诸如光阻材料的可成像材料时,可以由氧化硅或氮化硅形成这些间隔物。还可以使用其它材料组合。

[0021] 随后,在位于相邻结构元件上的相邻间隔物之间的空间被填充了所谓的填充物结构元件。可以通过在结构元件和侧壁间隔物上和之间形成填充物薄膜或层来形成填充物结构元件。优选地,填充物薄膜包括可流动材料,且/或由液相沉积,诸如旋转涂覆(spin-on coating)来沉积。例如,填充物薄膜可以包括任何适当的可成像或不可成像聚合物材料,该聚合物材料具有大约1到大约15厘泊(cenipoise)的粘质来使其可流动,且通过液相沉积来沉积。可流动的填充物材料填充在间隔物之间的空间,且曝光分隔开的结构元件和间隔物的上部,而不需要移除可流动的填充物材料的上部。得到的填充物结构元件具有大约与由可成像材料构成的分隔开的结构元件相同的高度。如果不可流动的材料用于填充物薄膜,则通过蚀刻或抛光以曝光侧壁间隔物的上部来移除填充物薄膜的上部。填充物薄膜材料可以包括与分隔开的结构元件的可成像结构元件材料(即,光阻、电子束阻剂或纳米压印光刻阻剂)相同的材料、或不同于可成像材料的材料,但是相对于间隔物材料蚀刻介质其具有与可成像材料类似的蚀刻特性或蚀刻电阻(即,其抵抗将用于蚀刻间隔物的蚀刻气体或液体达与可成像材料大约相同的程度(degree))。填充物薄膜材料应该不同于侧壁间隔物的材料,以便与分隔开的可成像材料结构元件和填充物结构元件相比,该侧壁间隔物能够选择性地蚀刻。

[0022] 在形成填充物结构元件之后,选择性地移除侧壁间隔物。选择性地移除的步骤包括选择性地蚀刻侧壁间隔物的材料,而不实质地移除原始的可成像的分隔开的结构元件或填充物结构元件材料。可以通过例如选择性的湿蚀刻来进行该移除。间隔物的移除留下了分隔开的结构元件和彼此分隔开的填充物结构元件。

[0023] 然后,分隔开的结构元件和填充物结构元件在蚀刻底层硬模和/或器件层期间用作蚀刻掩模。可以使用分隔开的结构元件和填充物结构元件作为掩模,使用各向同性或各向异性的蚀刻来蚀刻硬模和/或器件层。可选地,在蚀刻硬模和/或器件层的步骤之前,可以修整填充物结构元件来减小其尺寸和/或圆滑(round)其角。任何适当的修整方法,例如干蚀刻,可以用于修整填充物结构元件。在一些实施例中,可以在修整填充物结构元件的步骤期间修整分隔开的结构元件。可以在蚀刻硬模或器件层之后移除分隔开的结构元件和/或填充物结构元件。

[0024] 可以形成任何适当的器件。这些器件取决于该结构元件和填充物结构元件的形状,可以具有实质上圆柱形和 / 或实质上矩形的柱形,以下将更详细地描述。还可以形成非柱形的器件。该器件可以包括二极管、晶体管、电阻器、抗熔化电介质、熔丝、电阻率切换材料、电容器等。可以形成逻辑、易失性存储器或非易失性存储器器件或阵列。

[0025] 在优选的非限制性实施例中,形成包括多个包含非易失性存储器单元的二极管的多个柱形器件。参考图 1,授予 Herner 等人的题为 " High-Density Three-Dimensional Memory Cell " 的美国专利 6,952,030,此后称为 " ' 030 专利 " 且通过引用合并于此,公开了可以通过本发明的实施例的方法来形成的示例非易失性存储器单元。

[0026] 存储器单元 20 包括垂直方向的圆柱形结 (junction) 二极管。在此使用术语结二极管来指具有非欧姆导电属性的半导体器件,其具有两个终端电极,且由在一个电极处是 p 型而在另一个处是 n 型的半导体材料构成。例子包括 p-n 二极管和 n-p 二极管,具有接触的 p 型半导体材料和 n 型半导体材料,诸如 Zener 二极管、p-i-n 二极管,其中,本征 (未掺杂) 半导体材料插入在 p 型半导体材料和 n 型半导体材料之间。

[0027] 二极管 22 和可选的抗熔化电介质 24 插入顶部 26 和底部 28 导体或电极之间。垂直方向的结二极管 22 包括第一导电型 (诸如 n 型) 的重度掺杂的半导体区域 30、作为未掺杂的半导体材料或轻度掺杂的半导体材料的中间区域 32 (其将被称为本征区域)、和第二导电型 (诸如 p 型) 的重度掺杂的半导体区域 34,来形成 p-i-n 二极管。如果期望的话,p 和 n 型区域的位置可以颠倒。结二极管 22 的半导体材料通常是硅、锗、或硅和 / 或锗的合金。还可以使用其它半导体材料。结二极管 22 和抗熔化电介质 24 串联地安排在可以由诸如钨和 / 或 TiN 的金属形成的底部导体 28 和顶部导体 26 之间。抗熔化电介质 24 可以位于二极管 22 之上或之下。

[0028] 存储器单元可以包括一次可编程 (OTP) 或可重写非易失性存储器单元。例如,每个二极管 22 可以用作存储器单元的操纵元件,用作电阻率切换材料 (即,存储数据) 的另一材料或层 24 与该二极管串联地提供在导体之间。具体地,不是抗熔化电介质,而是电阻率切换材料 24 可以包括熔丝、多晶硅存储器效应材料、金属氧化物 (诸如氧化镍、钙钛矿材料等)、碳纳米管、相位改变材料、可切换复合金属氧化物、导电桥元件、或可切换聚合物。电阻率切换材料 24 的电阻率可以响应于在电极或导体之间提供的正向和 / 或反向偏压,而增大或减小。

[0029] 简要地,单元 20 如下操作。在初始状态,当在顶部导体 26 和底部导体 28 之间施加读取电压时,很少的电流流过结二极管 22,因为抗熔化电介质 24 阻碍了电流流动。在顶部导体 26 和底部导体 28 之间施加编程电压使得抗熔化材料的电介质崩溃,永久地形成穿过抗熔化 24 的导电路径。如果以高电阻状态初始地形成二极管半导体材料,则二极管 22 的半导体材料也可以被更改,将其改变为较低电阻率状态。在编程之后,当施加读取电压时,在顶部导体 26 和底部导体 28 之间,较高的读取电流流动。以此方式,已编程单元可以与未编程单元区分。

[0030] 在替换的实施例中,可以省略抗熔化电介质 24。相反,在相对高电阻率的状态下形成二极管 22 的多晶半导体材料,其也倾向于阻碍电流流动,如在由 Herner 等人在 2004 年 9 月 29 日提交的美国专利申请序列号 10/955,549、 " Nonvolatile Memory Cell Without a Dielectric Antifuse Having High-and Low-Impedance States " 、

以下称为“' 549 申请”、和由 Herner 等人在 2005 年 6 月 8 日提交的美国专利申请序列号 11/148,530、“Nonvolatile Memory Cell Operating by Increasing Order in Polycrystalline Semiconductor Material”、以下称为“' 530 申请”中描述的,两者通过引用合并于此。施加编程电压降低了二极管的电阻率状态。因此,该二极管在此实施例中用作电阻率切换材料。

[0031] 参考图 2,示出与图 1 的单元 20 类似的存储器单元 20 的第一存储器级 36 的一部分。两个、三个、四个或诸如八个级的更多的这种存储器级可以相互在顶上堆叠地形成,以形成单片三维存储器阵列,优选地形成在诸如单晶硅晶片的衬底之上,在' 030 专利和' 549 及' 530 申请中描述。二极管柱 22 优选地具有例如小于 100nm 的间距、诸如 78nm 或更小的间距以及 100nm 或更小的直径、诸如 50nm 或更小、诸如 32nm。

[0032] 可以通过相减或镶嵌方法来形成底部电极或导体 28。在相减方法中,导电层或薄膜构图为分隔开的电极,然后在电极直径的间隙填充绝缘材料。在镶嵌方法中,在绝缘材料中形成凹槽,在凹槽中且在绝缘层之上形成导电层或薄膜,然后,导电层或薄膜被平面化,以留下凹槽中的分隔开的电极。

[0033] 图 3A-3D 图示了形成轨形电极或导体 28 的相减方法。如图 3A 所示,一个或多个导电层 40,诸如 W 和 / 或 TiN 层,沉积在衬底之上,光阻 42 的层旋转到其上。如图 3B 所示,然后,光阻 42 的层被光刻构图为期望的形式。如图 3C 所示,蚀刻步骤移除一个或多个导电层 40 的部分,在该处它们不被蚀刻的光阻层 42 保护。如图 3D 所示,在蚀刻之后,光阻层 42 被剥去,留下导体或电极轨 40。在轨 40 之间的间隙填充绝缘材料 44,诸如氧化硅、氮化硅或其它绝缘材料。如果期望的话,可以通过例如化学-机械抛光 (CMP) 来移除绝缘材料 44 的任何过填充 (overfill),来在绝缘层 44 的平面化的表面中曝光轨 40 的上表面。

[0034] 图 4A 到 4D 图示了镶嵌方法来形成电极或导体 28。首先,光阻 48 的层旋转到沉积的绝缘层 50,诸如氧化硅层。如图 4B 所示,对光阻 48 的层构图。然后,蚀刻步骤在绝缘层 50 中形成凹槽或沟渠 52。在图 4C 中,在移除了光阻层 48 之后,一个或多个导电层 46,诸如 W 和 / 或 TiN 层沉积来填充凹槽或沟渠 52。一个或多个导电层 46 例如通过 CMP 或回蚀来与绝缘层的上表面一起平面化,留下凹槽中的轨形导体,如图 4D 所示。

[0035] 图 5 示出了根据本发明的一个实施例的诸如柱形非易失性存储器单元阵列 110 的半导体器件的制造的初始阶段。阵列 110 包含由分别参考图 3 或 4 上述的相减或镶嵌方法形成的多个底部电极 114。电极 114 对应于图 1 和 2 所示的轨形导体 28。电极 114 可以包括任何适当的导电材料,诸如钨、铝、其合金等。电极 114 用诸如氧化硅的绝缘材料 116 而彼此分离。可选的粘合层 118 形成在电极 114 之上。粘合层可以包括氮化钛或氮化钨。可选的抗熔化介电层 120 沉积在粘合层 118 上。抗熔化介电层 120 可以包括薄氧化硅或其它绝缘层。或者,可以从抗熔化介电层中替换上述另一电阻率切换材料。另一可选的粘合层 122,诸如 TiN 层,沉积在抗熔化介电层 120 之上。因此,介电层 120 夹在两个粘合层 118、122 之间。

[0036] 一个或多个半导体层 124,诸如硅或锗或其合金,形成在粘合层 122 之上。例如,半导体层 124 可以包括下位的 n 型层、中间的本征层和上位的 p 型层。可以通过将 p 型杂质离子植入本征层的上部,或通过在本征层上沉积 p 型掺杂的半导体层,来形成 p 型层。可选的上位硬模堆栈 126 形成在半导体层 124 上。硬模堆栈可以包括从底部抗反射涂覆 (BARC)

层、介电抗反射涂覆 (DARC) 层 (诸如氮氧化硅层)、有机硬模层、一个或多个导电硬模层、或氧化物硬模层之中选择的一个或多个层。有机硬模层可以是无定形碳先进构图薄膜 (APF)。例如,堆栈 126 可以从底部到顶部包括:10 到 20nm,诸如 15nm 的 TiN 层;25 到 75nm,诸如 50nm 的 W 层;100 到 300nm,诸如 200nm 的 APF 层;30 到 50nm,诸如 40nm 的 SiON DARC 层;和 15 到 40nm,诸如 25nm 的 BARC 层。

[0037] 参考图 6A 和 6B,示出了创建柱形器件的工艺中的第一步骤。图 6A 示出了器件层的侧剖面图,图 6B 示出在第一步骤之后的该器件层的顶视图。在第一步骤中,多个结构元件 132 形成在硬模堆栈 126 上 (或,如果省略堆栈 126,则在半导体层 124 上)。结构元件通过空间 134 而彼此分隔开 (在如图 6B 所示的水平 and 垂直方向上)。通过用光、电子束或纳米压印光刻来对可成像材料成像,然后将成像的材料构图到结构元件 132 中,来形成结构元件 132。结构元件 132 可以是 75 到 200nm 厚,诸如 120 到 150nm 厚的光阻结构元件,诸如 193nm 的辐射敏感的光阻。结构元件 132 可以可选地在形成之后修整,以减小其尺寸。如果 BARC 层出现在硬模堆栈 126 的顶部上,则其可以与结构元件 132 一起或把结构元件 132 用作掩模而被构图,使得 BARC 层部分仅位于结构元件 132 之下。

[0038] 结构元件 132 优选地沿着多个假想的对角线 136 被排列为菱形或旋转方形图案,如图 6B 所示。在图 6B 中示出多个对角线 136 中的仅四个以便清楚。如图 6B 所示,结构元件 132 优选地具有实质上圆柱形 (即,它们具有圆形或近似圆形 (诸如椭圆) 的剖面)。

[0039] 相邻于器件阵列边界而提供对准 (alignment) 边缘结构元件 137,如图 6B 所示。对准边缘结构元件可以具有比多个分隔开的结构元件 132 更大的尺寸,且 / 或它们可以具有不同的形状,诸如椭圆剖面形状。对准边缘结构元件将用于在将在以下描述的剪切掩模步骤中简化对准。

[0040] 图 7A 和 7B 示出下一工艺步骤。在此步骤中,氧化硅间隔物 138 形成在每个结构元件 132 上。应该注意,如果每个结构元件 132 是圆柱形的,则其技术上具有仅一个侧壁,仅一个轮 (ring) 或环 (annulus) 形的间隔物 138 形成在结构元件 132 的侧壁周围。但是,如在此使用的,术语“间隔物”将表示单个环间隔物 138 以及在多边形结构元件 132 的离散侧壁上形成的两个或多个间隔物 138。通过在结构元件 132 之上和之间沉积氧化硅层或薄膜,然后各向异性地蚀刻氧化硅层或薄膜,来形成间隔物 138。

[0041] 氧化物间隔物 138 主要沿着多个对角线 136 填充在结构元件 132 周围的间隔物 134,留下在相邻侧壁间隔物 138 之间的离散的间隔物或空隙 140。由于侧壁间隔物 138 的环形状,该空隙具有拥有凹侧壁的矩形剖面形状,如图 7B 所示。

[0042] 图 8A 和 8B 示出该工艺的下两个步骤。在结构元件 132 和间隔物 138 之间和之上形成填充物薄膜。填充物薄膜可以包括可成像材料、例如光阻材料、电子束阻剂材料、纳米压印阻剂材料、或不可成像材料。通过液相方法,诸如旋转或喷射涂覆,来优选地沉积填充物薄膜,以曝光间隔物 138 的上表面。沉积步骤留下侧壁间隔物 138 之间的多个可成像材料填充物结构元件 142。由于填充物结构元件 142 填充了空隙 140,因此填充物结构元件 142 还具有凹侧壁的矩形或方形剖面形状 (即,实质上矩形或方形)。在制造器件阵列中的此时,间隔物 134 被完全填充了氧化物间隔物 138 或填充物结构元件 142。

[0043] 如果期望,则进行可选的剪切掩蔽和蚀刻步骤,来从器件阵列外面的区域中移除填充物薄膜或填充物结构元件 142。在多个填充物结构元件 142 之上且在多个分隔开的结

构元件 132 之上形成光阻层。曝光光阻层,以便曝光的区域的边缘与所有边缘结构元件 137 相交。因此,延伸或放大边缘结构元件 137 从而允许此剪切掩模更简单的对准。剩余的填充物薄膜、或剩余在器件阵列边界之外的区域中的不被光阻图案覆盖的填充物结构元件被蚀刻掉。或者,如果填充物薄膜包括可成像材料,诸如光阻材料,则以曝光的区域的边缘与所有边缘结构元件 137 相交的方式,通过对可成像材料简单成像,来进行剪切掩蔽的步骤和蚀刻步骤(诸如例如将光阻填充物薄膜对于辐射曝光)。如果期望,则能够在移除间隔物 138 的步骤之后进行剪切掩蔽和蚀刻步骤。

[0044] 图 9A 和 9B 示出该工艺的下一步骤。在此步骤中,选择性地蚀刻掉氧化物间隔物 138,留下由间隔物 145 分隔开的结构元件 132 和填充物结构元件 142。间隔物 138 可以被任何选择性的湿或干蚀刻来选择性地蚀刻,该任何选择性的湿或干蚀刻能够选择性地蚀刻在分隔开的结构元件 132 之上及填充物结构元件 142 的材料之上的氧化硅。例如,可以使用 HF 各向同性的湿蚀刻。由于移除了氧化物间隔物,因此,相比于在仅结构元件 132 之间的间距,在结构元件 132 和填充物结构元件 142 之间的间距加倍。如果期望,还可以在间隔物移除期间蚀刻硬模堆栈 126 的一部分。例如,如果 DARC 层出现在堆栈中,则位于间隔物之下的 DARC 层的第一部分也可以在间隔物移除工艺期间被移除,留下可成像材料结构元件 132 和填充物结构元件 142 之下的 DARC 层的第二部分。

[0045] 如图 10A 和 10B 所示,硬模堆栈 126 和 / 或器件层 118、120、122 和 124 中的至少一个通过使用结构元件 132 和填充物结构元件 142 作为掩模而被蚀刻,以形成多个柱形器件 112。

[0046] 例如,结构元件 132 和填充物结构元件 142 以及在结构元件 132 和填充物结构元件 142 之下剩余的任何 BARC 层材料可以在使用结构元件 132 和填充物结构元件 142 作为掩模来构图硬模堆栈 126 的 DARC 层之后被移除。可以在与间隔物 138 移除步骤相同的步骤期间,构图(即,蚀刻)DARC 层。构图的 DARC 层在构图之后可以被修整以减小剩余的 DARC 层图案的尺寸,及圆滑 DARC 层图案的角。应该注意,BARC 和 DARC 层可以通过使用结构元件 132 和填充物结构元件 142 作为掩模而一起蚀刻,或者,可以在形成间隔物 138 的步骤之前,使用结构元件 132 作为掩模来蚀刻 BARC 层,同时使用结构元件 132 和填充物结构元件 142 作为掩模来蚀刻 DARC 层。

[0047] 然后,可以使用构图的 DARC 层作为掩模来构图硬模堆栈 126 的剩余层,诸如 APF、钨和 TiN 层。DARC 层可以在构图剩余的硬模堆栈 126 层期间和 / 或之后可选地被移除。然后,使用剩余的构图的硬模堆栈 126 层作为掩模来蚀刻器件层 118、120、122 和 124,以形成多个柱形器件 112。例如,每个器件包括与抗熔化电介质串联的 p-i-n 二极管,如参考图 1 所描述的。柱形器件 112 的间距是仅把结构元件 132 用作掩模情况下的间距的两倍。

[0048] 在柱形器件 112 之间的空间填充间隙填充绝缘材料,诸如氧化硅,以彼此隔离器件 112。可以通过 CMP 或回蚀来平面化间隙填充绝缘材料。可以在器件 112 上通过参考图 3 或 4 上述的相减或镶嵌工艺来形成上位导体或电极 26。硬模堆栈 126 的钨和 TiN 层可以维持在最后的器件中,作为上位电极 26 的部分。APF 层优选地在构图器件层之后被移除。

[0049] 已经描述了第一存储器级的形成。能够在此第一存储器级之上形成附加的存储器级,以形成单片三维存储器阵列。在一些实施例中,能够在存储器级之间共享导体,即,顶部导体将用作下一存储器级的底部导体。在其它实施例中,在第一存储器级之上形成级间电

介质（未示出），其表面被平面化，第二存储器级的构造在此平面化的级间电介质上开始，且没有共享的导体。

[0050] 单片三维存储器阵列中，在诸如晶片的单个衬底上形成多个存储器级，而没有介入的衬底。直接在现存的一个或多个级的层上沉积或生长形成一个存储器级的各层。与之相比，已经通过在分离的衬底上形成存储器级，并且在顶部相互粘附存储器级，来构造堆叠的存储器，如在 Leedy 的美国专利 No. 5, 915, 167、题为“Three Dimensional Structure Memory”中所述。这些衬底可以在粘合之前被打薄或从存储器级移除，但是由于存储器级初始地在分离的衬底之上形成，因此这种存储器不是真正的单片三维存储器阵列。

[0051] 在衬底之上形成的单片三维存储器阵列至少包括在衬底之上的第一高度处形成的第一存储器级和在不同于第一高度的第二高度处形成的第二存储器级。可以在这种多级阵列中在衬底之上形成三个、四个、八个或确实任何数量的存储器级。

[0052] 贯穿本描述，已经描述了一层为另一个“之上”或“之下”。将理解，这些术语描述了层或元件的相对于它们在其上形成的衬底、在大多数实施例中为单晶硅晶片衬底的位置；一个结构元件当其更远离晶片衬底时在另一个之上，当其更接近时在另一个之下。虽然清楚地，可以在任何方向上旋转晶片、或裸片，但是将不改变晶片或裸片上的结构元件的相对朝向。另外，附图不意图按照比例来示出，且仅是层和处理的层的表示。

[0053] 已经以图示方式描述了本发明。要理解，已经使用的术语意图本质上是描述的文字，而不是限制。

[0054] 在上述教导下，本发明的许多修改和变化是可能的。因此，在所附权利要求、而不是具体描述的范围，内，可以实践本发明。

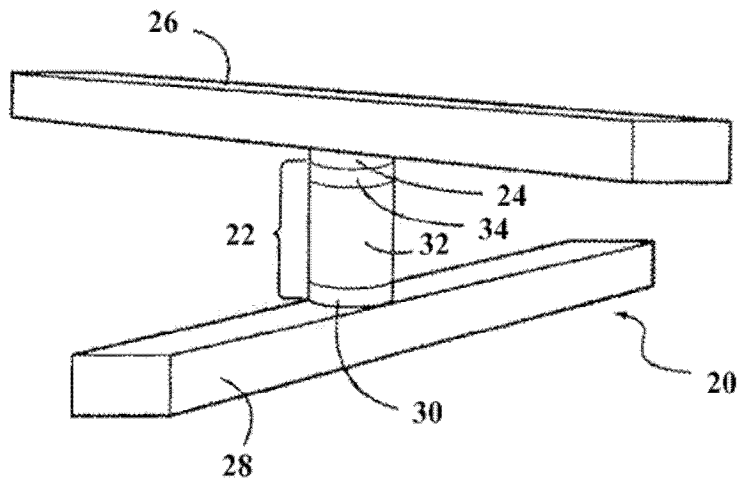


图 1

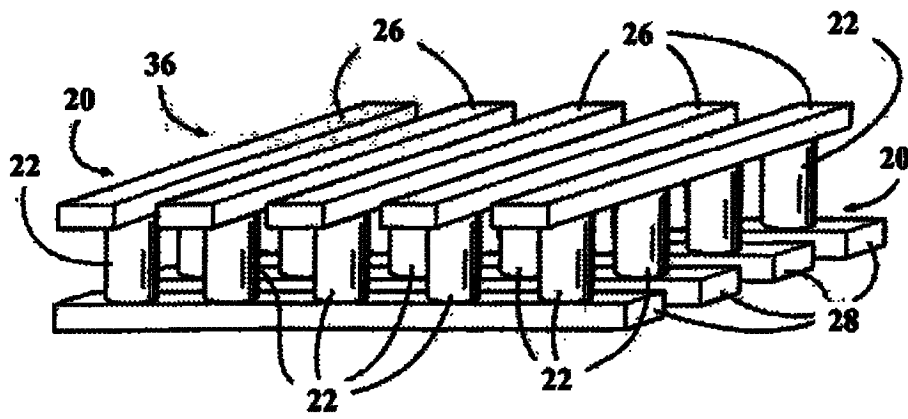


图 2

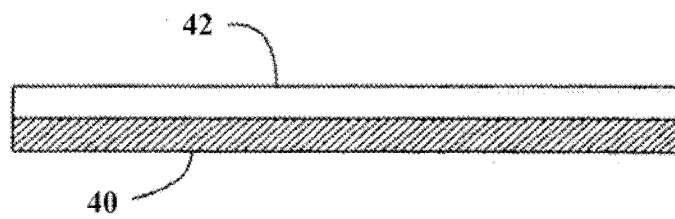


图 3A

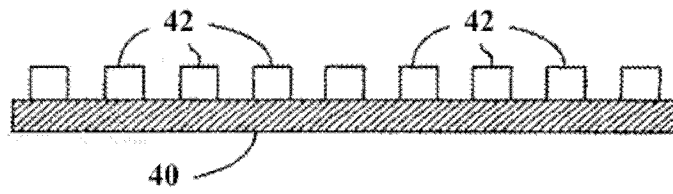


图 3B

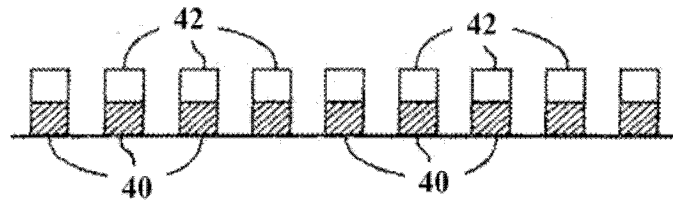


图 3C

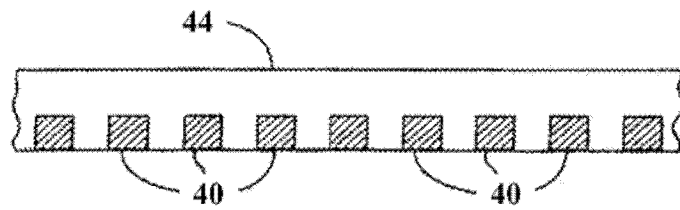


图 3D

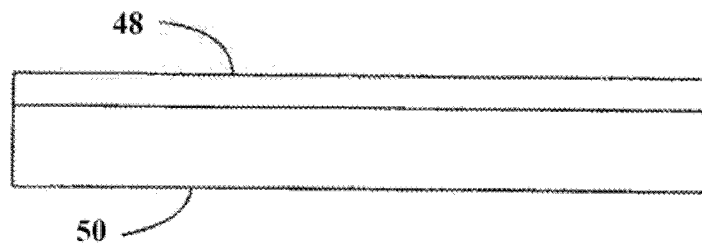


图 4A

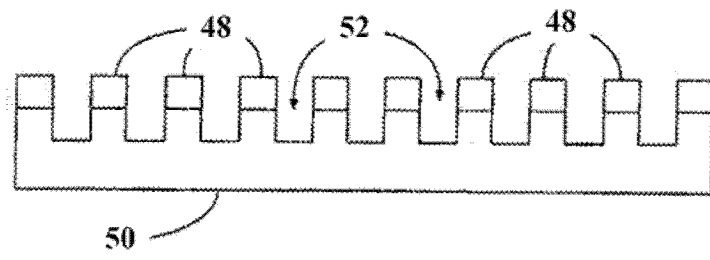


图 4B

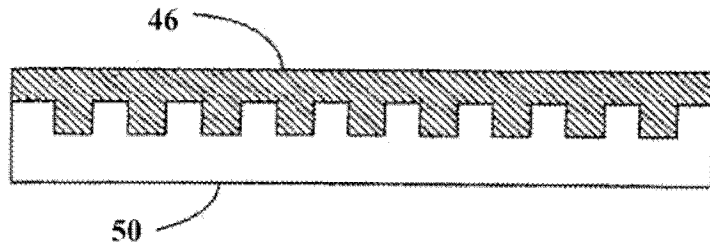


图 4C

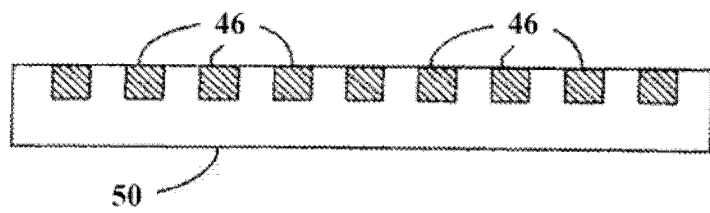


图 4D

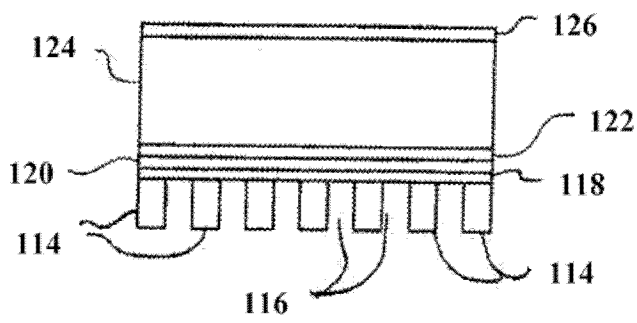


图 5

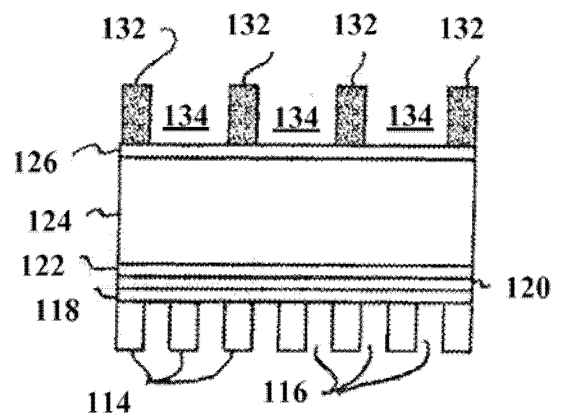


图 6A

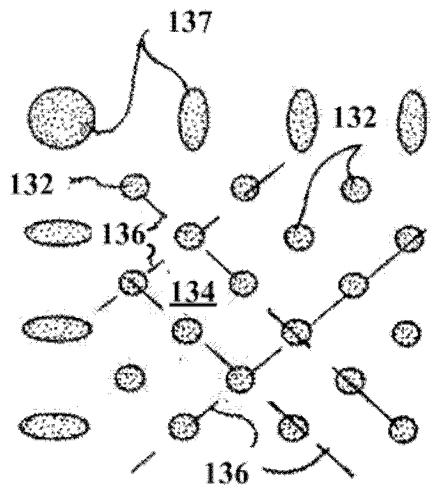


图 6B

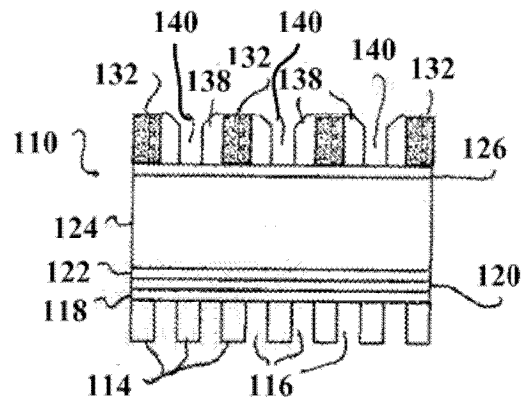


图 7A

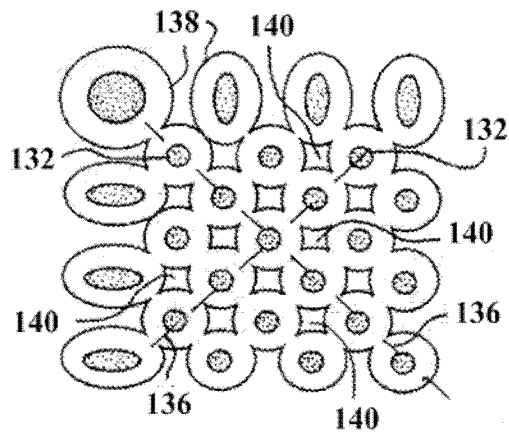


图 7B

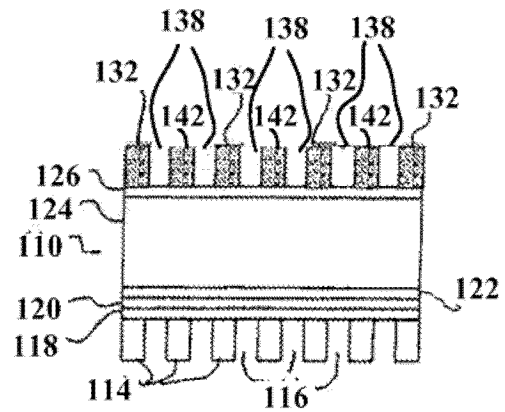


图 8A

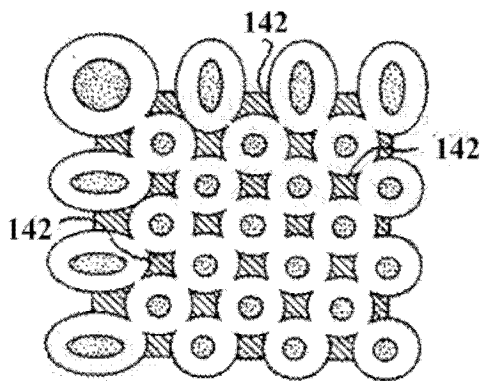


图 8B

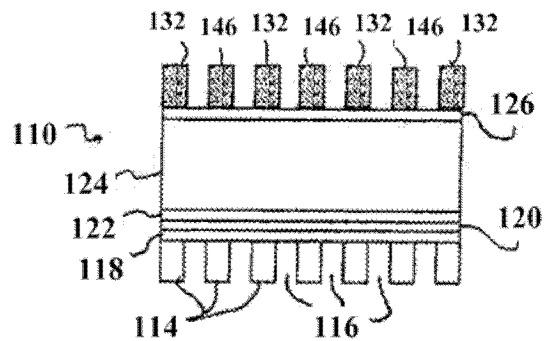


图 9A

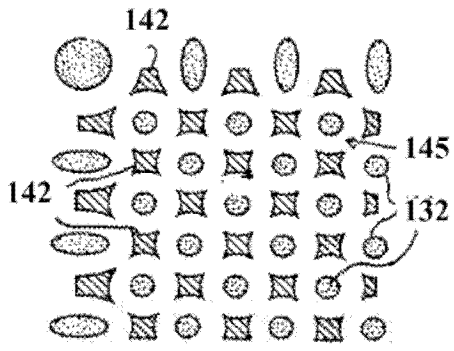


图 9B

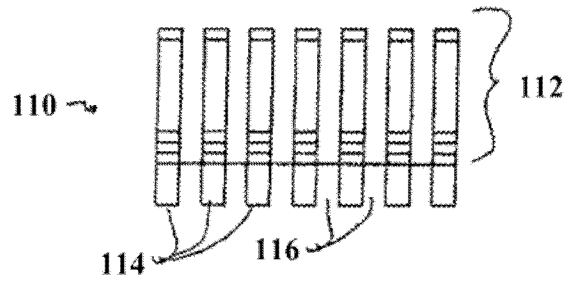


图 10A

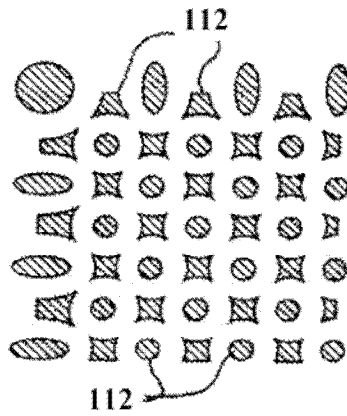


图 10B