



[12] 发明专利申请公开说明书

[21] 申请号 03103802.6

[43] 公开日 2003年9月10日

[11] 公开号 CN 1441435A

[22] 申请日 2003.2.11 [21] 申请号 03103802.6

[30] 优先权

[32] 2002. 2. 26 [33] JP [31] 2002 - 050050

[71] 申请人 三洋电机株式会社

地址 日本大阪府守口市

[72] 发明人 秀德俊行 富泽真一郎

[74] 专利代理机构 中科专利商标代理有限责任公

司

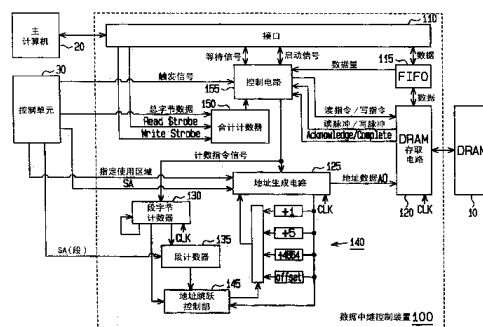
代理人 汪惠民

权利要求书2页 说明书11页 附图4页

[54] 发明名称 数据中继控制装置

[57] 摘要

本发明提供一种数据中继控制装置，当与主计算机(20)之间进行数据交换时，控制单元(30)向数据中继控制装置(100)发出该交换指令，并且提供该交换数据的先头地址(SA)。另一方面，在与DRAM(10)之间的数据交换同步地分别由段字节计数器(130)检测段数据的边界，由段计数器(135)检测段数据与奇偶的边界。在具有地址生成电路(125)和切换部(140)的地址生成电路中，根据检测出的边界和所述先头地址(SA)，生成地址数据。而且，根据由地址生成电路生成的地址数据，进行DRAM(10)的存取。从而能够同时获得降低与DRAM之间数据中继处理的运算负荷和抑制电路规模的有益效果。



1. 一种数据中继控制装置，把主数据和子数据分配到具有给定字节
5 数的段数据中，对于多个所述段数据设定奇偶数据，把用所述多个段数
据和所述奇偶数据构成的块数据在缓冲存储器与计算机设备间进行传
输，

其特征在于：具有：对于缓冲存储器进行所述主数据的写入和读出的
至少一方的存取电路；

10 根据从外部输入的先头地址，生成以给定顺序指定对所述存取电路
的所述缓冲存储器的存取地址的地址数据的地址数据生成电路；

对从所述缓冲存储器输出的及向所述缓冲存储器输入的数据进行计
数，生成计数输出的计数器；

15 根据所述计数器的计数输出和所述先头地址，把所述地址数据跳过
相当于所述子数据或所述奇偶数据的存储区域的地址的部分的地址跳越
控制电路。

2. 根据权利要求 1 所述的数据中继控制装置，其特征在于：所述存
取电路根据所述存取地址，把从所述计算机设备连续传输的多个所述主
数据向所述缓冲存储器内的跳过所述子数据或奇偶数据的存储区域的部
20 分的特定的存储区域依次写入。

3. 根据权利要求 1 所述的数据中继控制装置，其特征在于：所述存
取电路根据所述存取地址，从所述缓冲存储器内的区域所述子数据或奇
偶数据的存储区域的部分的特定的存储区域依次读出多个所述主数据。

4. 根据权利要求 1 或 2 所述的数据中继控制装置，其特征在于：具
25 有：设定对应希望向所述缓冲存储器写入的数据总量的目标值，以字节
单位对在从向所述缓冲存储器的数据的写入开始到所述目标值之间写入
所述缓冲存储器的数据进行计数的合计计数器；

按照数据写入的要求，向所述存取电路输出写入指令信号的控制电
路；

30 所述控制电路当所述合计计数器的计数值达到了所述目标值时，停

止所述写入指令信号的输出。

5. 根据权利要求 1 或 3 所述的数据中继控制装置，其特征在于：设定对应希望向所述计算机设备传输的数据总量的目标值，以字节单位对在从由所述缓冲存储器的数据的读出开始到所述目标值之间从所述缓冲存储器读出的数据进行计数的合计计数器；

按照数据写入的要求，向所述存取电路输出读出指令信号的控制电路；

所述控制电路当所述合计计数器的计数值达到了所述目标值时，停止所述读出指令信号的输出。

10 6. 根据权利要求 1 所述的数据中继控制装置，其特征在于：所述计数器具有：以字节单位对在所述存取电路与所述缓冲存储器间交换的数据的数据量进行计数的段字节计数器；

根据所述段字节计数器的计数输出，对在存取电路与所述缓冲存储器间交换的数据段数进行计数的段计数器。

15 7. 根据权利要求 6 所述的数据中继控制装置，其特征在于：所述先头地址由以字节单位表示成为对象的数据的先头的地址和以段单位表示相同数据的先头的地址构成；

所述地址生成电路获取所述字节单位的地址，进行所述地址数据的初始设定；

20 所述段计数器获取所述段单位的地址，进行所述计数器的初始设定。

8. 根据权利要求 6 所述的数据中继控制装置，其特征在于：所述先头地址由成为对象的数据的先头的块单位的地址、段单位的地址和段内的字节单位的地址构成；

25 所述地址生成电路获取所述块单位的地址和所数字节单位的地址，进行所述地址数据的初始设定；

所述段计数器获取所述段单位的地址，进行所述计数器的初始设定。

9. 根据权利要求 1 所述的数据中继控制装置，其特征在于：所述地址生成电路还具有：切换所述地址数据的生成形态，使所述地址数据变为巡回给定的地址区域内的巡回地址数据的功能。

数据中继控制装置

5

技术领域

本发明涉及与缓冲存储器之间进行数据中继处理的数据中继控制装置。

10 背景技术

众所周知，DVD (Digital Versatile Disc) 的记录数据的逻辑形式如图 3、图 4 和图 5 所示。

这里，图 3 表示了构成 ECC(Error Correction Code: 误差校正码)的代码字的一块的数据。该代码字例如由要求图像数据和分割的数据单位的地址信息等的记录的信息数据、付与相同信息数据的各给定数据量的第一奇偶、付与这些数据信息和第一奇偶的各给定数据量的第二奇偶构成。

即在该一块数据中包含了 172×192 字节的信息数据。而且，对于形成在该一块数据的垂直方向的由数据长度 192 字节构成的 172 个列数据，分别付与了数据长度为 16 字节的外奇偶 (PO: outer code parity) 作为所述第一奇偶。另外，对于形成在一块数据的水平方向的由数据长度 172 字节构成的 192 个行数据和 16 个行数据 (外奇偶)，分别付与了数据长度为 10 字节的内奇偶 (PI: inner code parity) 作为所述第二奇偶。

而如图 4 所示，在 ECC 块数据中，一块的数据被分割为 16 个，作为一个分割单位构成了段数据。这些段数据分别由 12 个图 4 所示的数据长度 172 字节的行数据构成。而且，对于各段数据分配了内奇偶和所述 16 个外奇偶的一个，构成一个记录段。据此，ECC 块数据由 16 个记录段数据构成。

另外，所述段数据具有图 5 所示的结构。即在各段数据的先头付与了由识别数据 (ID)、相同识别数据的误差检验数据 (IED)、复制管理数据 (CPM) 构成的 12 字节的标题数据。该段数据具有 2048 字节的主数

据和 4 字节的 EDC(Error Detection Code:误差校正码)数据。

具有这样格式的数据在 DVD 记录装置和 DVD 再生装置内，被暂时存储在作为缓冲存储器的 DRAM(Dynamic Random Access Memory)中。而且，这里存储的数据可适当地读出。

5 可是，对于存储在所述 DRAM 中的数据，有时只要求把所述主数据向外部传输。另外，有时也只要求从外部向 DRAM 存储主数据。当由统括 DVD 记录装置内和 DVD 再生装置内的各种处理的控制单元进行这样的一系列的处理时，加在同一控制单元上的运算负荷增大，有时会导致处理速度大幅度下降。另外，对应这样的事态，虽然考虑到设置进行 DVD
10 记录装置、DVD 再生装置内的其他部分和 DRAM 间的数据的中继的专用电路，但是这会使作为 DVD 记录装置、DVD 再生装置的电路规模增大，所以不好。

发明内容

15 本发明是鉴于以上的实际情况而提出的，它目的在于：能同时实现与缓冲存储器间的数据中继处理的运算负荷的降低和电路规模的抑制的数据中继控制装置。

本发明是一种数据中继控制装置，把主数据和子数据分配到给定字节数的段数据中，对于多个所述段数据设定了奇偶数据，把用所述多个
20 段数据和所述奇偶数据构成的块数据在缓冲存储器和计算机设备间传输；具有：对于所述缓冲存储器进行所述主数据的写入和读出的至少一方的存取电路；生成根据从外部输入的先头地址，以给定顺序指定对所述存取电路的所述缓冲存储器的存取地址的地址数据的地址数据生成电路；对从所述缓冲存储器输出的及向所述缓冲存储器输入的数据进行计
25 数，生成计数输出的计数器；根据所述计数器的计数输出和所述先头地址，把所述地址数据跳过相当于所述子数据或所述奇偶数据的存储区域的地址的部分的地址跳越控制电路。能同时实现与缓冲存储器间的数据的中继处理的运算负荷的降低和电路规模的抑制。

30 附图说明

图 1 是表示在 DVD 数据记录再生装置中应用本发明的数据中继控制装置的一个实施例的方框图。

图 2 是表示相同实施例中的数据向 DRAM 的记录形态的图。

图 3 是表示 DVD 的误码校正块的图。

5 图 4 是表示 DVD 的一个块和构成它的段数据的关系的图。

图 5 是表示 DVD 的一段数据的结构。

图中：10—DRAM；20—主计算机；30—控制单元；100—数据中继控制装置；110—接口；115—FIFO；120—DRAM 存取电路；125—地址生成电路；130—段字节计数器；135—段计数器；140—切换部；145—
10 地址跳越控制部；150—合计计数器；155—控制电路。

具体实施方式

下面，参照附图，说明在 DVD 的数据记录再生装置中应用本发明的数据中继控制装置的一个实施例。

15 图 1 表示了所述 DVD 记录再生装置中的数据中继控制装置、它的外部电路、从外部存取 DVD 记录再生装置的主计算机的结构。

图 1 中的 DRAM (Dynamic Random Access Memory) 10 是暂时存储记录在光盘中的数据的数据的缓冲存储器。在该 DRAM10 中，对于其存储器地址，按图 2 所示的顺序存储了记录在光盘中的数据。即在由标题数据、(图
20 像数据等的) 主数据、EDC 数据构成的各段数据内，对应于这些段内的数据的顺序，分配了 DRAM 内的各地址。而且，对于构成一块的 16 个各段数据，按顺序分配了 DRAM10 内的地址，然后，对于内奇偶和外奇偶分配了 DRAM10 内的地址。接着这些奇偶，对于 32 字节的空数据分配了地址 (未使用区域)。而且，以块单位周期地记录了以这样的顺序按
25 DRAM10 内的地址顺序记录的数据。

主计算机 20 向 DVD 记录再生装置供给作为主数据而分配的图像数据等信息数据。另外，该主计算机 20 也从 DVD 记录再生装置获取主数据。

30 控制单元 30 是与主计算机 20 之间进行数据交换，或统括 DVD 记录再生装置内的各电路的控制的部分。

数据中继控制装置 100 是按照通过控制单元 30，从主计算机 20 输出的传输指示，传输存储在 DRAM10 内的数据的电路。该数据中继控制装置 100 当从主计算机 20 传输所述主数据时，也与图 2 所示的顺序对应，进行把它向 DRAM10 的写入。

5 下面，就数据中继控制装置 100 加以说明。该数据中继控制装置 100 具有：接口 110、FIFO115、DRAM 存取电路 120、地址生成电路 125、段字节计数器 130、段计数器 135、切换部 140、地址跳越控制部 145、合计计数器 150 和控制电路 155。

这里，接口 110 是与主计算机 20 间的数据交换的中介的例如 ATAP
10 (ATA packet interface) 等接口。

DRAM 存取电路 120 是与图中未显示的系统时钟发生电路供给的时钟 CLK 同样，进行向 DRAM10 的写入和从 DRAM10 的数据读出的电路。而且，当从 DRAM10 读出数据时，与数据读出动作同步，输出读出脉冲。另外，当向 DRAM10 写入数据时，与数据写入动作同步，输出写入脉冲。
15 特别是对于该 DRAM 存取电路 120，从多个电路块（省略了图示）发出了写入和读出数据的指示，所以具有有选择地执行这些指示，并且向发出现在执行的指示的电路块通知该意思的功能。即当从 DRAM10 读出和写入数据时，对于发出该指示的电路块输出确认信号（图中，Acknowledge），在该读出或写入的结束时，对于同一电路块输出完成信号（图中，Complete）。
20

FIFO(First In First Out)115 是存在于接口 110 和 DRAM 存取电路 120 之间，暂时存储它们之间交换的数据，并且按照存储的顺序输出数据的电路。

地址生成电路 125 是根据从控制单元供给的先头地址 SA，生成指定
25 基于 DRAM 存取电路 120 的对 DRAM10 的存取地址的地址数据 AD 的电路。提供给该地址生成电路 125 的先头地址 SA 是以字节单位表示成为与主计算机 20 之间的数据交换对象的主数据的先头地址的数据。即例如，如果成为所述对象的主数据的先头地址为第二块的第 13 字节的数据，则该先头地址是图 2 所示的一块部分的数据量、空数据 32 字节和 13 字节
30 的和。须指出的是，由该地址生成电路 125 产生的地址数据 AD 与从所

述系统时钟发生电路供给的时钟 CLK 同步生成。

另外，当从控制单元 30 指示了把 DRAM10 内的给定数据存储区域内作为环形缓存器使用时，地址生成电路 125 切换地址数据的生成形态。即例如当指示了把从 DRAM10 第 0 地址到第 n 地址作为环形缓存器使用时，生成反复指定 0~n 的巡回地址数据作为地址数据。

段字节计数器 130 是与 DRAM 存取电路 120 以及 DRAM10 之间的每一字节数据的读出和写入同步，把它的计数值减少的计数器。该段字节计数器 130 的初始值能由控制单元 30 设定，但是在本实施例中，设定为与主数据的数据量 2048 字节对应的“2047”。另外，为了与 DRAM 存取电路 120 以及 DRAM10 之间的每一字节数据的交换同步，根据所述系统时钟发生电路供给的时钟 CLK 进行计数动作。据此，该段字节计数器 130 与 DRAM 存取电路 120 以及 DRAM10 之间的每一字节数据的交换同步，把它计数值从“2047”巡回到“0”。因此，伴随着从 DRAM10 向主计算机 20 传送一段的主数据，段字节计数器 130 的计数值减小，当传送了一段的主数据时，该计数值变为“0”。而且，当再进行数据的读出时，该计数值复位为“2047”。

段计数器 135 是在把所述段字节计数器 130 复位时，把它的计数值一次增加“1”的计数器。该计数值与一块内的段数“16”对应，能取“0”~“15”的值。另外，从控制单元 30 向该段计数器 135 供给了表示与主计算机 20 之间的数据交换的主数据所属的段的段号码的先头地址 SA。而且，在段计数器 135 中，把供给的先头地址 SA 即段单位的地址设定为该计数值的初始值。

而且，当 DRAM 存取电路 120 和 DRAM10 间交换的数据量变为一段的数据量，段字节计数器 130 复位时，该计数值增加。而且，如果 DRAM 存取电路 120 和 DRAM10 间交换的数据变为段和奇偶的边界，则该计数值复位（置“0”）。

切换部 140 是为了使地址生成电路 125 生成的地址数据跳过与给定的数据量对应的地址，而切换地址生成电路 125 的地址数据的生成形态的部分。

地址跳越控制部 145 是根据段字节计数器 130 的计数值的复位，换

言之，根据检测到段数据的边界，控制所述切换部 140 的切换的电路。
即如果检测到段数据的边界，就切换切换部 140，使地址生成电路 125 生成跳过了 4 字节的所述 EDC 数据和 12 字节的所述标题数据的地址数据。
具体而言，如果向地址生成电路 125 供给了先头地址 SA，就在同一地址
5 生成电路 125 中，根据该先头地址 SA 中的段内的字节数据的地址，算出
从段数据的先头的跳越量（偏移量）。即当为 DVD 数据时，如上所述，
在段数据的先头付与了 12 字节的标题数据，所以先头地址 SA 中的段内
的字节数据的地址为“13”。据此，在地址生成电路 125 中，把“12”作
为偏移量（offset）设定在所述切换部 140 中。据此，在地址跳越控制部
10 145 中，每当段字节计数器 130 复位时，就指示切换部 140，使其跳越在
EDC 数据的跳越量即“5”中加上该偏移量“12”后得到的“17”字节数
据。

另外，地址跳越控制部 145 根据段计数器 135 的计数值的复位，换
言之，根据图 2 所示的顺序 切换所述切换部 140。即如果检测到段数据
15 和奇偶的边界，就切换切换部 140，使地址生成电路 125 生成在所述 122
字节的标题和所述 4 字节的 EDC 的基础上，跳越数据量 4832 字节的所
述奇偶和 32 字节的空数据的地址数据 AD。须指出的是，在图 1 中，表
示了该奇偶和空数据的数据长度“4864”的设定值。据此，如果检测到
段数据和奇偶的边界，就生成了跳越“4881”字节的数据量的地址数据
20 AD。

合计计数器 150 是如果从控制单元 30 传来了按照应该传输的数据总
量或应该写入的数据总量而设定的目标值（合计字节数据），就进行计数
动作，直到变为该合计字节数据量的计数器。具体而言，与通过接口 110
25 从主计算机 20 供给，并且与主计算机 20 间交换的数据量对应的信号即
读出选通脉冲（Read Strobe）和写入选通脉冲（Write Strobe）同步，进
行计数。即当合计字节数据为 j 字节时，在合计计数器 150 中，把其计数
值初始化为“j”，与所述读出选通脉冲或写入选通脉冲同步，减少它。而
且，当由于与主计算机 20 间交换的数据量变为合计数据量，而计数值变
为“0”，就把该意思通知控制电路 155。

30 控制电路 155 是当向主计算机 20 传输数据或从主计算机 20 传输数

据时，从控制单元 30 接收该意思的指示，据此，统括地控制数据中继控制装置 100 内的各部分的电路。下面，就此加以说明。

首先，当从控制单元 30 输出了指示向主计算机 20 传输数据的触发信号时，该控制电路 155 就向所述 DRAM 存取电路 120 输出读出指令信号。而且，根据 DRAM 存取电路 120 的所述读出脉冲、确认信号、完成信号，向所述地址生成电路 125、段字节计数器 130 输出计数指令信号。该计数指令信号是具有与从输入了确认信号到输入了完成信号之间的期间的读出脉冲信号的脉冲数对应的数据长度的信号。根据该计数指令信号，在地址生成电路 125 中，与用所述系统时钟发生电路产生的时钟 CLK 同步，生成地址数据 AD。另外，根据该计数指令信号在段字节计数器 130 中，与所述时钟 CLK 同步，减少计数器的值。这样，通过从控制电路 155 输出了计数指令信号，使基于地址生成电路 125 的地址生成动作或基于段字节计数器 130 的计数动作与基于该数据中继控制装置 100 的从 DRAM10 读出数据的动作同步。

如果从控制单元输出了表示从主计算机 20 传来了数据的触发信号，控制电路 155 就向所述 DRAM 存取电路 120 输出写入指令信号。而且，根据 DRAM 存取电路 120 的所述写入脉冲、确认信号、完成信号，向所述地址生成电路 125、段字节计数器 130 输出计数指令信号。该计数指令信号是具有与从输入了确认信号到输入了完成信号之间的期间的写入脉冲信号的脉冲数对应的数据长度的信号。这样，通过从控制电路 155 输出了计数指令信号，使基于地址生成电路 125 的地址生成动作或基于段字节计数器 130 的计数动作与基于该数据中继控制装置 100 的向 DRAM10 写入数据的动作同步。

如果输入了所述触发信号，控制电路 155 就通过接口 110 对主计算机 20 输出允许信号。而且，如果合计计数器 150 的计数值变为“0”，就对主计算机 20 输出等待信号，通知数据的传输结束了的意思，停止向 DRAM 存取电路 120 输出写入指令信号和读出指令信号。

在具有这样的结构的本实施例中，通过从控制单元 30 供给与主计算机 20 间的主数据的交换的先头地址 SA，生成指定 DRAM10 的存取地址的地址数据 AD。而且，当向主计算机 20 传输数据时，根据所述地址数

据 AD，读出了 DRAM10 内的主数据，把通过 DRAM 存取电路 120、FIFO115、接口 110 读出的数据传送给主计算机 20。另外，当从主计算机 20 供给主数据时，通过接口 110、FIFO115，向 DRAM 存取电路 120 供给了同一主数据，则在 DRAM 存取电路 120 中，根据所述地址数据 AD，
5 向 DRAM10 内写入它。这样，在本实施例中，基本上只通过指定先头地址 SA，就能恰当地进行与 DRAM10 间的主数据的交换，能恰当地降低数据的中继处理中的运算负荷。

控制电路 155 对于向主计算机 20 传送数据的要求，读出比要读的数据量还大的数据量的数据即进行所谓的预读出。这样，如果进行先行读
10 出，与来自主计算机 20 的读出选通脉冲信号同步，合计计数器 150 计数了要求的数据量，则停止从控制电路 155 向所述接口 110 输出允许信号。据此，只有要求的数据量的数据传输给主计算机 20。

另外，在控制电路 155 中，监视存储在 FIFO115 中的数据量，根据该数据量进行接着的两个处理。

15 1. 向 DRAM 存取电路 120 输出读出指令信号或写入指令信号。即当从 DRAM10 读出数据时，当存储在 FIFO115 中的数据量为给定量以上时，预测为无法再向 FIFO115 存储数据，中断读出指令的输出。另外，当向 DRAM10 写入数据时，当存储在 FIFO115 中的数据量为给定量以下时，预测为无法从 FIFO115 向 DRAM 存取电路 120 供给数据，中断写入
20 指令的输出。

2. 对于主计算机 20 输出读出选通脉冲信号或写入选通脉冲信号的许可或禁止。即当从 DRAM10 读出数据时，当存储在 FIFO115 中的数据量为给定量以下时，预测为无法从 FIFO115 对主计算机 20 传输数据，输出 Wait 信号。根据该 Wait 信号，在主计算机 20 中，中断数据传输的指
25 示。据此，暂时中断向合计计数器 150 输入读出选通脉冲信号。另外，当向 DRAM10 写入数据时，当存储在 FIFO115 中的数据量为给定量以上时，预测为无法在 FIFO115 中存储从主计算机 20 供给的数据，输出 Wait 信号。根据该 Wait 信号，在主计算机 20 中，中断数据的供给。据此，也暂时中断向合计计数器 150 输入写入选通脉冲信号。

30 根据以上说明的本实施例，取得了以下的效果。

(1) 由段字节计数器 130, 检测了段数据的边界, 并且由段计数器 135 检测了段数据和奇偶的边界。而且, 根据这些边界的检测, 在具有切换部 140 和地址跳越控制部 145 的地址跳越控制电路中, 地址生成电路 125 生成的地址数据只跳越了相当于标题数据和奇偶的存储区域的地址部分。而且, 根据由地址生成电路生成的地址数据, 存取了 DRAM10。据此, 从只通过从控制单元 30 提供先头地址 SA, 就能进行与 DRAM10 间的主数据的中继处理。因此, 能恰当地降低与 DRAM10 间的主数据的中继处理的运算负荷。

(2) 采取了以段单位向段计数器 135 供给先头地址, 并且以字节单位向地址生成电路 125 供给先头地址的结构。据此, 在 DRAM10 内的数据记录区域中, 不仅是因此, 能只读出存储在 DRAM10 内的主数据中的任意字节数。

(3) 从外部向地址生成电路 125 获取把 DRAM10 的给定的数据存储区域内作为环形缓存器使用的指令。然后, 按照该指示, 切换了地址数据的生成形态, 使从地址生成电路 125 产生的地址数据变为巡回给定的数据区域内的巡回地址数据。据此, 能可变地设定该数据中继控制装置 100 利用的 DRAM10 的数据存储区域。

(4) 对于来自主计算机 20 的数据传输的要求, 进行了预先向 FIFO115 读出比要求的数据量大的数据量的数据的预读出。据此, 能迅速响应来自主计算机 20 的接着的数据传输的要求。

(5) 采用了根据来自 DRAM 存取电路 120 的读出脉冲、确认信号、完成信号, 通过控制电路 155 允许段字节计数器 130 的计数动作和地址生成电路 125 的地址产生动作的结构。据此, DRAM 存取电路 120 是处理来自多个电路块的数据读出和写入的指示的结构, 能使所述计数动作、地址生成动作与该数据中继控制装置 100 和 DRAM10 之间的数据交换同步。

须指出的是, 所述实施例也可以进行如下的变更。

• 地址生成电路 125 即使不具有获取把 DRAM10 内的给定的数据存储区域内作为环形存储器使用的指令的功能, 也能准确地进行主数据的交换。

• DRAM 存取电路除了是与来自多个电路块的读出指令和写入指令对应的电路，也可以是控制电路专用的电路。这时，DRAM 存取电路可以不生成所述确认信号或完成信号，另外，在控制电路中，能简化计数指令信号的生成。另外，这时在段字节计数器和地址生成电路中，代替
5 输入计数指令信号，例如能根据触发信号开始动作。

• 合计计数器也可以不必与读出选通脉冲信号或写入选通脉冲信号同步。这时，把所述计数指令信号输入合计计数器中，按照该输入，与时钟 CLK 同步，进行计数。

• 例如如果预先设定为响应先头地址进行预先设定的数据量的主数据的写入或读出，就不一定要具有合计计数器。作为该数据量，最好为
10 多个段的数据量。

• 检测段数据的边界以及段数据和奇偶的边界的计数器并不局限于所述段字节计数器以及段计数器。例如可以通过增加段计数器的计数值而进行计数。另外，代替通过控制单元可设定该段字节计数器的动作范
15 围的结构，可以预先固定。

• 控制电路即使不具有生成写入指令的功能，也能传输数据。

• 作为向地址生成电路 125 供给的先头地址并不局限于以字节单位表示所述主数据的先头地址的数据，例如也可以用主数据的块地址和段
20 内字节单位。

作为地址跳越控制电路，并不局限于具有所述切换部和地址跳越控制部的结构。例如，代替用地址生成电路 125，根据先头地址 SA 中的段内的字节数据的地址，算出从段数据的先头开始的跳越量，也可以设定切换部，使其预先跳过标题数据量。

• 并不局限于图 3~图 5 所示格式的数据。可以向给定的字节数的段数据分配了主数据和子数据，并且对于多个段数据设定了奇偶数据，用
25 多个段数据和奇偶数据构成了块数据。

• 作为存储所述各数据的缓冲存储器，并不局限于 DRAM，也可以是 SRAM 等任意的缓冲存储器。而且，这时，代替 DRAM 存取电路，使用存取该缓冲存储器的适当的存取电路。

30 在本发明之 1~3 中，通过地址跳越控制电路，使由地址生成电路生

成的地址数据只跳越相当于子数据或奇偶数据的存储区域的部分。而且，根据该地址数据，由存取电路进行了主数据的写入和读出。因此，能准确地进行缓冲存储器和计算机设备之间的主数据的写入和读出。并且，只通过从外部指定先头地址，就通过数据中继控制装置生成了对缓冲存储器的存取地址，所以能同时实现从缓冲存储器读出数据时的运算负荷的降低和对电路规模增大的抑制。

在本发明之 4 中，当合计计数器的计数值达到目标值时，停止了对存取电路的写入指令信号的输出。因此，能准确地把要求的数据总量的数据写入缓冲存储器。

10 在本发明之 5 中，当合计计数器的计数值达到目标值时，停止了对存取电路的读出指令信号的输出。因此，能从缓冲存储器准确地读出要求的数据总量的数据。

根据本发明之 6，通过设置段计数器和段字节计数器，当存取缓冲存储器时，能准确地检测段数据的边界以及段数据和奇偶的边界。

15 在本发明之 7 或 8 中，通过向地址生成电路和段计数器供给先头地址，能准确地生成对应于主数据的地址数据。

在本发明之 9 中，对地址生成电路付与了切换地址数据的生成形态的功能，使其变成巡回给定的数据区域的巡回地址数据。据此，能可变地设定该数据中继控制装置利用的缓冲存储器的数据存储区域。

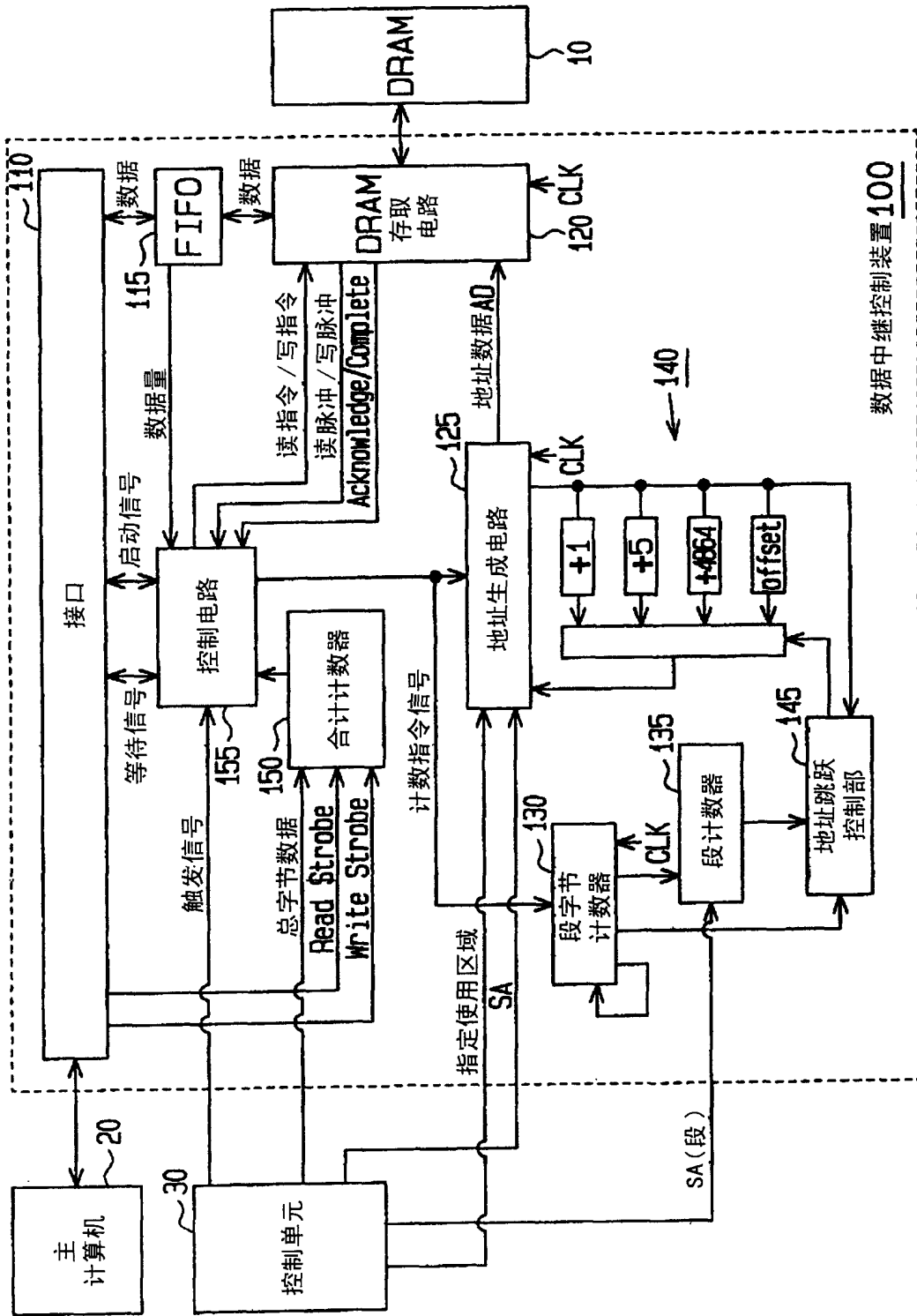


图 1

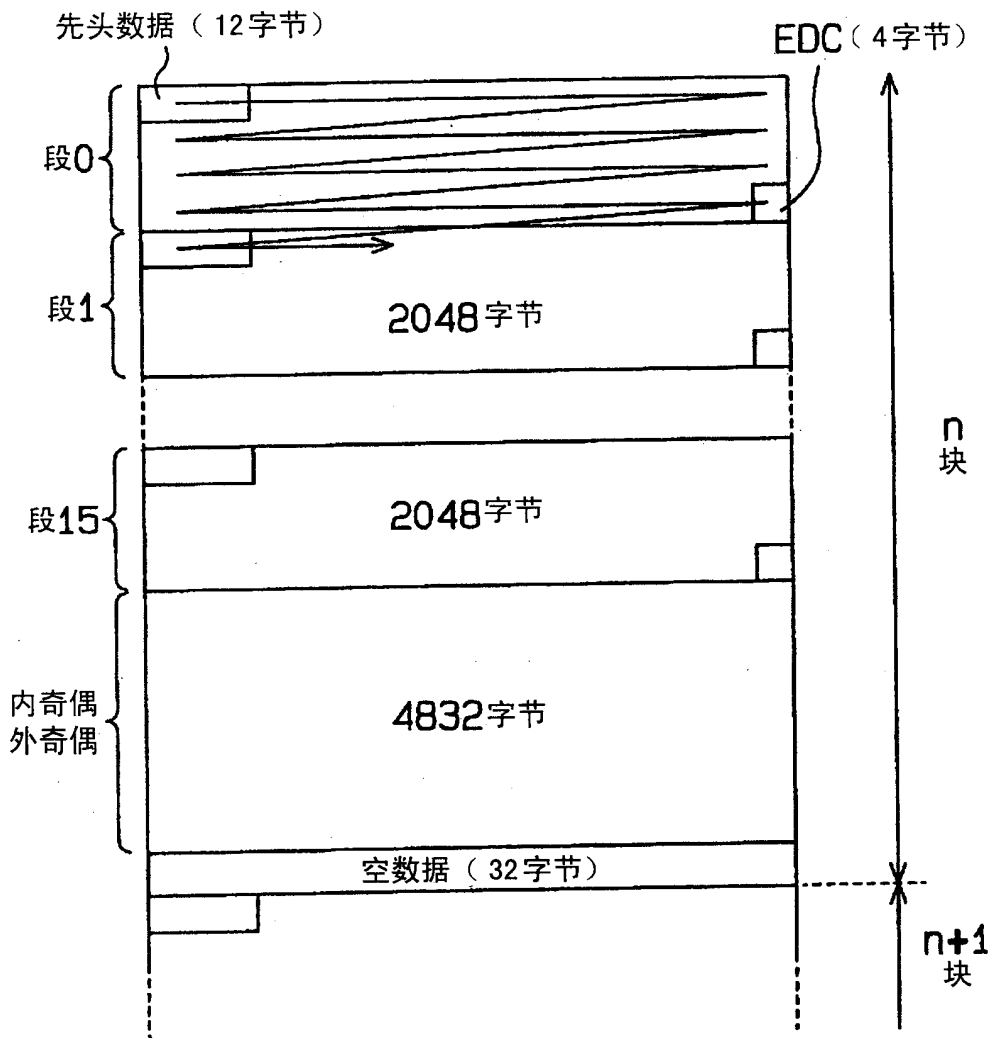


图 2

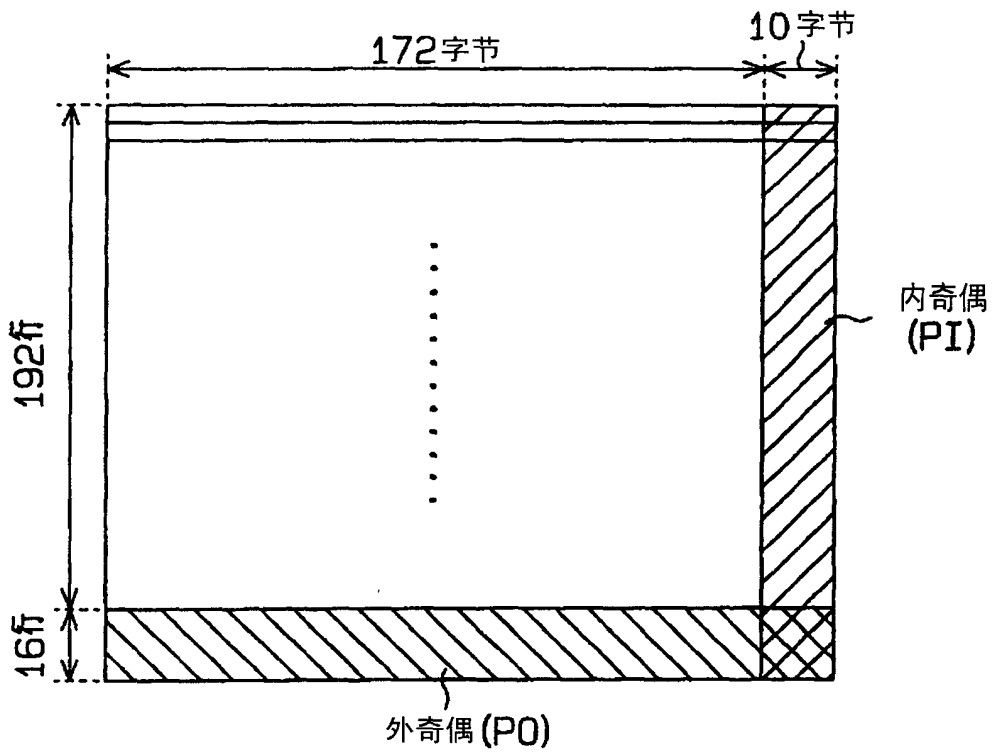


图 3

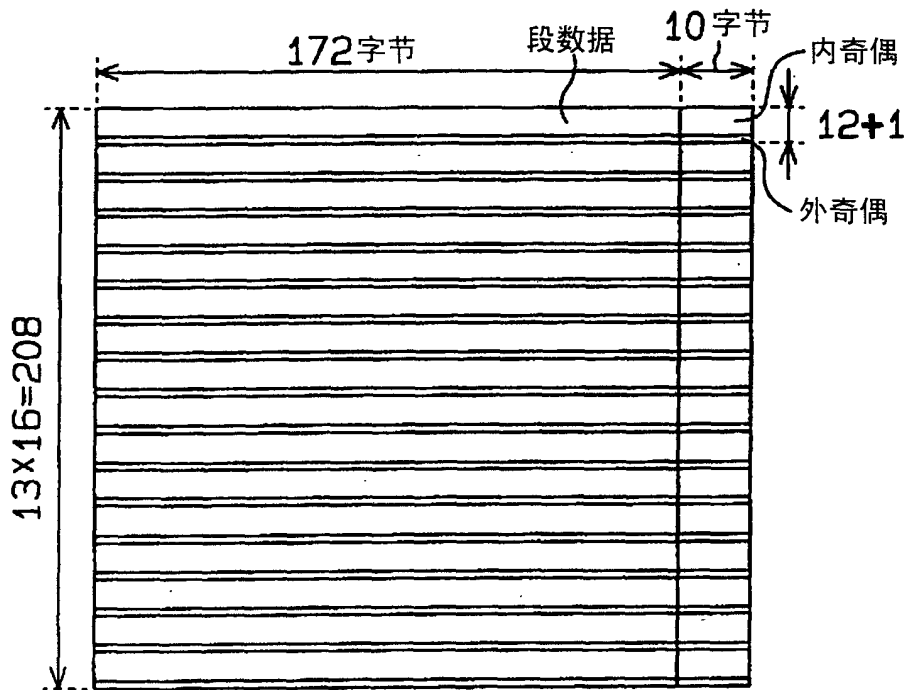


图 4

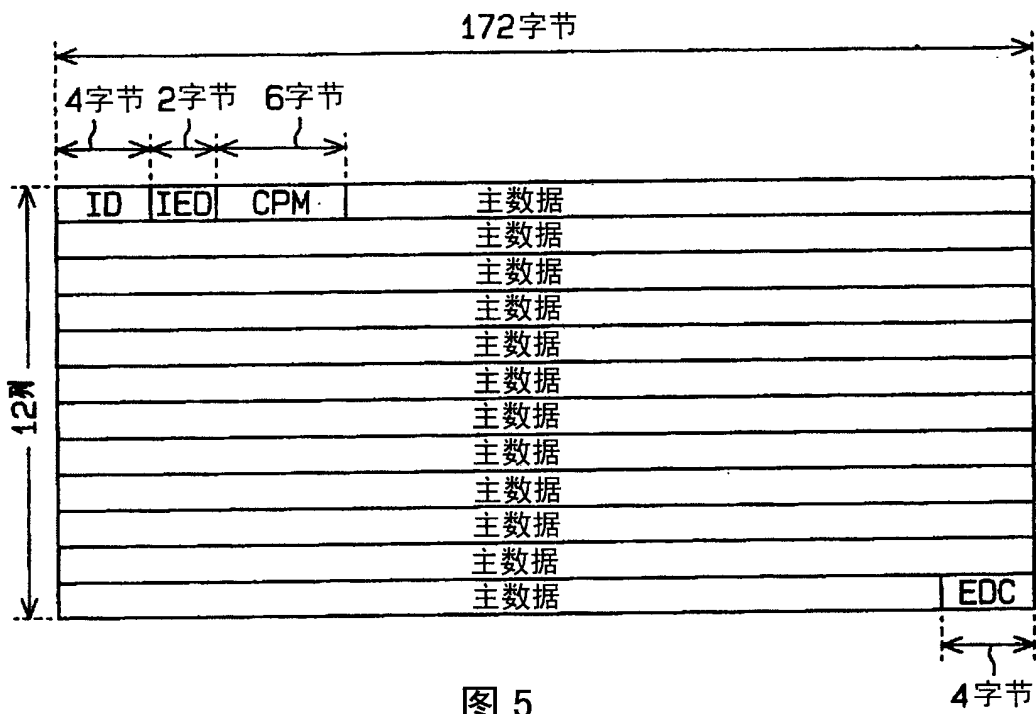


图 5