



# (12) 发明专利

(10) 授权公告号 CN 113938115 B

(45) 授权公告日 2022.06.03

(21) 申请号 202111211886.0

H02M 3/156 (2006.01)

(22) 申请日 2021.10.18

H02M 3/158 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 113938115 A

(56) 对比文件

KR 20090021672 A, 2009.03.04

US 5592128 A, 1997.01.07

CN 103618450 A, 2014.03.05

CN 101741261 A, 2010.06.16

(43) 申请公布日 2022.01.14

(73) 专利权人 苏州聚元微电子股份有限公司

地址 215000 江苏省苏州市苏州工业园区  
金鸡湖大道1355号国际科技园12B1-B3单元

Jungmoon Kim等. A Single-Inductor 8-channel Output DC-DC Boost Converter with Time-limited One-shot Current Control and Single Shared Hysteresis Comparator. 《2011 Symposium on VLSI Circuits - Digest of Technical Papers》. 2011,

刘智等. 一种用于DC-DC转换器的精密振荡器设计. 《半导体技术》. 2009, (第01期),

(72) 发明人 宋文星 韩兴成 万海军

审查员 张楚慧

(74) 专利代理机构 江苏长德知识产权代理有限公司 32478

专利代理师 汤小权

(51) Int. Cl.

H03K 5/156 (2006.01)

H03K 7/08 (2006.01)

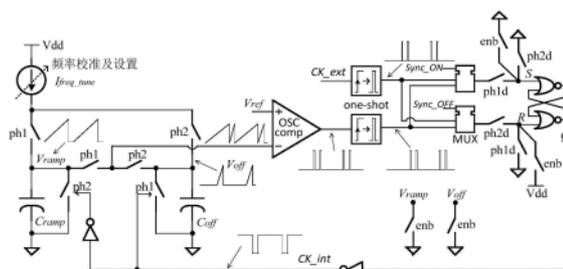
权利要求书2页 说明书5页 附图4页

## (54) 发明名称

开关型直流转换器时钟的同步方法

## (57) 摘要

本发明公开了开关型直流转换器 (switching-mode DC-DC converter) 时钟的同步方法, 属于芯片的设计技术领域, 该方法包括: 基于将芯片上产生时钟的张弛振荡器 (relaxation oscillator) 的与片外输入时钟同步的技术。本发明, 保持了片上时钟及电流控制模式所需的电压斜坡 (voltage ramp) 的占空比 (DC:duty cycle); 且张弛振荡器共享一个比较器, 既节省了芯片的面积与功耗, 又消除了两个比较器失调电压的差别带来的额外精度损失。和需要锁相环的传统方法相比, 本发明在大大节省了芯片的面积和功耗的同时, 使用频率可编程的振荡器来保持可同步时钟频率的灵活性。



1. 开关型直流转换器 (switching-mode DC-DC converter) 时钟的同步方法, 其特征在于, 该方法包括:

通过调整电容  $C_{ramp}$  和  $C_{off}$  的充电电流  $I_{freq\_tune}$  来实现振荡器的自振频率校准及频率的设置;

忽略比较器的输入失调电压和延时, 振荡器的周期  $T_{osc}$  计算如下:

$$T_{osc\_ramp} = \frac{V_{ref} C_{ramp}}{I_{freq\_tune}} \quad (4)$$

$$T_{osc\_off} = \frac{V_{ref} C_{off}}{I_{freq\_tune}} \quad (5)$$

$$T_{osc} = T_{osc\_ramp} + T_{osc\_off} = \frac{V_{ref}(C_{ramp} + C_{off})}{I_{freq\_tune}} \quad (6)$$

因为电容  $C_{ramp}$  和  $C_{off}$  的值是固定的, 振荡器的输出时钟  $CK\_int$  及斜坡电压  $V_{ramp}$  的占空比不随频率的校准或设置而改变, 其值为精确的电容比例:

$$DC_{osc} = \frac{T_{osc\_ramp}}{T_{osc}} = \frac{C_{ramp}}{C_{ramp} + C_{off}} \quad (7)$$

同时将两个电容的充电电压  $V_{ramp}$  与  $V_{off}$  设置成共享一个比较器, 当电压  $V_{ramp}$  与  $V_{off}$  充至  $V_{ref}$  时, 比较器的输出都将翻转;

当振荡器未使能时, R-S 触发器输入端  $ph1d$  和  $ph2d$  控制的 4 个开关全部打开, 而通过合上两个  $enb$  控制的开关, 将 R-S 触发器清零, 同时, 通过合上另外两个  $enb$  控制的开关, 将电容  $C_{ramp}$  与  $C_{off}$  放电;

当脉冲产生器 (one-shot) 检测到片外输入时钟  $CK\_ext$  的上升沿后, 振荡器开关  $ph1$  打开,  $ph2$  合上, 开始电容  $C_{off}$  的充电周期  $T_{sync\_off}$ ; 可见, 振荡器输出时钟在同步与自振两种工作模式下的  $C_{off}$  的充电周期是相同的, 即:

$$T_{sync\_off} = T_{osc\_off} \quad (8)$$

当  $V_{off}$  从零上升至  $V_{ref}$  时, 比较器输出电压由低电位翻转至高电位; R-S 触发器翻转后,  $ph2$  打开,  $ph1$  合上, 开始电容  $C_{ramp}$  的充电周期, 直至下一个时钟  $CK\_ext$  的上升沿来临时结束, 因此其时长为:

$$T_{sync\_ramp} = T_{CK\_ext} - T_{sync\_off} \quad (9)$$

使能控制  $en$  的上升沿来临后, 开始电容  $C_{ramp}$  的充电周期, 当振荡器处于自振模式时, 两个电容交替充电和放电; 否则, 振荡器处于时钟同步模式时, 则电容  $C_{off}$  的充电开始 (即电容  $C_{ramp}$  的充电结束) 由片外输入时钟  $CK\_ext$  的上升沿控制;

片外输入时钟的频率  $f_{CK\_ext}$  与片上振荡器的自振频率  $f_{osc}$  的相对误差记为:

$$ferr = \frac{f_{CK\_ext} - f_{osc}}{f_{osc}} \quad (10)$$

因此, 当片上的振荡器及电压斜坡与片外输入时钟同步时, 其占空比为:

$$DC_{sync} = \frac{\frac{1}{1+ferr} - (1-DC_{osc})}{\frac{1}{1+ferr}} = DC_{osc} - (1 - DC_{osc}) \cdot ferr \quad (11)。$$

2. 根据权利要求 1 所述的开关型直流转换器时钟的同步方法, 其特征在于, 在  $C_{off}$  的充

电周期结束时,  $V_{\text{ramp}}$  可能高于或低于  $V_{\text{ref}}$ , 取决于输入时钟  $\text{CK}_{\text{ext}}$  的周期比振荡器自振的周期长还是短。

3. 根据权利要求1所述的开关型直流转换器时钟的同步方法, 其特征在于, 为了区分是  $V_{\text{ramp}}$  或  $V_{\text{off}}$  上升到了  $V_{\text{ref}}$ , 通过开关控制来确定电路使能开始时振荡器的工作时序。

4. 根据权利要求1所述的开关型直流转换器时钟的同步方法, 其特征在于, 该开关型直流转换器时钟的同步方法对片外输入时钟与片上振荡器之间的频率偏差不敏感。

## 开关型直流转换器时钟的同步方法

### 技术领域

[0001] 本发明属于芯片上开关型直流转换器在脉宽调制(PWM)工作状态下时钟的一种同步方法,属于芯片的设计技术领域,具体涉及一种节省芯片面积和功耗的片上开关时钟与片外输入时钟的同步方法。

### 背景技术

[0002] 在一些开关型直流转换器的应用场合,出于减少电磁干扰、控制噪声等原因,需要将开关型直流转换器(Buck、Boost、Buck-Boost,等)的开关时钟与片外的输入时钟同步。最直接、也是最常用的时钟同步方法,就是采用锁相环电路。片外的输入时钟作为锁相环的参考时钟,用锁相环里振荡器的输出时钟作为直流转换器的开关控制。这个传统方法的缺点,是锁相环占用较大的芯片面积和功耗。尤其是当锁相环的带宽很小时,其环路滤波器中的电容占用很大的芯片面积,甚至需要额外的封装管脚和片外的电容。使用锁相环的另一个重要缺点是,由于锁相环带宽的限制,如果参考时钟的频率是经过调制的,输出的振荡器时钟可能跟不上参考时钟的快速变换。

### 发明内容

[0003] 本发明的目的在于提供节省芯片面积和功耗,且没有变频带宽限制的开关型直流转换器的时钟同步方法,以解决上述背景技术中提出的问题。

[0004] 为实现上述目的,本发明提供如下技术方案:开关型直流转换器(switching-mode DC-DC converter)时钟的同步方法,该方法包括:

[0005] 通过调整电容 $C_{ramp}$ 和 $C_{off}$ 的充电电流 $I_{freq\_tune}$ 来实现振荡器的自振频率校准及频率的设置;

[0006] 忽略比较器的输入失调电压和延时,振荡器的周期 $T_{osc}$ 计算如下:

$$[0007] \quad T_{osc\_ramp} = \frac{V_{ref}C_{ramp}}{I_{freq\_tune}} \quad (4)$$

$$[0008] \quad T_{osc\_off} = \frac{V_{ref}C_{off}}{I_{freq\_tune}} \quad (5)$$

$$[0009] \quad T_{osc} = T_{osc\_ramp} + T_{osc\_off} = \frac{V_{ref}(C_{ramp}+C_{off})}{I_{freq\_tune}} \quad (6)$$

[0010] 因为电容 $C_{ramp}$ 和 $C_{off}$ 的值是固定的,振荡器的输出时钟CK\_int及斜坡电压 $V_{ramp}$ 的占空比不随频率的校准或设置而改变,其值为精确的电容比例:

$$[0011] \quad DC_{osc} = \frac{T_{osc\_ramp}}{T_{osc}} = \frac{C_{ramp}}{C_{ramp}+C_{off}} \quad (7)$$

[0012] 同时将两个电容的充电电压 $V_{ramp}$ 与 $V_{off}$ 设置成共享一个比较器,当电压 $V_{ramp}$ 与 $V_{off}$ 充至 $V_{ref}$ 时,比较器的输出都将翻转;

[0013] 当振荡器未使能时,R-S触发器输入端ph1d和ph2d控制的4个开关全部打开,而通

过合上两个enb控制的开关,将R-S触发器清零,同时,通过合上另外两个enb控制的开关,将电容 $C_{ramp}$ 与 $C_{off}$ 放电;

[0014] 当脉冲产生器(one-shot)检测到片外输入时钟 $CK_{ext}$ 的上升沿后,振荡器开关ph1打开,ph2合上,开始电容 $C_{off}$ 的充电周期 $T_{sync\_off}$ ;可见,振荡器输出时钟在同步与自振两种工作模式下的 $C_{off}$ 的充电周期是相同的,即:

$$[0015] \quad T_{sync\_off} = T_{osc\_off} \quad (8)$$

[0016] 当 $V_{off}$ 从零上升至 $V_{ref}$ 时,比较器输出电压由低电位翻转至高电位;R-S触发器翻转后,ph2打开,ph1合上,开始电容 $C_{ramp}$ 的充电周期,直至下一个时钟 $CK_{ext}$ 的上升沿来临时结束,因此其时长为:

$$[0017] \quad T_{sync\_ramp} = T_{CK\_ext} - T_{sync\_off} \quad (9)$$

[0018] 使能控制en的上升沿来临后,开始电容 $C_{ramp}$ 的充电周期,当振荡器处于自振模式时,两个电容交替充电和放电;否则,振荡器处于时钟同步模式时,则电容 $C_{off}$ 的充电开始(即电容 $C_{ramp}$ 的充电结束)由片外输入时钟 $CK_{ext}$ 的上升沿控制;

[0019] 片外输入时钟的频率 $f_{CK\_ext}$ 与片上振荡器的自振频率 $f_{osc}$ 的相对误差记为:

$$[0020] \quad ferr = \frac{f_{CK\_ext} - f_{osc}}{f_{osc}} \quad (10)$$

[0021] 因此,当片上的振荡器及电压斜坡与片外输入时钟同步时,其占空比为:

$$[0022] \quad DC_{sync} = \frac{\frac{1}{1+ferr} - (1-DC_{osc})}{\frac{1}{1+ferr}} = DC_{osc} - (1 - DC_{osc}) \cdot ferr \quad (11)$$

[0023] 优选地,在 $C_{off}$ 的充电周期结束时, $V_{ramp}$ 可能高于或低于 $V_{ref}$ ,取决于输入时钟 $CK_{ext}$ 的周期比振荡器自振的周期长还是短。

[0024] 优选地,为了区分是 $V_{ramp}$ 或 $V_{off}$ 上升到了 $V_{ref}$ ,通过开关控制来确定电路使能开始时振荡器的工作时序。

[0025] 优选地,该开关型直流转换器时钟的同步方法对片外输入时钟与片上振荡器之间的频率偏差不敏感。

[0026] 与现有技术相比,本发明的有益效果是:

[0027] (1) 本发明不需要锁相环,节省了面积和功耗。

[0028] (2) 本发明经同步后的芯片内时钟,每个周期都和外部输入时钟对齐。所以在跟踪变频的外部时钟时,没有传统方法里锁相环带宽的限制。

[0029] (3) 本发明中的振荡器部分采用固定值的两个充放电电容,所以输出时钟和电压斜坡的占空比是固定的,不随频率校准或频率设置而改变。

[0030] (4) 本发明中的振荡器部分共享一个电压比较器,既节省芯片的功耗和面积,又消除了使用两个比较器时其输入失调电压引入的额外占空比误差。

[0031] (5) 本发明在时钟同步时,将输出时钟及电压斜坡为“空”的时间设为固定的,即与不同步时一样。因此,输出时钟及电压斜坡的占空比,对外部输入时钟与内部振荡器不同步时频率的误差不敏感。

[0032] (6) 本发明的内部时钟,通过电流编程可以设置在多个不同的频率,从而保持了可同步外部时钟频率的灵活性。

### 附图说明

- [0033] 图1是电流控制模式的直流升压器Boost电路图；  
 [0034] 图2是传统基于锁相环的时钟同步图；  
 [0035] 图3是本发明的振荡器及时钟同步电路图；  
 [0036] 图4是本发明的时钟同步使能逻辑图；  
 [0037] 图5是本发明的时钟及电压斜坡同步时序图；  
 [0038] 图6是本发明共享比较器的振荡器使能时序图；  
 [0039] 图7是本发明的同步时钟及电压斜坡占空比与频率误差的关系图。

### 具体实施方式

[0040] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0041] 图1所示为一个典型的开关型直流转换器,即电流控制模式的直流升压转换器(Boost)。根据负载电流的大小,该直流转换器工作在脉宽调制(PWM)或脉频调制(PFM)两个状态。如果Boost的输入和输出电压分别为 $V_{in}$ 和 $V_{out}$ ,则其PWM工作状态下接地的开关(low-side switch)栅极驱动电压的占空比(duty cycle)为:

$$[0042] \quad DC_{boost} = 1 - \frac{V_{in}}{V_{out}} \quad (1)$$

[0043] 因此,根据应用时最小输入电压 $V_{in\_min}$ 与最大输出电压 $V_{out\_max}$ 的组合,我们可以计算最大的占空比:

$$[0044] \quad DC_{boost\_max} = 1 - \frac{V_{in\_min}}{V_{out\_max}} \quad (2)$$

[0045] 为满足电流控制模式Boost环路的稳定性,需要产生一个等效的斜坡电流,作为斜率补偿(slope compensation),叠加在感应到的接地开关导通电流(即电感L上的电流)上;因而需要产生一个与内部时钟同步,且占空比相同的斜坡电压 $V_{ramp}$ ,产生内部时钟和斜坡电压的振荡器输出的占空比要求至少达到等式(2)中计算出的值,即

$$[0046] \quad DC_{osc} \geq DC_{boost\_max} \quad (3)$$

[0047] 在一些开关型直流转换器的应用场合,出于减少电磁干扰、控制噪声等原因,需要将开关型直流转换器(Buck、Boost、Buck-Boost,等)的开关时钟与片外的输入时钟同步。因为输入时钟的占空比通常不能满足等式(3)的要求,更重要的另一个原因是在PFM工作状态下需要任意拓展时钟的周期,所以我们不能直接使用芯片外部输入的时钟作为Boost内部时钟以及产生 $V_{ramp}$ 。

[0048] 图2所示是传统的时钟同步方法,即使用锁相环将输入时钟与Boost内部时钟及 $V_{ramp}$ 同步。这个传统方法的缺点,是锁相环占用较大的芯片面积和功耗,尤其是当锁相环的带宽很小时,其环路滤波器中的电容占用很大的芯片面积,甚至需要额外的封装管脚和片外的电容;使用锁相环的另一个重要缺点是,由于锁相环带宽的限制,如果参考时钟的频率是经过调制的,输出的振荡器时钟可能跟不上参考时钟的快速变换,为克服传统方法的前述诸多缺点,故本发明提出了更好的时钟同步新方法。

[0049] 图3所示为本发明的振荡器及时钟同步电路图。首先,振荡器的自振频率校准及频率设置是通过调整电容 $C_{ramp}$ 和 $C_{off}$ 的充电电流, $I_{freq\_tune}$ ,来实现的。忽略比较器的输入失调电压和延时,振荡器的周期 $T_{osc}$ 计算如下:

$$[0050] \quad T_{osc\_ramp} = \frac{V_{ref}C_{ramp}}{I_{freq\_tune}} \quad (4)$$

$$[0051] \quad T_{osc\_off} = \frac{V_{ref}C_{off}}{I_{freq\_tune}} \quad (5)$$

$$[0052] \quad T_{osc} = T_{osc\_ramp} + T_{osc\_off} = \frac{V_{ref}(C_{ramp}+C_{off})}{I_{freq\_tune}} \quad (6)$$

[0053] 因为电容 $C_{ramp}$ 和 $C_{off}$ 的值是固定的,振荡器的输出时钟CK\_int及斜坡电压 $V_{ramp}$ 的占空比不随频率的校准或设置而改变,其值为精确的电容比例:

$$[0054] \quad DC_{osc} = \frac{T_{osc\_ramp}}{T_{osc}} = \frac{C_{ramp}}{C_{ramp}+C_{off}} \quad (7)$$

[0055] 为了进一步节省芯片的面积和功耗,图3中两个电容的充电电压, $V_{ramp}$ 与 $V_{off}$ ,共享一个比较器。当 $C_{ramp}$ 与 $C_{off}$ 上电压(即 $V_{ramp}$ 与 $V_{off}$ )充至 $V_{ref}$ 时,比较器的输出都将翻转;为了区分是哪个电压上升到了 $V_{ref}$ ,通过开关控制来确定电路使能开始时振荡器的工作时序。

[0056] 图4是本发明的时钟同步使能逻辑图。当振荡器未使能时,图3中的R-S触发器输入端ph1d和ph2d控制的4个开关全部打开,而通过合上两个enb控制的开关,将R-S触发器清零;同时,通过合上另外两个enb控制的开关,将电容 $C_{ramp}$ 与 $C_{off}$ 放电。

[0057] 图5为本发明的时钟及电压斜坡同步时序图。当脉冲产生器(one-shot)检测到片外输入时钟CK\_ext的上升沿后,振荡器开关ph1打开,ph2合上,开始电容 $C_{off}$ 的充电周期, $T_{sync\_off}$ ;可见,振荡器输出时钟在同步与自振两种工作模式下的 $C_{off}$ 的充电周期是相同的,即:

$$[0058] \quad T_{sync\_off} = T_{osc\_off} \quad (8)$$

[0059] 当 $V_{off}$ 从零上升至 $V_{ref}$ 时,比较器输出电压由低电位翻转至高电位;R-S触发器翻转后,ph2打开,ph1合上,开始电容 $C_{ramp}$ 的充电周期(即电压斜坡周期),直至下一个时钟CK\_ext的上升沿来临时结束,因此其时长为:

$$[0060] \quad T_{sync\_ramp} = T_{CK\_ext} - T_{sync\_off} \quad (9)$$

[0061] 在 $C_{off}$ 的充电周期结束时, $V_{ramp}$ 可能略高或略低于 $V_{ref}$ ,取决于输入时钟CK\_ext的周期比振荡器自振的周期长一些还是短一些。

[0062] 图6为振荡器的使能信号时序图。使能控制en的上升沿来临后,开始电容 $C_{ramp}$ 的充电周期(即电压斜坡周期);当振荡器处于自振模式时,两个电容交替充电和放电;而当振荡器处于时钟同步模式时,则电容 $C_{off}$ 的充电开始(即电容 $C_{ramp}$ 的充电结束)由片外输入时钟CK\_ext的上升沿控制。

[0063] 片外输入时钟的频率 $f_{CK\_ext}$ 与片上振荡器的自振频率 $f_{osc}$ 的相对误差记为:

$$[0064] \quad ferr = \frac{f_{CK\_ext} - f_{osc}}{f_{osc}} \quad (10)$$

[0065] 因此,当片上的振荡器及电压斜坡与片外输入时钟同步时,其占空比为:

$$[0066] \quad DC_{sync} = \frac{\frac{1}{1+ferr} - (1-DC_{osc})}{\frac{1}{1+ferr}} = DC_{osc} - (1 - DC_{osc}) \cdot ferr \quad (11)$$

[0067] 图7所示为等式(11)里ferr对 $DC_{sync}$ 的影响。这里振荡器自振时的占空比 $DC_{osc} = 80\%$ 。由图5可见,当频率误差为 $\pm 15\%$ 时,同步后的内部时钟和电压斜坡的占空比和自振模式相比,仅变化 $\pm 3\%$ ;可见,本发明的时钟同步方法对片外输入时钟与片上振荡器之间的频率偏差不敏感;只要片上振荡器的频率具有足够的可编程性,能够设置在片外输入时钟频率 $\pm 15\%$ (甚至更大一些)的误差范围内,均不影响开关型直流转换器的时钟同步功能。

[0068] 尽管已经示出和描述了本发明的实施例,对于本领域的普通技术人员而言,可以理解在不脱离本发明的原理和精神的情况下可以对这些实施例进行多种变化、修改、替换和变型,本发明的范围由所附权利要求及其等同物限定。

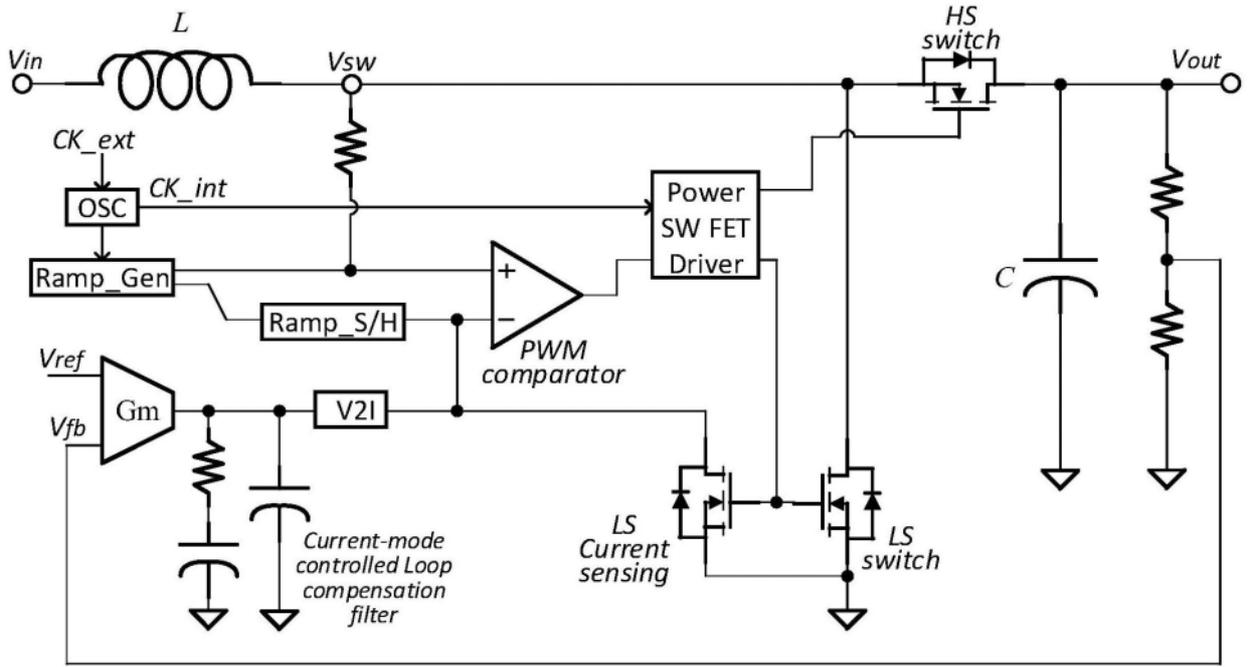


图1

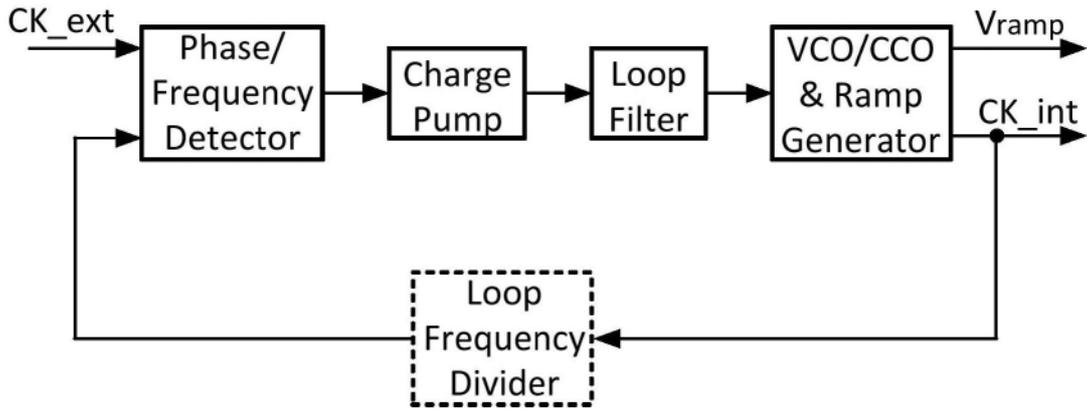


图2

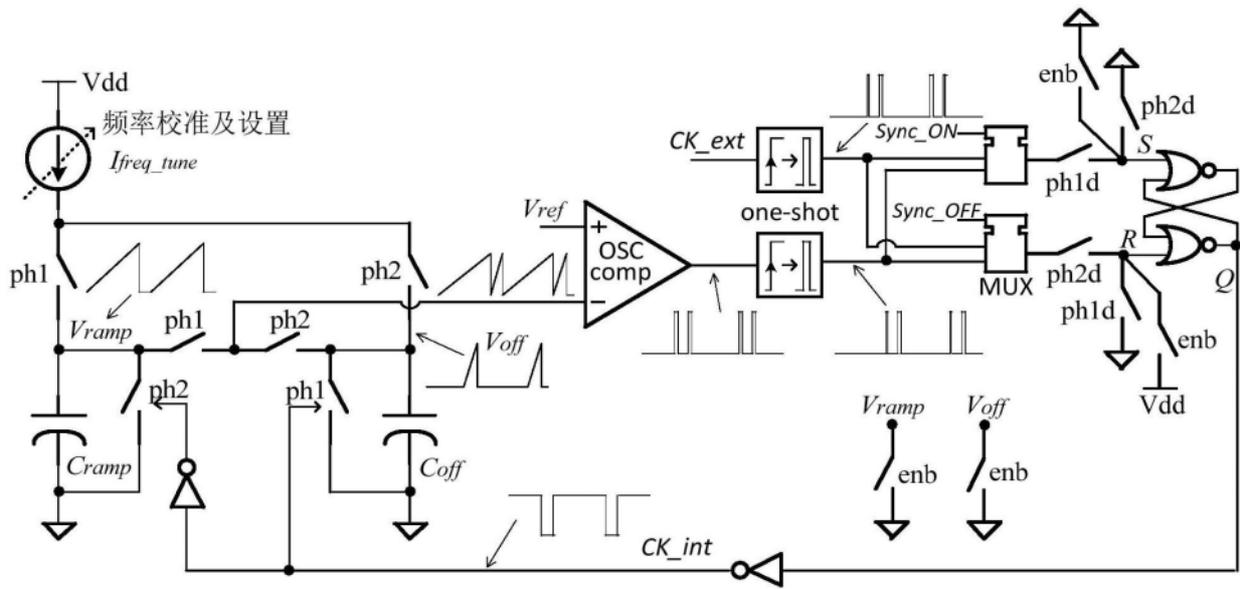


图3

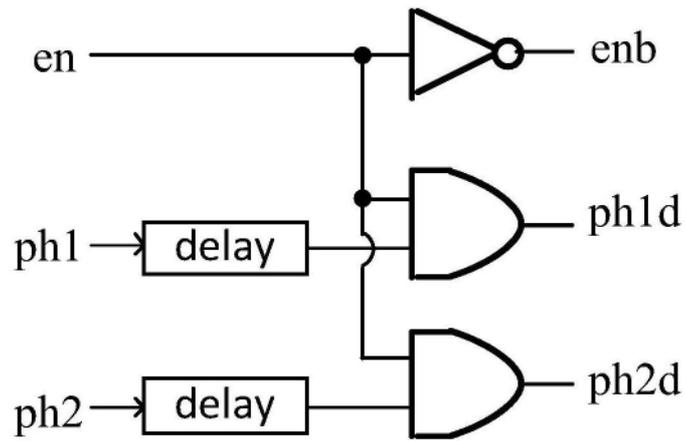


图4

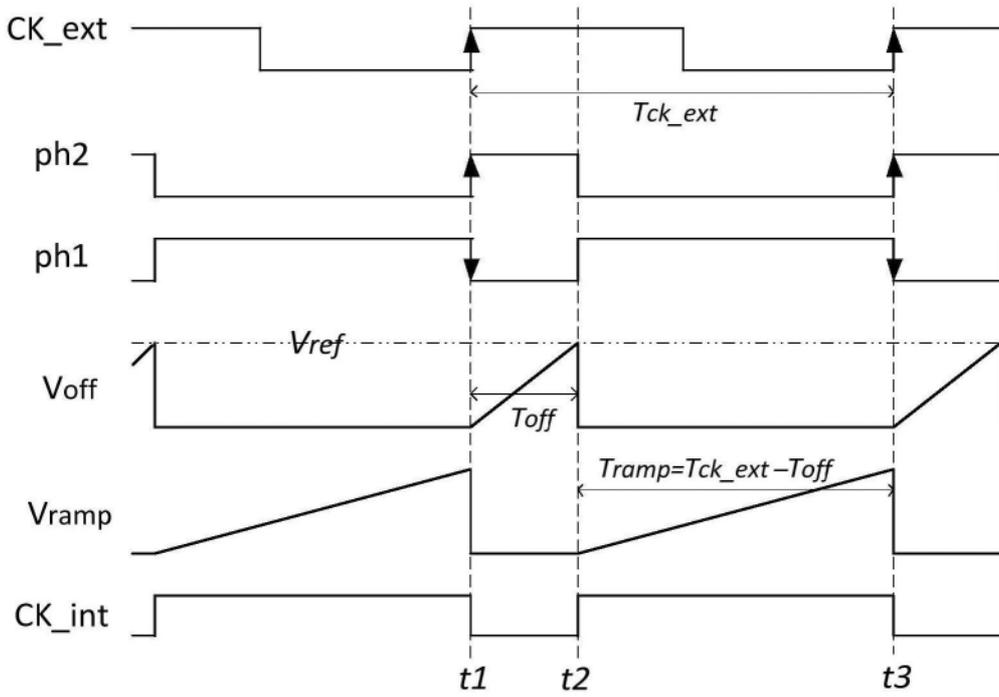


图5

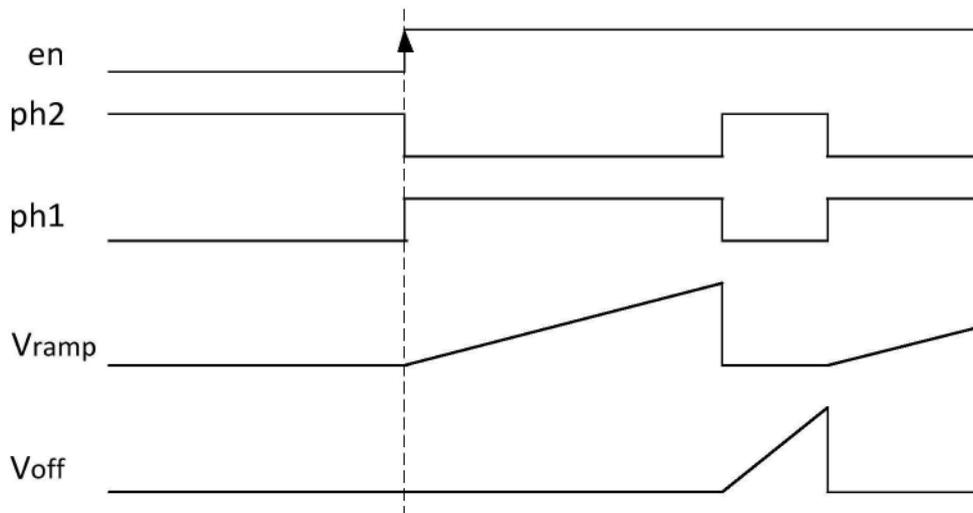


图6

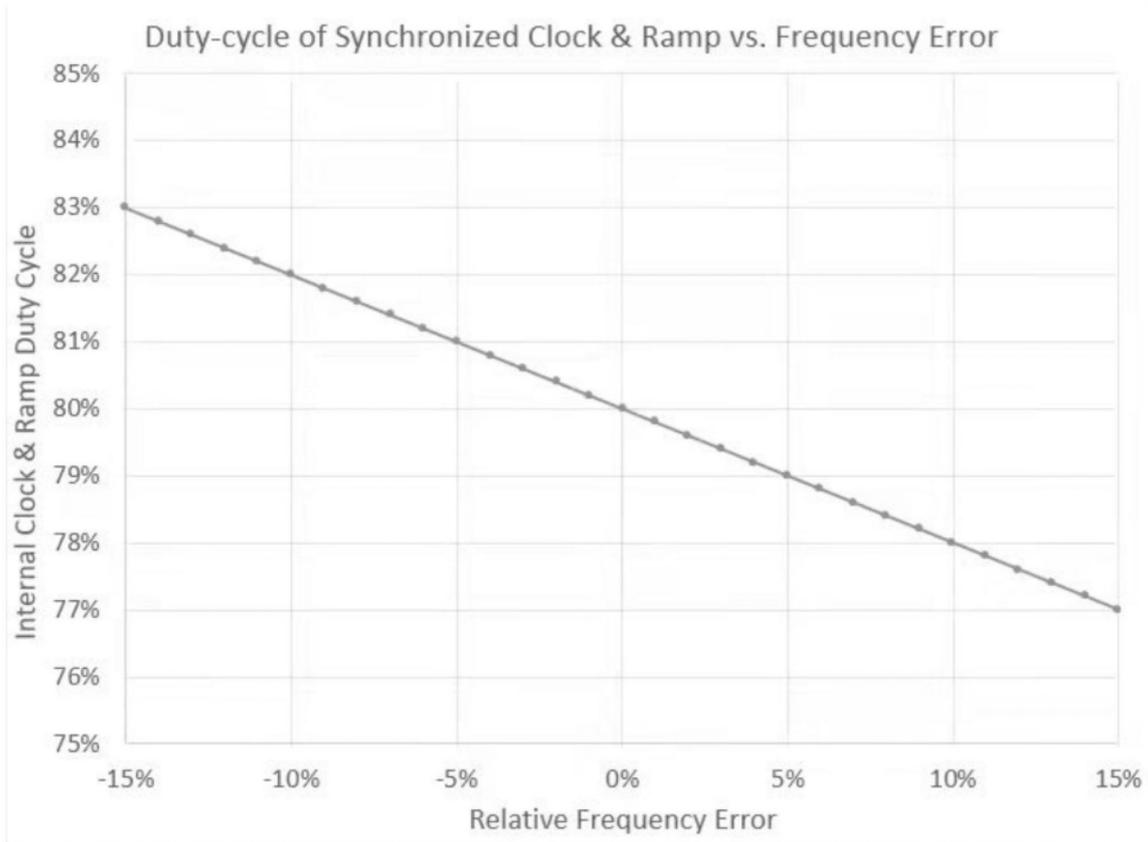


图7