

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4256408号  
(P4256408)

(45) 発行日 平成21年4月22日(2009.4.22)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int.Cl.		F I		
HO 1 L 21/82	(2006.01)	HO 1 L 21/82		T
HO 1 L 21/00	(2006.01)	HO 1 L 21/00		
HO 1 L 21/027	(2006.01)	HO 1 L 21/30		5 O 2 G
GO 3 F 7/20	(2006.01)	GO 3 F 7/20		5 2 1

請求項の数 3 (全 15 頁)

(21) 出願番号	特願2006-198160 (P2006-198160)	(73) 特許権者	000003078
(22) 出願日	平成18年7月20日(2006.7.20)		株式会社東芝
(65) 公開番号	特開2008-28092 (P2008-28092A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年2月7日(2008.2.7)	(74) 代理人	100058479
審査請求日	平成19年10月16日(2007.10.16)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 不良確率の算出方法、パターン作成方法及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

設計パターンに基づいて基板上にパターンを形成するためのプロセスで生じるプロセスばらつきを、パターン寸法の中心値がシフトする第1のプロセスばらつきと、パターン寸法がパターン配置位置に依存して変動する第2のプロセスばらつきとに分ける工程と、

前記第1のプロセスばらつきを含んだ複数のプロセス条件を想定する工程と、

前記プロセス条件それぞれの出現確率を求める工程と、

前記設計パターンに対して前記プロセス条件毎にプロセスシミュレーションを行い所定のパターンを予想する工程と、

前記プロセス条件毎に予想された前記所定パターンが前記第2のプロセスばらつきに起因して所定の寸法条件を満たさない割合を求める工程と、

前記プロセス条件毎に前記出現確率と前記割合との積を求める工程と、

前記プロセス条件毎に求められた前記積どうしを足し合わせて第1の確率を求める工程と、

を備えたことを特徴とする不良確率の算出方法。

【請求項2】

請求項1に記載の方法によって不良確率を算出する工程と、

前記算出された不良確率が所定値よりも大きい場合に前記設計パターンを修正する工程と、

を備えたことを特徴とするパターン作成方法。

## 【請求項3】

請求項1に記載の方法によって算出された不良確率に基づく確定設計パターンに対応したマスクパターンを有するフォトマスクを用意する工程と、

前記フォトマスク上のマスクパターンを半導体基板上のフォトレジストに転写する工程と、

を備えたことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、不良確率の算出方法、パターン作成方法及び半導体装置の製造方法に関する

10

## 【背景技術】

## 【0002】

半導体装置に微細化に伴い、設計パターンに忠実な所望の回路パターンを半導体ウェハ上に形成することが難しくなっている。そのため、所望の回路パターンを形成するための種々の提案がなされている（例えば、特許文献1参照）。

## 【0003】

しかしながら、従来は、不良が生じる可能性が高いパターンを特定することはできたが、不良確率の定量的且つ効果的な評価は行われていなかった。そのため、不良が生じる可能性が高いパターンを全て修正しなければならず、効率的に設計パターンを修正することが困難であった。また、製造歩留まりについても、定量的且つ効率的な評価を行うことは困難であった。

20

【特許文献1】特開2006-53248号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

本発明は、不良確率を定量的且つ効果的に求めることが可能な不良確率の算出方法等を提供することを目的としている。

## 【課題を解決するための手段】

## 【0007】

本発明の第1の視点に係る不良確率の算出方法は、設計パターンに基づいて基板上にパターンを形成するためのプロセスで生じるプロセスばらつきを、パターン寸法の中心値がシフトする第1のプロセスばらつきと、パターン寸法がパターン配置位置に依存して変動する第2のプロセスばらつきとに分ける工程と、前記第1のプロセスばらつきを含んだ複数のプロセス条件を想定する工程と、前記プロセス条件それぞれの出現確率を求める工程と、前記設計パターンに対して前記プロセス条件毎にプロセスシミュレーションを行い所定のパターンを予想する工程と、前記プロセス条件毎に予想された前記所定パターンが前記第2のプロセスばらつきに起因して所定の寸法条件を満たさない割合を求める工程と、前記プロセス条件毎に前記出現確率と前記割合との積を求める工程と、前記プロセス条件毎に求められた前記積どうしを足し合わせて第1の確率を求める工程と、を備える。

30

40

## 【0008】

本発明の第2の視点に係るパターン作成方法は、前記の方法によって不良確率を算出する工程と、前記算出された不良確率が所定値よりも大きい場合に前記設計パターンを修正する工程と、を備える。

## 【0009】

本発明の第3の視点に係る半導体装置の製造方法は、前記の方法によって算出された不良確率に基づく確定設計パターンに対応したマスクパターンを有するフォトマスクを用意する工程と、前記フォトマスク上のマスクパターンを半導体基板上的フォトレジストに転写する工程と、を備える。

## 【発明の効果】

50

## 【0010】

本発明によれば、不良確率を定量的且つ効果的に求めることが可能となる。

## 【発明を実施するための最良の形態】

## 【0011】

以下、本発明の実施形態を図面を参照して説明する。

## 【0012】

(実施形態1)

図1は、本実施形態の基本的な動作の一例を示したフローチャートである。なお、本フローチャートに示した基本的な動作は、他の実施形態についても適用可能である。

## 【0013】

まず、デザインルールを満たした暫定設計パターン(暫定設計データ)を生成する(S11)。続いて、暫定設計パターンに対して後述するシミュレーション等の処理を施し、不良確率を算出する(S12)。

## 【0014】

次に、算出された不良確率に基づき、暫定設計パターンの合否を判定する(S13)。すなわち、算出された不良確率を所定値と比較し、不良確率が所定値よりも大きい場合には、暫定設計パターンを修正する。例えば、不良確率が減少するように、不良の要因となっているパターン部分を修正する。算出された不良確率が所定値よりも小さい場合には、暫定設計パターンを設計パターンとして確定する(S14)。

## 【0015】

次に、確定設計パターンに基づいてフォトマスクを作製する(S15)。続いて、作製されたフォトマスクを用いて、ウェハプロセスを実行する(S16)。すなわち、フォトマスク上のマスクパターンを、ウェハ(半導体基板)上のフォトレジストに転写する。さらに、フォトレジストを現像してフォトレジストパターンを形成した後、フォトレジストパターンをマスクとして用いてウェハ上の導電膜や絶縁膜をエッチングする。

## 【0016】

図2は、本実施形態の基本的な動作の他の例を示したフローチャートである。なお、本フローチャートに示した基本的な動作は、他の実施形態についても適用可能である。

## 【0017】

まず、デザインルールを満たした複数の暫定設計パターン(暫定設計データ)を生成する(S21)。続いて、暫定設計パターンそれぞれに対して、後述するシミュレーション等の処理を施し、暫定設計パターンそれぞれについて不良確率を算出する(S22)。

## 【0018】

次に、暫定設計パターン毎に算出された不良確率を比較する(S23)。さらに、比較結果に基づき、不良確率が最も低い暫定設計パターンを設計パターンとして確定する(S24)。以後、図1の場合と同様に、確定設計パターンに基づいてフォトマスクを作製し(S25)、作製したフォトマスクを用いてウェハプロセスを実行する(S26)。

## 【0019】

図3は、本実施形態に係る不良確率の算出方法を示したフローチャートである。

## 【0020】

まず、デザインルールを満たした暫定設計パターン(暫定設計データ)を生成する(S31)。

## 【0021】

次に、暫定設計パターンに基づいてウェハ(半導体基板)上にパターンを形成するための各種プロセス(プロセスA、B、C、D)を想定する。例えば、フォトリソグラフィやエッチング等の各種プロセスを想定する。続いて、各プロセス(プロセスA、B、C、D)で生じるプロセスばらつき(a、b、c、d)を想定する。さらに、プロセスばらつきを含んだ複数のプロセス条件(条件1、2、.....、n)を想定する。例えば、プロセス条件1は、プロセスばらつき(a<sub>1</sub>、b<sub>1</sub>、c<sub>1</sub>、d<sub>1</sub>)によって規定される(S32)。

10

20

30

40

50

## 【 0 0 2 2 】

さらに、各プロセス条件（条件 1、2、.....、n）の出現確率（ $P_1$ 、 $P_2$ 、.....、 $P_n$ ）を算出する。すなわち、各プロセス条件が生じる予想確率を算出する。例えば、プロセス A がフォトリソグラフィの露光プロセスであり、露光プロセスでの露光量というプロセスパラメータのばらつきが  $a_1$  であるとする。露光量ばらつきが正規分布であり、標準偏差が  $\sigma$  であると仮定すると、露光量のばらつき  $a_1$  が発生する確率  $P_{a1}$  は、

【数 1】

$$P_{a1} = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{\Delta a_1^2}{\sigma^2}\right)$$

10

## 【 0 0 2 3 】

となる。その他のプロセス B、C 及び D についても同様に、プロセスばらつき  $b_1$ 、 $c_1$  及び  $d_1$  が発生する確率  $P_{b1}$ 、 $P_{c1}$  及び  $P_{d1}$  を算出する。このようにして算出された確率  $P_{a1}$ 、 $P_{b1}$ 、 $P_{c1}$  及び  $P_{d1}$  の積（ $P_{a1} \times P_{b1} \times P_{c1} \times P_{d1}$ ）が、プロセス条件 1 の出現確率  $P_1$  となる（S 3 2）。

## 【 0 0 2 4 】

次に、暫定設計パターンに基づいてウェハ（半導体基板）上に形成されるパターンを予想するためのプロセスシミュレーションを、各プロセス条件（プロセス条件 1、2、.....、n）について行う（S 3 3）。その結果、プロセスばらつきが考慮されたウェハ上のパターン形状が、プロセス条件毎に予想される。

20

## 【 0 0 2 5 】

次に、プロセスシミュレーションによって予想されたパターンが所定の基準を満たしているか否かを、各プロセス条件（プロセス条件 1、2、.....、n）それぞれについて判定する。すなわち、プロセスシミュレーションによって予想されたパターンの形状や寸法が所定の基準を満たしているか否かについて合否判定をする（S 3 4）。例えば、全てのパターン幅が所定の基準を満たしている場合には合格とする。また、少なくとも 1 つのパターン幅が所定の基準を満たしていない場合には不合格とする。

## 【 0 0 2 6 】

次に、所定の基準を満たしていないと判定されたパターンのプロセスシミュレーションに用いられたプロセス条件の出現確率どうしを加算する。さらに、加算結果を、全てのプロセス条件（プロセス条件 1、2、.....、n）の出現確率の和で割る。これにより、その時点で設定されている設計パターンの不良確率 D が算出される。すなわち、その時点の暫定設計パターンに基づいてウェハ上にパターンを形成したときの不良確率 D が算出される。これを式で表すと、

30

## 【数 2】

$$D = \frac{\sum_{i=1}^n \delta_i(x) \times P_i}{\sum_{i=1}^n P_i}$$

40

## 【 0 0 2 7 】

となる。ただし、先に述べた合否判定において、合格と判定された場合には  $\delta_i(x)$  は 0、不合格と判定された場合には  $\delta_i(x)$  は 1 である（S 3 5、S 3 6）。

## 【 0 0 2 8 】

このようにして不良確率 D を算出した後は、例えば図 1 或いは図 2 で示したようなステップを行う。これにより、所定の要件を満たす暫定設計パターンを設計パターンとして確定することができる。

## 【 0 0 2 9 】

以上のように、本実施形態では、プロセス条件それぞれの出現確率を求め、所定の基準を満たしていないプロセス条件の出現確率どうしを足し合わせることで、設計パターンの

50

不良確率を算出している。これにより、不良確率を定量的且つ効果的に求めることができ、効率的に設計パターンを修正することが可能となる。

【 0 0 3 0 】

なお、図 3 に示した不良確率の算出方法では、プロセス全体のシミュレーション結果に基づいて合否判定を行うようにしたが、個別のプロセス毎にシミュレーション及び合否判定を行うようにしてもよい。

【 0 0 3 1 】

また、図 3 に示した不良確率の算出方法では、プロセスばらつきに起因する不良確率が算出される。このプロセスばらつきに起因する不良確率を  $D_s$  とすると、プロセスばらつきに起因する製造歩留まり  $Y_s$  は、

$$Y_s = 1 - D_s$$

と表される。半導体装置の最終的な歩留まりを決定する別の要因として、製造プロセス中のダストがある。このダストに起因する不良確率を  $D_d$  とすると、ダストに起因する製造歩留まり  $Y_d$  は、

$$Y_d = 1 - D_d$$

と表される。プロセスばらつきに起因する不良とダストに起因する不良とは、互いに独立した事象である。したがって、半導体装置の最終的な歩留まり  $Y$  は、

$$Y = Y_s \times Y_d = (1 - D_s) \times (1 - D_d)$$

と表される。

【 0 0 3 2 】

(実施形態 2)

次に、第 2 の実施形態について説明する。なお、基本的な事項については第 1 の実施形態と同様であるため、第 1 の実施形態で述べた事項については説明は省略する。

【 0 0 3 3 】

図 4 は、本実施形態に係る不良確率の算出方法を示したフローチャートである。

【 0 0 3 4 】

まず、デザインルールを満たした暫定設計パターン（暫定設計データ）を生成する（S 4 1）。

【 0 0 3 5 】

次に、暫定設計パターンに対して所定の条件でプロセスシミュレーションを行う（S 4 2）。この所定の条件は、プロセスばらつきを含んだ条件であり、例えばパターンが細くなる条件やパターンが太くなる条件である。各条件でプロセスシミュレーションを行い、ウェハ（半導体基板）上に形成されるパターンを予想する。

【 0 0 3 6 】

次に、プロセスシミュレーション結果に基づき、暫定設計パターンの中の不合格箇所を特定し、特定された不合格箇所を抽出する（S 4 3）。後で行われるプロセスシミュレーションの計算精度が高くなるように、抽出する領域（切り取る領域）のサイズは決められる。例えば、露光プロセスのシミュレーションでは、露光プロセスで規定される光学半径の数倍程度を抽出領域サイズとすることが望ましい。また、エッチングプロセスのシミュレーションでは、平均自由工程の数倍程度を抽出領域サイズとすることが望ましい。なお、本ステップで抽出される不合格箇所は、暫定的に決定される不合格箇所であり、所定の基準を満たさない可能性が高い箇所である。したがって、本ステップで不合格箇所と見なされたとしても、後述する合否判定ステップ S 4 6 で不合格箇所と見なされない場合もあり得る。

【 0 0 3 7 】

次に、抽出された不合格箇所（特定箇所）の設計パターン（設計データ）について、第 1 の実施形態の図 3 に示した S 3 2 ~ S 3 6 と同様の処理を行う（S 4 4 ~ S 4 8）。これにより、第 1 の実施形態と同様に、暫定設計パターンについての不良確率  $D$  が算出される。

【 0 0 3 8 】

10

20

30

40

50

以上のように、本実施形態においても第1の実施形態と同様に、不良確率を定量的且つ効果的に求めることができ、効率的に設計パターンを修正することが可能となる。また、本実施形態では、設計パターンから抽出された特定箇所（不合格箇所）に対してシミュレーションを行えばよいため、計算時間を大幅に短縮することができる。

【0039】

なお、図4に示した例では、説明の簡単化のため、S43のステップで抽出される不合格箇所を1箇所としたが、複数の不合格箇所を抽出した場合にも本実施形態の方法は適用可能である。

【0040】

（実施形態3）

次に、第3の実施形態について説明する。なお、基本的な事項については第1の実施形態と同様であるため、第1の実施形態で述べた事項については説明は省略する。

【0041】

図5は、本実施形態に係る不良確率の算出方法を示したフローチャートである。

【0042】

まず、デザインルールを満たした暫定設計パターン（暫定設計データ）を生成する（S51）。次に、図4で示した第2の実施形態と同様にして、暫定設計パターンに対して所定の条件でプロセスシミュレーションを行い、ウェハ（半導体基板）上に形成されるパターンを予想する（S52）。

【0043】

次に、プロセスシミュレーション結果に基づき、暫定設計パターンの中から複数の不合格箇所（不合格箇所1～m）を特定し、特定された不合格箇所1～mを抽出する（S53）。抽出する領域（切り取る領域）のサイズについては、第2の実施形態で述べたのと同様である。

【0044】

次に、抽出された不合格箇所（特定箇所）1～mそれぞれについて、第1の実施形態の図3のS32～S35と同様の処理を行う（S54～S57）。その結果、特定箇所1～mそれぞれについて個別不良確率 $d_j$ （ $j: 1 \sim m$ ）が算出される。

【0045】

次に、特定箇所それぞれについて算出された個別不良確率 $d_j$ （ $j: 1 \sim m$ ）を加算することで、暫定設計パターンについての不良確率Dが算出される（S58）。

【0046】

以上のように、本実施形態においても第1の実施形態と同様に、不良確率を定量的且つ効果的に求めることができ、効率的に設計パターンを修正することが可能となる。また、本実施形態では、設計パターンから抽出された特定箇所（不合格箇所）に対してシミュレーションを行えばよいため、計算時間を大幅に短縮することができる。

【0047】

さらに、本実施形態では、特定箇所毎にシミュレーションを行い、特定箇所毎に個別不良確率 $d_j$ を算出している。このように、特定箇所を互いに独立に扱って計算を行うため、計算が単純化され、計算時間を大幅に短縮することができる。また、設計パターン内に同一の単位セルが複数配置されているような場合には、ある1つの単位セルについてのみシミュレーションを行えばよいため、このような観点からも計算時間を大幅に短縮することができる。

【0048】

（実施形態4）

次に、第4の実施形態について説明する。なお、基本的な事項については第1の実施形態と同様であるため、第1の実施形態で述べた事項については説明は省略する。

【0049】

図6は、本実施形態に係る不良確率の算出方法を示したフローチャートである。

【0050】

10

20

30

40

50

まず、デザインルールを満たした暫定設計パターン（暫定設計データ）を生成する（S 6 1）。次に、図 4 で示した第 2 の実施形態と同様にして、暫定設計パターンに対して所定の条件でプロセスシミュレーションを行い、ウェハ（半導体基板）上に形成されるパターンを予想する（S 6 2）。

【 0 0 5 1 】

次に、プロセスシミュレーション結果に基づき、暫定設計パターンの中から複数の不合格箇所（不合格箇所 1 ~ m）を特定し、特定された不合格箇所 1 ~ m を抽出する（S 6 3）。抽出する領域（切り取る領域）のサイズについては、第 2 の実施形態で述べたのと同様である。

【 0 0 5 2 】

次に、抽出された不合格箇所（特定箇所） 1 ~ m それぞれについて、以下に述べるような処理を行う。

【 0 0 5 3 】

まず、設計パターンに基づいてウェハ（半導体基板）上にパターンを形成するためのプロセスで生じるプロセスばらつきを、第 1 のプロセスばらつきと第 2 のプロセスばらつきとに分ける。第 1 のプロセスばらつきは、パターン寸法の中心値（一般的には平均値）がシフトするものであり、第 2 のプロセスばらつきは、パターン寸法がパターン配置位置に依存して変動するものである。以下、第 1 のプロセスばらつきをセンターシフトばらつき、第 2 のプロセスばらつきを局所ばらつきと呼ぶ。

【 0 0 5 4 】

センターシフトばらつきは、例えば、経時的な変化等によってプロセスパラメータの実効的な値がシフトすることで生じる。局所ばらつきは、例えば、プロセスパラメータの値がノイズ等によって局所的にばらつくことで生じる。センターシフトばらつきが生じる原因の具体例としては、露光装置のレンズの曇りがあげられる。局所ばらつきが生じる原因の具体例としては、フォトマスク作製の描画を行う際のノイズがあげられる。

【 0 0 5 5 】

本実施形態では、センターシフトばらつきとして、露光量のばらつきとフォーカス位置のばらつきを想定する。特定箇所（不合格箇所） 1 ~ m それぞれについて、露光量ばらつき A 及びフォーカス位置ばらつき B に起因するプロセスばらつき a 及び b を想定する。続いて、特定箇所 1 ~ m それぞれについて、プロセスばらつきを含んだ複数のプロセス条件（条件 1、2、.....、n）を想定する。さらに、特定箇所 1 ~ m それぞれについて、各プロセス条件（条件 1、2、.....、n）の出現確率（ $P_1$ 、 $P_2$ 、.....、 $P_n$ ）を算出する。具体的な算出方法は第 1 の実施形態と同様である（S 6 4）。

【 0 0 5 6 】

次に、特定箇所 1 ~ m それぞれについて、プロセス条件（プロセス条件 1、2、.....、n）毎にリソグラフィシミュレーションを行う。すなわち、暫定設計パターンに基づいてウェハ（半導体基板）上に形成されるフォトレジストパターンを予想するためのリソグラフィシミュレーションを行う（S 6 5）。

【 0 0 5 7 】

上記リソグラフィシミュレーションにより、プロセスばらつきが考慮されたフォトレジストパターンのパターン寸法が、特定箇所 1 ~ m それぞれについて、プロセス条件毎に予想される。すなわち、特定箇所 j におけるプロセス条件 i でのパターン寸法  $W_{ji}$  が予想される（S 6 6）。

【 0 0 5 8 】

次に、S 6 6 のステップで予想されたパターン寸法  $W_{ji}$  に対し、局所ばらつきによって生じるパターン寸法の寸法分布を算出する。すなわち、局所ばらつきによって生じるパターン寸法  $W_{ji}$  の寸法分布を予想する。局所ばらつきはランダムなばらつきであることが多いため、例えば正規分布によって寸法分布を表すことができる。このような寸法分布の分布関数は、

$$\text{寸法分布} = t(w, W_{ji})$$

10

20

30

40

50

と表すことができる。ただし、 $w$ は局所ばらつきを考慮したウェハ上のパターン寸法である。

【0059】

本実施形態では、センターシフトばらつきとして、フォトリソグラフィでのばらつきを想定している。そのため、S66のステップで予想されたパターン寸法 $W_{ji}$ は、フォトレジストパターンの寸法である。一般的に、フォトレジストパターンをマスクとして下地をエッチングした場合、フォトレジストパターンの寸法とエッチングによって形成された下地パターンの寸法との間には寸法差(変換差)が生じる。この変換差を $Te$ とすると、寸法分布は、

$$\text{寸法分布} = t(w, W_{ji} - Te)$$

10

と表される。図7に、上記寸法分布(寸法ばらつき分布)を示す。

【0060】

このようにして寸法分布を求めた後、寸法分布の中で所定の基準を満たしていない部分の割合 $R_{ji}$ を以下のようにして求める。上記下地パターンの寸法が所定の基準を満たしているか否かを決める寸法基準値(寸法criteria)を $Wd$ とする。特定箇所 $j$ における上記割合 $R_{ji}$ は、

【数3】

$$R_{ji} = \int_{-\infty}^{Wd} t(w, W_{ji} - Te)dw$$

20

【0061】

と表される。図7において、寸法基準値 $Wd$ よりも寸法が小さい部分が上記割合 $R_{ji}$ に対応する。すなわち、特定箇所 $j$ 且つプロセス条件 $i$ において、下地パターンの寸法が不合格となる確率が、上記割合 $R_{ji}$ として算出される。

【0062】

次に、プロセス条件 $i$ 毎に、上記割合 $R_{ji}$ とプロセス条件 $i$ の出現確率 $P_i$ との積を求める。そして、プロセス条件毎に求められた積どうしを加算する。さらに、加算結果を、全てのプロセス条件(プロセス条件1、2、.....、 $n$ )の出現確率の和で割る。これにより、特定箇所 $j$ の個別不良確率 $d_j$ が算出される。これを式で表すと、

【数4】

$$d_j = \left( \sum_{i=1}^n P_i \int_{-\infty}^{Wd} t(w, W_{ji} - Te)dw \right) / \sum_{i=1}^n P_i$$

30

【0063】

となる(S67)。

【0064】

次に、特定箇所それぞれについて算出された個別不良確率 $d_j$ ( $j: 1 \sim m$ )を加算することで、暫定設計パターンについての不良確率 $D$ が算出される(S68)。

【0065】

40

なお、ここで求めた $d_j$ 及び $D$ は近似式であり、以下のようにして導出される。プロセスばらつきに起因した製造歩留まりを $Ys$ とすると、 $Ys$ は上記 $R_{ji}$ を用いて、

【数5】

$$Ys = \sum_{i=1}^n \left\{ P_i \prod_{j=1}^m (1 - R_{ji}) \right\} / \sum_{i=1}^n P_i$$

【0066】

と表される。この式において、 $R_{ji}$ はプロセス条件 $i$ における特定箇所 $j$ での不良確率を

50



意味し、 $(1 - R_{ji})$  は合格確率を意味する。全ての特定箇所において不良が発生しないことが半導体デバイスの合格確率であるため、特定箇所  $j$  ( $j: 1 \sim m$ ) について  $(1 - R_{ji})$  の相乗をとる。この相乗結果がプロセス条件  $i$  での合格確率であるので、プロセス条件  $i$  の出現確率  $P_i$  との積をとる。さらに規格化を行うことで、製造歩留まり  $Y_s$  が求まる。

【0067】

上式において、 $R_{ji}$  の値が小さいと仮定すると、近似式  $Y_s'$  を以下のように表すことができる。

【数6】

$$\begin{aligned} Y_s' &= \sum_{i=1}^n \left\{ P_i \left[ 1 - \sum_{j=1}^m R_{ji} \right] \right\} / \sum_{i=1}^n P_i \\ &= 1 - \sum_{i=1}^n \sum_{j=1}^m P_i R_{ji} / \sum_{i=1}^n P_i \\ &= 1 - \sum_{j=1}^m d_j \\ &= 1 - D \end{aligned}$$

10

20

【0068】

このように近似を用いることで、特定箇所を独立に扱うことが可能となる。

【0069】

以上のように、本実施形態においても第1の実施形態と同様に、不良確率を定量的且つ効果的に求めることができ、効率的に設計パターンを修正することが可能となる。また、本実施形態では、第2及び第3の実施形態と同様に、設計パターンから抽出された特定箇所（不合格箇所）に対してシミュレーションを行えばよいため、計算時間を大幅に短縮することができる。

30

【0070】

さらに、本実施形態では、プロセスばらつきをセンターシフトばらつきと局所ばらつきとに分け、センターシフトばらつきに対してシミュレーションを行い、シミュレーション結果に対して局所ばらつきの分布を反映させている。したがって、センターシフトばらつきに対してのみシミュレーションを行えばよいため、このような観点からも計算時間を大幅に短縮することができる。

【0071】

なお、上述した実施形態では、センターシフトばらつきとして、フォトリソグラフィにおける露光量ばらつきとフォーカス位置ばらつきを想定して説明した。一般に、パターン寸法は露光量に対して線形的に変化する。したがって、プロセス条件として、フォーカス位置が一定で露光量のみが変化するような組み合わせが3以上ある場合には、露光量が大きく異なる2つのプロセス条件についてのみシミュレーションを行い、その他のプロセス条件については、シミュレーションによって得られた2つのパターン寸法から線形近似によってパターン寸法を算出するようにしてもよい。これにより、シミュレーションの計算時間をさらに短縮することが可能である。

40

【0072】

なお、上述した第1～第4実施形態で述べた方法は、該方法の手順が記述されたプログラムによって動作が制御されるコンピュータによって、実現することが可能である。上記プログラムは、磁気ディスク等の記録媒体或いはインターネット等の通信回線（有線回線或いは無線回線）によって提供することが可能である。

50

## 【 0 0 7 3 】

(実施形態 5)

次に、第 5 の実施形態について説明する。なお、第 1 ~ 第 4 の実施形態で述べた事項については説明は省略する。

## 【 0 0 7 4 】

図 8 は、本実施形態の方法を示したフローチャートである。

## 【 0 0 7 5 】

まず、複数種類の単位セルを含んだ単位セルライブラリを用意し ( S 7 1 )、単位セルをランダム配置ブロックにて配置する ( S 7 2 )。

## 【 0 0 7 6 】

次に、プロセスシミュレーションを行い ( S 7 3 )、単位セル毎に不良確率を計算する ( S 7 4 )。これらのプロセスシミュレーション及び不良確率計算には、第 1 ~ 第 4 の実施形態で述べた方法が適用される。例えば、単位セル A には 2 箇所不合格箇所 ( 特定箇所 ) が含まれ、それぞれの不良確率が  $d_{a1}$  及び  $d_{a2}$  であるとする。この場合、単位セル A の不良確率は、 $( d_{a1} + d_{a2} )$  となる。また、単位セル B にも 2 箇所不合格箇所 ( 特定箇所 ) が含まれ、それぞれの不良確率が  $d_{b1}$  及び  $d_{b2}$  であるとする。単位セル B では、不合格箇所がその周辺に配置された他のセルの影響を受け、他のセルの影響によって不良確率が変動するものとする。他のセルの影響度をそれぞれ  $q_{b1}$  及び  $q_{b2}$  とすると、単位セル B の不良確率は、 $( q_{b1} \times d_{b1} + q_{b2} \times d_{b2} )$  となる。このようにして求められた単位セル毎の不良確率を、データベースとして保存しておく ( S 7 5 )。

## 【 0 0 7 7 】

所望の集積回路チップを作製する際には、上記データベースを参照することで、該集積回路チップの不良確率を算出することができる。具体的には、以下の通りである。まず、所望の集積回路チップの設計回路情報である RTL ( register transfer level ) を用意し ( S 7 6 )、配置配線ツールを用いて集積回路チップの設計パターンを生成する ( S 7 7 )。そして、集積回路チップの設計パターンに含まれる単位セルの個数を、単位セルの種類毎に求める ( S 7 8 )。続いて、S 7 5 のステップで作成されたデータベースを参照して、単位セルの種類毎に不良確率と個数との積を算出する。さらに、算出された積どうしを加算することで、所望の集積回路チップの不良確率を算出する ( S 7 9 )。

## 【 0 0 7 8 】

以上のように、本実施形態によれば、予め単位セル毎に不良確率を算出しておくことにより、所望の集積回路チップの不良確率を容易に算出することが可能となる。

## 【 0 0 7 9 】

(実施形態 6)

次に、第 6 の実施形態について説明する。本実施形態は、第 5 の実施形態の方法によって得られた集積回路チップの不良確率に基づいて該集積回路チップの製造歩留まりを算出し、算出された歩留まりに基づいて該集積回路チップの生産投入数量や単価を決定するものである。

## 【 0 0 8 0 】

図 9 は、集積回路チップの生産投入数量を求める方法を示したフローチャートである。

## 【 0 0 8 1 】

まず、集積回路チップの仕様に基づき設計パターンを作成する ( S 8 1 )。次に、作成された設計パターンに基づき、プロセスばらつきに起因する不良確率  $Ds$  を算出する。この不良確率  $Ds$  は、第 5 の実施形態の方法によって算出された不良確率である ( S 8 2 )。一方、すでに述べたように、集積回路チップの最終的な歩留まりを決定する別の要因として、製造プロセス中のダストがある。そこで、製造ダストに起因する不良確率  $Dd$  も算出する ( S 8 3 )。

## 【 0 0 8 2 】

次に、S 8 2 及び S 8 3 のステップで算出された不良確率  $Ds$  及び  $Dd$  に基づき、集積回路チップの製造歩留まりを計算する。プロセスばらつきに起因する製造歩留まりを  $Ys$  と

10

20

30

40

50

し、製造ダストに起因する製造歩留まりを  $Y_d$  とすると、集積回路チップの最終的な歩留まり  $Y$  は、

$$Y = Y_s \times Y_d = (1 - D_s) \times (1 - D_d)$$

となる (S 8 4)。

【0083】

次に、集積回路チップの製造歩留まりと集積回路チップの受注数量から、集積回路チップの生産投入数量を決定する (S 8 5)。

【0084】

このように、上述した方法によれば、集積回路チップの不良確率から製造歩留まりを算出し、製造歩留まりの算出結果から集積回路チップの生産投入数量を算出するため、生産投入数量を正確に決定することが可能となる。したがって、受注数量とほぼ同等の生産数量を確実に確保することが可能となる。

10

【0085】

図10は、集積回路チップの単価を求める方法を示したフローチャートである。

【0086】

まず、図9のS81～S84のステップと同様にして、S91～S94のステップを行うことで、集積回路チップの歩留まり  $Y$  を算出する。

【0087】

次に、集積回路チップの製造歩留まりと集積回路チップの製造歩留まり以外の要因で決まるコストから、集積回路チップの単価を決定する (S 9 5)。

20

【0088】

このように、上述した方法によれば、集積回路チップの不良確率から製造歩留まりを算出し、製造歩留まりの算出結果から集積回路チップの単価を算出するため、集積回路チップの単価を正確に決定することが可能となる。したがって、集積回路チップを生産する前の段階で、集積回路チップの単価を確実に決定することが可能となる。

【0089】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

30

【図面の簡単な説明】

【0090】

【図1】本発明の第1の実施形態における基本的な動作の一例を示したフローチャートである。

【図2】本発明の第1の実施形態における基本的な動作の他の例を示したフローチャートである。

【図3】本発明の第1の実施形態に係る不良確率の算出方法を示したフローチャートである。

40

【図4】本発明の第2の実施形態に係る不良確率の算出方法を示したフローチャートである。

【図5】本発明の第3の実施形態に係る不良確率の算出方法を示したフローチャートである。

【図6】本発明の第4の実施形態に係る不良確率の算出方法を示したフローチャートである。

【図7】本発明の第4の実施形態に係り、寸法ばらつき分布について示した図である。

【図8】本発明の第5の実施形態の方法を示したフローチャートである。

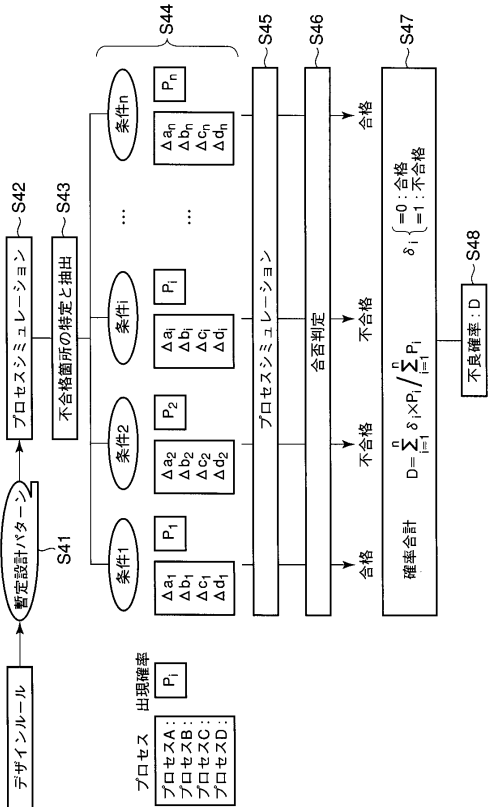
【図9】本発明の第6の実施形態に係り、集積回路チップの生産投入数量を求める方法を示したフローチャートである。

50



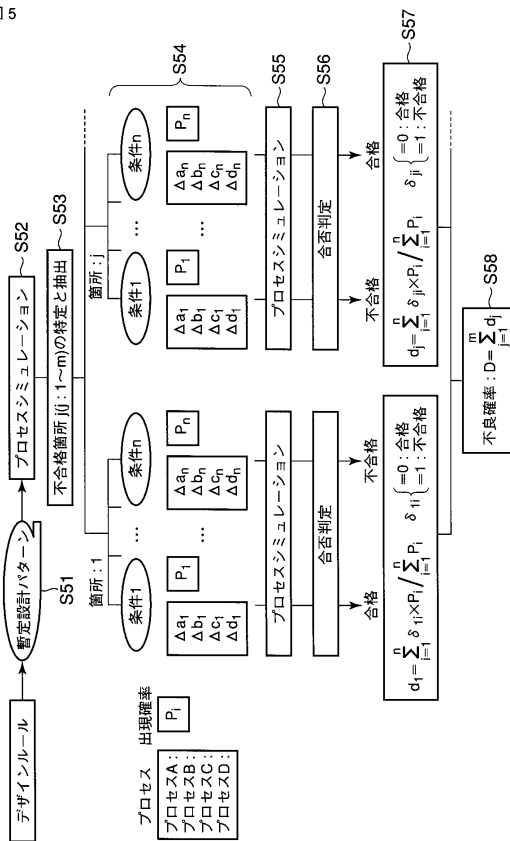
【 図 4 】

図 4



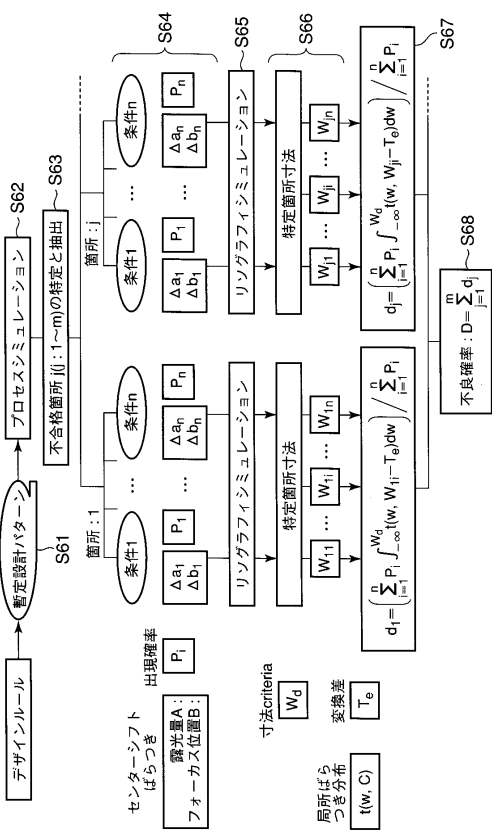
【 図 5 】

図 5



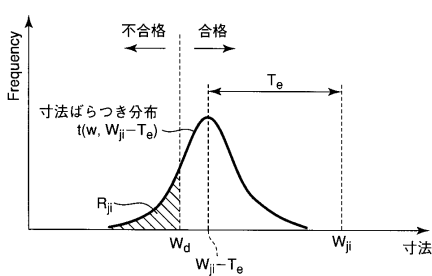
【 図 6 】

図 6



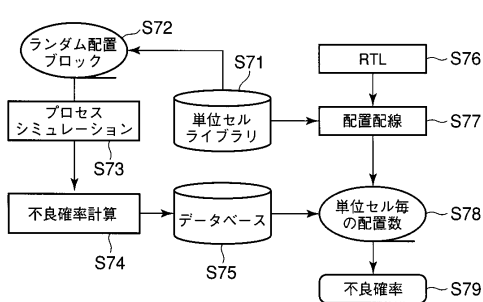
【 図 7 】

図 7

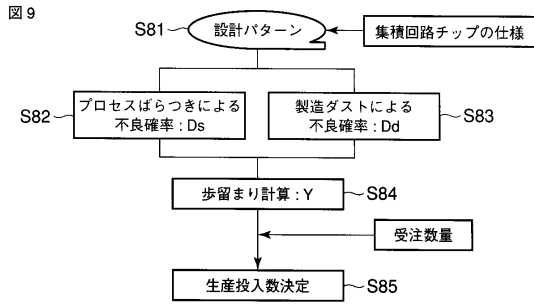


【 図 8 】

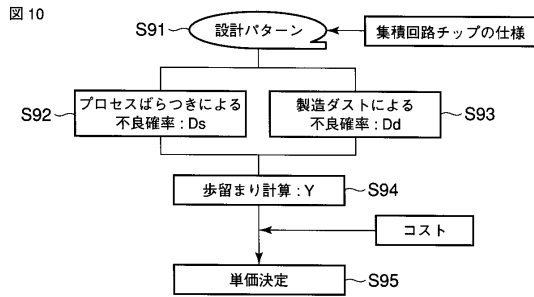
図 8



【 図 9 】



【 図 10 】



---

フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 姜 帥現

東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 大嶋 洋一

(56)参考文献 特開2003-023078(JP,A)

特開2001-133955(JP,A)

特開平11-184064(JP,A)

特開平08-334888(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

G03F 7/20

H01L 21/00

H01L 21/027